

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6244722号  
(P6244722)

(45) 発行日 平成29年12月13日(2017.12.13)

(24) 登録日 平成29年11月24日(2017.11.24)

(51) Int.Cl. F I  
H O 4 L 7/033 (2006.01) H O 4 L 7/033

請求項の数 6 (全 17 頁)

<p>(21) 出願番号 特願2013-160606 (P2013-160606)                  (22) 出願日 平成25年8月1日(2013.8.1)                  (65) 公開番号 特開2015-32959 (P2015-32959A)                  (43) 公開日 平成27年2月16日(2015.2.16)                  審査請求日 平成28年4月5日(2016.4.5)</p>	<p>(73) 特許権者 000005223                  富士通株式会社                  神奈川県川崎市中原区上小田中4丁目1番                  1号                  (74) 代理人 100107766                  弁理士 伊東 忠重                  (74) 代理人 100070150                  弁理士 伊東 忠彦                  (74) 代理人 100146776                  弁理士 山口 昭則                  (72) 発明者 チェン ヤンフェイ                  神奈川県川崎市中原区上小田中4丁目1番                  1号 富士通株式会社内                  審査官 森谷 哲朗</p>
---	--

最終頁に続く

(54) 【発明の名称】 CDR回路

(57) 【特許請求の範囲】

【請求項1】

動作クロックに応じて、入力信号をAD変換するADコンバータと、  
 前記入力信号のシンボルレートと等しい第1周波数の第1クロックに、前記第1クロックの変調に用いる第1位相を加算して得る、前記第1周波数よりも高い第2周波数の第2クロックを前記動作クロックとして前記ADコンバータに入力する位相調整部と、  
 前記ADコンバータの出力信号に含まれる位相を検出する位相検出器と、  
 前記位相検出器によって検出される第2位相と、前記第1位相と、自己が出力する第3位相とに基づいてフィルタ処理を行い、前記第3位相を求めるフィルタと、  
 前記フィルタによって求められる前記第3位相と、前記第1位相とを加算して第4位相を求める加算器と、  
 前記加算器によって求められる前記第4位相を用いて、前記ADコンバータの出力信号から再生データを求める判定器と  
 を含み、  
 前記フィルタ処理は、前記第2位相と前記第4位相との位相誤差を最小にする前記第3位相を求める処理である、CDR回路。

【請求項2】

動作クロックに応じて、入力信号をAD変換するADコンバータと、  
 前記入力信号のシンボルレートと等しい第1周波数の第1クロックに、前記第1クロックの変調に用いる第1位相を加算して得る、前記第1周波数よりも高い第2周波数の第2

10

20

クロックを前記動作クロックとして前記 A D コンバータに入力するクロック生成部と、  
 前記 A D コンバータの出力信号に含まれる位相を検出する位相検出器と、  
 前記位相検出器によって検出される第 2 位相と、前記第 1 位相と、自己が出力する第 3 位相とに基づいてフィルタ処理を行い、前記第 3 位相を求めるフィルタと、  
 前記フィルタによって求められる前記第 3 位相と、前記第 1 位相とを加算して第 4 位相を求める加算器と、  
 前記加算器によって求められる前記第 4 位相を用いて、前記 A D コンバータの出力信号から再生データを求める判定器と

を含み、

前記フィルタ処理は、前記第 2 位相と前記第 4 位相との位相誤差を最小にする前記第 3 位相を求める処理である、C D R 回路。

10

【請求項 3】

前記第 1 位相は、周期関数で表される位相である、請求項 1 又は 2 記載の C D R 回路。

【請求項 4】

前記第 1 位相は、前記第 1 クロックの周期毎に線形的に変化する、請求項 3 記載の C D R 回路。

【請求項 5】

前記第 1 位相の信号を出力する位相信号出力部をさらに含む、請求項 1 乃至 4 のいずれか一項記載の C D R 回路。

【請求項 6】

20

前記位相検出器と前記フィルタとの間に設けられ、前記第 2 位相から、前記第 1 位相及び前記第 3 位相を減算して得る位相差を前記フィルタに入力する、位相差検出部をさらに含む、請求項 1 乃至 5 のいずれか一項記載の C D R 回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、C D R (Clock and Data Recovery) 回路について説明する。  
 回路に関する。

【背景技術】

【0002】

30

従来より、デジタルフィルタにおいて通信信号を適応フィルタ処理する方法がある。この方法では、デジタルフィルタの 1 つのランにตอบสนองしてデジタルフィルタを 1 組の係数でランさせ、1 組の係数を使用してデジタルフィルタからの出力が選択したエラーレベルと等しいか否かを決定する。この方法では、さらに、1 組の係数を使用してデジタルフィルタからの出力が選択したエラーレベルと等しくないことの決定にตอบสนองして 1 組の係数を使用したデジタルフィルタからの出力が選択したエラーレベルに等しくなるまで 1 組の係数内において係数を調節し、格納した 1 組の係数を形成するためにメモリ内に 1 組の係数を格納する。この方法では、格納した 1 組の係数をデジタルフィルタのその後のランにตอบสนองしてメモリからデジタルフィルタ内へロードさせる (例えば、特許文献 1 参照)。

【0003】

40

従来より、5 G b p s のトランシーバーがある。レシーバーは A D C (Analog to Digital Converter) を用いたフロントエンドを含む。このフロントエンドは、サンプリングクロックと入力信号の位相差を調整することなく入力信号を抽出する。入力信号の位相トラッキングとデータ判定は、計算領域で行われる (例えば、非特許文献 1 参照)。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2000 - 077979 号公報

【非特許文献】

【0005】

50

【非特許文献1】Yamaguchi, H. "A 5Gb/s transceiver with an ADC-based feedforward CDR and CMA adaptive equalizer in 65nm CMOS", 2010 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、従来の方法又はトランシーバーでは、オーバーヘッドの増大を抑制しつつ、より小さな位相検出誤差での検出を実現することは行われていない。

【0007】

そこで、以下で説明する実施の形態では、オーバーヘッドの増大を抑制しつつ、より小さな位相検出誤差での検出を実現するCDR回路を提供する。

10

【0008】

そこで、オーバーヘッドの増大を抑制しつつ、より小さな位相検出誤差での検出を実現するCDR回路を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の実施の形態のCDR回路は、動作クロックに応じて、入力信号をAD変換するADコンバータと、前記入力信号のシンボルレートと等しい第1周波数の第1クロックに、前記第1クロックの変調に用いる第1位相を加算して得る、前記第1周波数よりも高い第2周波数の第2クロックを前記動作クロックとして前記ADコンバータに入力する位相調整部と、前記ADコンバータの出力信号に含まれる位相を検出する位相検出器と、前記位相検出器によって検出される第2位相と、前記第1位相と、自己が出力する第3位相とに基づいてフィルタ処理を行い、前記第3位相を求めるフィルタと、前記フィルタによって求められる前記第3位相と、前記第1位相とを加算して第4位相を求める加算器と、前記加算器によって求められる前記第4位相を用いて、前記ADコンバータの出力信号から再生データを求める判定器とを含み、前記フィルタ処理は、前記第2位相と前記第4位相との位相誤差を最小にする前記第3位相を求める処理である。

20

【発明の効果】

【0010】

オーバーヘッドの増大を抑制しつつ、より小さな位相検出誤差での検出を実現するCDR回路を提供することができる。

30

【図面の簡単な説明】

【0011】

【図1】前提技術のブラインドサンプリング型のCDR回路10を示す図である。

【図2】ブラインドサンプリング型のCDR回路10における位相検出誤差を示す図である。

【図3】実施の形態1のブラインドサンプリング型のCDR回路100を示す図である。

【図4】実施の形態1のブラインドサンプリング型のCDR回路100の動作原理を示す図である。

【図5】実施の形態1のCDR回路100において、最小二乗法で直線を求める手法を示す図である。

40

【図6】実施の形態1の変形例のブラインドサンプリング型のCDR回路100Aを示す図である。

【図7】実施の形態2のCDR回路の一部と、波形図を示す図である。

【発明を実施するための形態】

【0012】

実施の形態のブラインドサンプリング型の受信器について説明する前に、図1及び図2を用いて、前提技術によるブラインドサンプリング型のCDR(Clock and Data Recovery)回路10について説明する。

【0013】

50

図 1 は、前提技術のブラインドサンプリング型の C D R 回路 1 0 を示す図である。

【 0 0 1 4 】

ブラインドサンプリング型の C D R 回路 1 0 は、A D C (Analog to Digital Converter) 1、位相検出器 (Phase Detector: PD) 2、フィルタ(Filter) 3、及び判定器 (Decision Circuit) 4 を含む。

【 0 0 1 5 】

ブラインドサンプリング型の C D R 回路 1 0 は、入力信号の位相にトラッキングするのではなく、A D C 1 でサンプリングした信号から位相情報を取り出し、取り出した位相情報を用いて、A D C 1 でのサンプリングを行う。

【 0 0 1 6 】

ブラインドサンプリング型の C D R 回路 1 0 は、A D C 1 でデジタル変換して得る出力信号の位相を位相検出器 2 で検出し、検出した位相信号をフィルタ 3 で再生して再生位相コード (Recovered phase code) を生成し、再生位相コードと、A D C 1 の出力信号とに基づいて、サンプリングした信号に含まれるデータを判定器 4 で再生する。

【 0 0 1 7 】

判定器 4 の出力信号は、A D C 1 の入力信号を再生した再生データ (Recovered Data) である。

【 0 0 1 8 】

ブラインドサンプリング型の C D R 回路 1 0 において、信号のゼロクロスが生じるサンプル区間 (サンプリング間隔) での信号レベルの変化が A D C 1 の分解能よりも小さい場合には、位相検出器 2 の検出結果に、サンプリング間隔に等しいデッドゾーンが生じる。

【 0 0 1 9 】

図 2 は、ブラインドサンプリング型の C D R 回路 1 0 における位相検出誤差を示す図である。

【 0 0 2 0 】

図 2 ( A ) は、ブラインドサンプリング型の C D R 回路 1 0 で 1 U I (Unit Interval) に 2 回サンプリングを行う場合の位相検出誤差を示す。A D C 1 は 1 ビットで出力は 1 / 0 だが、ここでは 1 / - 1 で表す。1 と - 1 の間は 0 (ゼロ) である。

【 0 0 2 1 】

A D C 1 の入力信号は、送信器から送信され、伝送路を伝送される間に波形が鈍るため、正弦波状の信号になる。信号が 0 (ゼロ) の点を通るゼロクロスの実際の位相は分からないが、2 つのサンプル点で挟むことができるため、1 U I の間の前半又は後半のどちらにゼロクロス点が存在するかを知ることができる。従って、位相検出誤差は  $0.5 U I p - p$  となる。

【 0 0 2 2 】

図 2 ( B ) は、図 2 ( A ) に比べて A D C 1 のサンプリング回数を 2 倍にした場合であり、1 U I に 4 回サンプリングを行う場合の位相検出誤差を示す。A D C 1 は 1 ビットであり、図 2 ( A ) の場合と同様である。

【 0 0 2 3 】

1 U I の間にサンプリングを 4 回行うので、位相検出誤差は図 2 ( A ) の場合の半分の  $0.25 U I p - p$  となる。

【 0 0 2 4 】

図 2 ( C ) は、図 2 ( A ) に比べて、A D C 1 のビット数を 2 倍にした場合の位相検出誤差を示す。すなわち、2 ビットの A D C を用いて、1 U I に 2 回サンプリングを行う。

【 0 0 2 5 】

2 ビットの A D C 1 は、 $+1/2$ 、 $+3/2$ 、 $-1/2$ 、 $-3/2$  の 4 段階の信号レベルを判定できる。なお、 $+1/2$  と  $-1/2$  の間が 0 (ゼロ) である。

【 0 0 2 6 】

2 ビットの A D C 1 でサンプリングを行うので、位相検出誤差は図 2 ( A ) の場合の半分の  $0.25 U I p - p$  となる。

10

20

30

40

50

## 【 0 0 2 7 】

以上のように、図 2 ( A ) の場合よりも位相検出誤差を小さくするには、図 2 ( B ) に示すように A D C のサンプリング回数を増大させるか、又は、図 2 ( C ) に示すように A D C のビット数を増大させればよい。

## 【 0 0 2 8 】

しかしながら、A D C 1 のサンプリング回数を増大させる場合と、A D C 1 のビット数を増大させる場合には、A D C 1 の周囲のアナログ回路のオーバーヘッド(overhead)が大きくなる。

## 【 0 0 2 9 】

そこで、以下で説明する実施の形態では、オーバーヘッドの増大を抑制した C D R 回路を提供する。

## 【 0 0 3 0 】

以下、本発明の C D R 回路を適用した実施の形態について説明する。

## 【 0 0 3 1 】

< 実施の形態 1 >

図 3 は、実施の形態 1 のブラインドサンプリング型の C D R (Clock and Data Recovery) 回路 1 0 0 を示す図である。

## 【 0 0 3 2 】

実施の形態 1 の C D R 回路 1 0 0 は、入力端子 1 0 1、出力端子 1 0 2、A D C (Analog to Digital Converter) 1 1 0、位相検出器 (PD (Phase Detector)) 1 2 0、位相差出力回路 1 3 0、フィルタ 1 4 0、加算器 1 5 0、判定器 (Decision Circuit) 1 6 0、位相調整回路 1 7 0、基準位相出力部 1 8 0、及びクロック生成器 (Clock gen. (fb)) 1 9 0 を含む。

## 【 0 0 3 3 】

なお、図 3 では、デジタル信号に含まれる位相情報には、< > を付けて示す。アナログ信号の位相には < > を付けずに示す。

## 【 0 0 3 4 】

入力端子 1 0 1 は、C D R 回路 1 0 0 を含む情報処理装置等の伝送路を介して伝送される入力信号 (Input signal) が入力される入力部である。C D R 回路 1 0 0 は、入力端子 1 0 1 を介して、伝送路を経て伝送されるデータを受信する。入力信号 (Input signal) のシンボルレート (symbol rate) は  $f_b$  であり、位相は  $i_n$  である。二値変調の場合、ビットレート (bit rate) も  $f_b$  である。なお、四値変調の場合のビットレートは  $f_b * 2$  になる。

## 【 0 0 3 5 】

出力端子 1 0 2 は、C D R 回路 1 0 0 が再生した再生データ (Recovered Data) を出力する出力部である。出力端子 1 0 2 は、C D R 回路 1 0 0 を含む情報処理装置等の伝送路に接続されている。

## 【 0 0 3 6 】

A D C 1 1 0 は、入力端子 1 0 1 に入力されるデータをアナログデジタル変換することにより、デジタルコードの列を生成する。A D C 1 1 0 は、位相調整回路 1 7 0 から動作クロックとして入力されるクロック C L K の立ち上がり及び立ち下がりに応じて、データのデータ間隔毎に ( 1 U I (Unit Interval) 毎に ) 2 点のサンプリングを行う。これは、図 2 ( A ) に示す前提技術の A D C 1 と同様である。A D C 1 1 0 によってデジタル変換された出力信号は、位相検出器 1 2 0 と判定器 1 6 0 に入力される。

## 【 0 0 3 7 】

位相検出器 1 2 0 は、A D C 1 1 0 でデジタル変換されたデジタル信号の位相情報  $p_{D(k)}$  を検出する。位相情報  $p_{D(k)}$  は、A D C 1 1 0 でデジタル変換されたデジタル信号に含まれる。位相情報  $p_{D(k)}$  は、位相検出器 1 2 0 によって検出される、入力信号に含まれる位相の実測値 (測定値) である。位相検出器 1 2 0 が検出する位相情報  $p_{D(k)}$  を表すデジタル信号は、位相差出力回路 1 3 0 に入力される。

10

20

30

40

50

## 【 0 0 3 8 】

ここで、 $k$  は、1 から  $N$  までの整数であり、位相調整回路 1 7 0 から A D C 1 1 0 に動作クロックとして入力されるクロック C L K の 1 周期毎に 1 つずつ増大する。 $k$  は、 $N$  まで増大すると、1 に戻る。 $N$  は、後述する式 ( 3 ) に含まれる値である。

## 【 0 0 3 9 】

位相差出力回路 1 3 0 は、位相検出器 1 2 0 によって検出される位相情報  $p_D(k)$  から、フィルタ 1 4 0 が出力するデジタル信号に含まれる位相情報  $\phi_0(k)$  と、基準位相出力部 1 8 0 が出力するデジタル信号に含まれる基準位相情報  $\phi_0(k)$  とを減じて得る位相情報  $\phi_1(k)$  を含むデジタル信号を出力する。位相情報  $\phi_1(k)$  は、次式 ( 1 ) で表される。

$$\phi_1(k) = p_D(k) - \phi_0(k) - \phi_0(k) \quad (1)$$

位相差出力回路 1 3 0 が出力する位相情報  $\phi_1(k)$  は、フィルタ 1 4 0 に入力される。

## 【 0 0 4 0 】

フィルタ 1 4 0 は、クロック C L K の 1 周期毎に位相差出力回路 1 3 0 から出力される位相情報  $\phi_1(k)$  の集合に対して、最小二乗法による近似処理を行うことにより、位相情報  $\phi_1(k)$  を含むデジタル信号を出力する。位相情報  $\phi_1(k)$  は、位相検出器 1 2 0 が検出する位相情報  $p_D(k)$  と、加算器 1 5 0 から位相コードとして出力される位相情報  $\phi_0(k)$  との位相誤差の最小値であり、最小二乗法による近似処理によって求められる。フィルタ 1 4 0 が出力するデジタル信号に含まれる位相情報  $\phi_1(k)$  は、位相差出力回路 1 3 0 と加算器 1 5 0 に入力される。なお、最小二乗法による近似処理については、後述する。

## 【 0 0 4 1 】

加算器 1 5 0 は、フィルタ 1 4 0 から出力される位相情報  $\phi_1(k)$  と、基準位相出力部 1 8 0 から出力される基準位相情報  $\phi_0(k)$  とを加算して、次式 ( 2 ) で表される位相情報  $\phi_2(k)$  を含むデジタル信号を出力する。加算器 1 5 0 から出力される位相情報  $\phi_2(k)$  は、判定器 1 6 0 に入力される。

$$\phi_2(k) = \phi_1(k) + \phi_0(k) \quad (2)$$

位相情報  $\phi_2(k)$  は、入力端子 1 0 1 に入力される入力信号から取り出した位相コードである。

## 【 0 0 4 2 】

判定器 1 6 0 は、加算器 1 5 0 が出力する位相情報  $\phi_2(k)$  (位相コード) を用いて A D C 1 1 0 の出力信号を再生し、再生データを出力する。

## 【 0 0 4 3 】

位相調整回路 1 7 0 は、クロック生成器 1 9 0 から出力されるクロック C L K (  $f_b$  ) の位相を調整したクロック C L K を出力する。位相調整回路 1 7 0 は、デジタル - アナログ変換を行うことにより、クロック C L K (  $f_b$  ) の位相信号  $\phi_{clk}$  から、基準位相出力部 1 8 0 から出力される基準位相  $\phi_0(k)$  を減じる。これにより、位相調整回路 1 7 0 から出力されるクロック C L K の位相信号は、 $\phi_{clk} - \phi_0(k)$  となる。なお、位相調整回路 1 7 0 としては、フェイズインターポレータ ( phase interpolator ) 又は遅延制御回路 ( delay control circuit ) を用いることができる。

## 【 0 0 4 4 】

クロック生成器 1 9 0 から出力されるクロック C L K (  $f_b$  ) の周波数は  $f_b$  であり、入力信号の周波数  $f_b$  と等しい。このため、位相調整回路 1 7 0 から出力されるクロック C L K の周波数  $f_{clk}$  は、基準位相  $\phi_0(k)$  が正の値を取る場合には、クロック C L K (  $f_b$  ) の周波数  $f_b$  よりも高くなる。

## 【 0 0 4 5 】

また、基準位相出力部 1 8 0 から出力される基準位相情報  $\phi_0(k)$  は、周期関数であり、周期は  $N$  クロックサイクルとする。各クロックサイクルにインデックス  $k$  (  $k = 1, 2, \dots, N$  ) を付ける。変調前のクロック C L K (  $f_b$  ) の周期は  $T_b = 1/f_b$  である。

## 【 0 0 4 6 】

10

20

30

40

50

基準位相出力部 180 は、基準位相情報  $\phi_0(k)$  を出力する。基準位相情報  $\phi_0(k)$  は、周期関数であり、例えば、次式 (3) で表すことができる。

$$\phi_0(k) = k \times f \times T_b \quad (3)$$

ただし、式 (3) にはサイクルスリップは含まれていない。サイクルスリップとはデータとクロックとの間に周波数オフセットが存在する場合に、周期的に見かけ上あるクロックサイクル内のデータ数が減少 ( $f_{clk} > f_{data}$ ) もしくは増加 ( $f_{clk} < f_{data}$ ) することである。

【0047】

また、図 6 に示した  $f$  は、 $f = f_{clk} - f_b$  で表される。

【0048】

従って、クロック CLK ( $f_b$ ) と等しい周波数の入力信号のデータの 7 UI の期間と、位相調整回路 170 から ADC 110 に入力されるクロック CLK の 8 周期分の期間 ( $8 T_{clk}$ ) が等しいことになる。

【0049】

これは、換言すれば、次の通りである。クロック生成器 190 から出力されるクロック CLK ( $f_b$ ) の 8 周期分の期間 ( $8 T$ ) と、クロック CLK ( $f_b$ ) と等しい周波数の入力信号のデータの 8 UI の期間とは等しい。

【0050】

位相調整回路 170 から ADC 110 に入力されるクロック CLK の 8 周期分の期間 ( $8 T_{clk}$ ) は、クロック CLK ( $f_b$ ) と等しい周波数の入力信号のデータの 7 UI の期間とが等しい。

【0051】

このため、位相調整回路 170 から出力されるクロック CLK の周波数  $f_{clk}$  は、クロック生成器 190 から出力されるクロック CLK ( $f_b$ ) の周波数  $f_b$  の  $8/7$  倍である。すなわち、 $f_{clk} = (8/7) \times f_b$  である。

【0052】

このように、実施の形態 1 では、ADC 110 に入力するクロック CLK の周波数  $f_{clk}$  を変調する。

【0053】

なお、基準位相出力部 180 は、位相情報  $\phi_0(k)$  を含むデジタル信号を出力できる回路である

クロック生成器 190 は、入力信号と等しい周波数  $f_b$  のクロック CLK ( $f_b$ ) を出力する。クロック生成部 190 は、例えば、PLL (Phase Locked Loop) である。

【0054】

ここで、フィルタ 140 によって行われる、最小二乗法による近似処理について説明する。

【0055】

フィルタ 140 が出力する位相情報  $\phi_D$  は、位相検出器 120 が検出する位相情報  $\phi_P$  ( $k$ ) と、加算器 150 から位相コードとして出力される位相情報  $\phi_C$  ( $k$ ) との位相誤差の最小値であり、次のような最小二乗法による近似処理によって求められる。

【0056】

最小二乗法による近似処理では、加算器 150 から位相コードとして出力される位相情報  $\phi_C$  ( $k$ ) と、位相検出器 120 が検出する位相情報  $\phi_P$  ( $k$ ) との誤差の 2 乗和  $E(k)$  が最小になるような位相情報  $\phi_C$  を求める。ここで、 $k$  が 1 から  $N$  の周期に対して  $E(k)$  は次式 (4) で与えられる。

【0057】

10

20

30

40

【数 1】

$$E(\Delta\theta) = \sum_{k=1}^N S(k)[\theta(k) - \theta_{PD}(k)]^2 = \sum_{k=1}^N S(k)[\theta_0(k) + \Delta\theta - \theta_{PD}(k)]^2 \quad (4)$$

【0058】

式(4)においてE( )を で微分してゼロ(0)とおくと、次式(5)が得られる。 10

【0059】

【数 2】

$$\sum_{k=1}^N S(k)[\theta_0(k) + \Delta\theta - \theta_{PD}(k)] = 0 \quad (5)$$

20

【0060】

従って、位相 は、次式(6)がゼロ(0)でないときに、式(7)で与えられる。式(6)で表される $N_{edge}$ は、Nクロックサイクル内で観察されるデータエッジ(トランジションポイント)の数である。なお、S(k)の値は、区間kにデータエッジが入っていればS(k)=1、入っていなければS(k)=0である。

【0061】

【数 3】

$$N_{edge} = \sum_{k=1}^N S(k) \quad (6)$$

30

【0062】

【数 4】

$$\Delta\theta = \frac{\sum_{k=1}^N S(k)[\theta_{PD}(k) - \theta_0(k)]}{\sum_{k=1}^N S(k)} \quad (7)$$

40

【0063】

式(7)は、位相情報 が位相検出器120の出力する位相情報  $\theta_{PD}(k)$  と、基準位相出力部180から出力される基準位相情報  $\theta_0(k)$  との差の平均値で求められることを示している。 50

## 【 0 0 6 4 】

従って、フィルタ 1 4 0 は、式 ( 7 ) で表される を得るためのフィルタ処理による演算を、フィルタ 1 4 0 と位相差出力回路 1 3 0 とで構築するループで行えるように構築されていればよい。

## 【 0 0 6 5 】

図 4 は、実施の形態 1 のブラインドサンプリング型の C D R 回路 1 0 0 の動作原理を示す図である。ここでは、前提技術のブラインドサンプリング型の C D R 回路 1 0 ( 図 1 参照 ) との違いを説明するために、まず、図 4 ( A )、( B ) を用いて、前提技術のブラインドサンプリング型の C D R 回路 1 0 の動作について説明する。実施の形態 1 のブラインドサンプリング型の C D R 回路 1 0 0 の動作については、図 4 ( C )、( D ) を用いて後

10

## 【 0 0 6 6 】

ここで、サンプリングを  $n$  回行う場合には  $n$  相クロックを使う。図 4 はサンプリングを 2 回行い、かつ ADC の分解能が 1 ビットの例である。Blind sampling で ADC の分解能が 1 ビットの場合、PD は隣接するサンプル点の間にデータエッジがあるかどうかのみを検出する。

## 【 0 0 6 7 】

図 4 ( A ) は、前提技術のブラインドサンプリング型の C D R 回路 1 0 の入力データとクロックを示すタイミングチャートである。図 4 ( A ) には、クロックの波形の下に、クロックの H レベルの区間を A で示し、クロックの L レベルの区間を B で示す。以下、区間 A を濃いグレーで示し、区間 B を薄いグレーで示す。

20

## 【 0 0 6 8 】

図 4 ( A ) では、データの 1 U I とクロック C L K の 1 周期 (  $T_{c l k}$  ) は一致している。すなわち、データの周波数  $f_b$  とクロック C L K の周波数  $f_{c l k}$  は等しい (  $f_b = f_{c l k}$  )。このため、8 U I のデータは、それぞれ、8  $T_{c l k}$  の期間においてサンプリングされる。

## 【 0 0 6 9 】

8  $T_{c l k}$  のうちの最初 ( 1 番目 ) の区間において、データのトランジションポイントが、クロック C L K の区間 B の中央に位置しているため、クロックの 2 番目から 8 番目のすべての周期  $T_{c l k}$  において、データのトランジションポイントは、区間 B の中央にある。

30

## 【 0 0 7 0 】

このため、8 つのデータのトランジションポイントは、すべて区間 B に含まれる。このように 8 つのデータのトランジションポイントが、区間 A 又は B のいずれに含まれるか表すパターンを図 4 ( B ) に示す。図 4 ( B ) は、データの周波数  $f_b$  とクロック C L K の周波数  $f_{c l k}$  が等しい (  $f_b = f_{c l k}$  ) 場合に、8 U I のデータのトランジションポイントが表れる区間 A、B の組み合わせを示す図である。

## 【 0 0 7 1 】

上述のように、8 つのデータの 1 番目から 8 番目までのすべてのデータのトランジションポイントが区間 B に含まれる場合は、図 4 ( B ) の下段に示すように、区間 B が 8 つ並ぶことになる。

40

## 【 0 0 7 2 】

また、上述の場合とは異なり、8 つのデータの 1 番目から 8 番目までのすべてのデータのトランジションポイントが区間 A に含まれる場合は、図 4 ( B ) の上段に示すように、区間 A が 8 つ並ぶことになる。

## 【 0 0 7 3 】

図 4 ( B ) は、8 つのデータのトランジションポイントが区間 A 又は B のいずれに含まれるかを示す図である。データの周波数  $f_b$  とクロック C L K の周波数  $f_{c l k}$  が等しい (  $f_b = f_{c l k}$  ) 場合は、8 つのデータのトランジションポイントは、すべて区間 A ( 図 4 ( B ) の上段参照 ) に含まれるか、すべて区間 B ( 図 4 ( B ) の下段参照 ) に含まれ

50

ることになる。

【0074】

これに対して、実施の形態1のブラインドサンプリング型のCDR回路100(図3参照)では、図4(C)に示すように、データの周波数 $f_b$ に対して、ADCに入力するクロックの位相 $f_{clk}$ をデータの周波数 $f_b$ の $1/7$ だけずらしている(変調している)。このため、ADCに入力されるクロックの周波数 $f_{clk}$ は、 $f_{clk} = (8/7) f_b$ になる。クロックの周波数 $f_{clk}$ の変調分は、データの周波数 $f_b$ の $1/7$ である。

【0075】

ADCに入力されるクロックの周波数 $f_{clk}$ を、 $f_{clk} = (8/7) f_b$ にすると、図4(C)に示すように、8周期のクロックを用いて7UIのデータのサンプリングが行われることになる。このため、図4(C)では、7UIのデータの区間と8周期のクロックの期間が一致している。

10

【0076】

図4(C)には、クロックCLKの波形の下に、クロックCLKのHレベルの区間をAで示し、クロックCLKのLレベルの区間をBで示す。区間Aは濃いグレーで示し、区間Bは薄いグレーで示す。

【0077】

なお、図4(C)に示すデータの1UIは、図4(A)に示すデータの1UIよりも長く示してあり、図4(C)に示すクロックCLKと、図4(A)に示すクロックとは同一周期で表してある。

20

【0078】

図4(C)に示すように、データのトランジションポイントは、7UIのデータのうちの1番目のデータでは、クロックCLKの区間Aの最前部に位置しており、2番目のデータ以降のトランジションポイントは、徐々に区間Aの後方に移動している。

【0079】

7UIのデータのうちの5番目のデータのトランジションポイントは、区間Bに突入し、6番目、7番目のデータでは、区間Bの中で徐々に後方に移動している。

【0080】

このように、図4(C)では、データのトランジションポイントがクロックCLKの区間A、Bのうちのどこかに表れる。このため、7UIのデータのトランジションポイントがクロックCLKの区間A、Bに表れる位相のパターンは、図4(D)に示すように14通り存在する。

30

【0081】

図4(D)は、データの周波数 $f_b$ に対して、ADCに入力するクロックの周波数 $f_{clk}$ を $f_b$ の $1/7$ だけずらしている( $f_{clk} = (8/7) f_b$ )場合に、7つのデータのトランジションポイントが表れる区間A、Bの組み合わせを示す図である。

【0082】

図4(D)の最上段に示すパターンは、7UIのデータのトランジションポイントが、区間A、A、A、A、B、B、Bに表れた場合を示しており、これは、図4(C)に示すパターンに対応する。

40

【0083】

図4(D)には、7UIのデータのトランジションポイントがクロックCLKの区間A、Bに表れる位相の14通りのパターンを示す。14通りのパターンは、データのトランジションポイントが区間Aから区間Bに遷移する場合の7通りのパターンと、データのトランジションポイントが区間Bから区間Aに遷移する場合の7通りのパターンとの合計である。図4(D)には、パターン番号 $m = 0 \sim 13$ の14通りのパターンを示す。

【0084】

図4(D)に示す14通りのパターンは、データの周波数 $f_b$ に対して、ADCに入力するクロックの周波数 $f_{clk}$ を $f_b$ の $1/7$ だけずらした場合に得られる、トランジションポイントのすべてのパターンを表す。

50

## 【 0 0 8 5 】

ただし、実際には、クロック C L K の位相に対して、データのトランジションポイントは任意のタイミングで発生するため、7 U I のデータのトランジションポイントがクロック C L K の区間 A、B に表れる位相のパターンは、図 4 ( C ) に示す 1 4 通りのパターンうちのいずれかになる。1 4 通りのパターンは、説明のために、パターン番号 n が 0 から 1 3 のものを順番に並べたものである。

## 【 0 0 8 6 】

なお、図 4 ( C ) において、クロック C L K は差動形式のクロックであってもよい。

## 【 0 0 8 7 】

図 5 は、実施の形態 1 の C D R 回路 1 0 0 において、最小二乗法で直線を求める手法を示す図である。図 5 ( A ) と図 5 ( B ) には、別々のパターンのデータに対して最小二乗法による近似処理を行って得る直線 ( k ) を示す。

10

## 【 0 0 8 8 】

図 5 ( A )、( B ) において、横軸は、クロックの周期 ( T c l k ) を単位として時間を表す。横軸に示す整数は k である。また、縦軸は、U I 単位でデータの位相 (Data phase) を表す。

## 【 0 0 8 9 】

ここで、1 U I の間にサンプリングを n 回行う場合には n 相クロックを使う。図 5 はサンプリングを 2 回行い、かつ ADC の分解能が 1 ビットの例である。Blind sampling で ADC の分解能が 1 ビットの場合、PD (位相検出器) は隣接するサンプル点の間にデータエッジがあるかどうかのみを検出する。

20

## 【 0 0 9 0 】

また、ここでは、C D R 回路 1 0 0 の位相検出器 1 2 0 の出力  $p_D(k)$  は、データのトランジションポイントが区間 A にあるときは 0 . 2 5 U I であり、データのトランジションポイントが区間 B にあるときは 0 . 7 5 U I であることとする。

## 【 0 0 9 1 】

例えば、図 5 ( A ) に示すように、区間 A では、k = 2 のときにデータのトランジションポイントが得られ、区間 B では、k = 5、6 のときにデータのトランジションポイントが得られたとする。これらのトランジションポイントを白丸 ( ) で示す。

## 【 0 0 9 2 】

この場合に、式 ( 7 ) によって得られる  $p_D(k)$  はゼロ ( 0 ) であるとする、式 ( 2 ) より、加算器 1 5 0 から出力される位相情報  $p(k)$  は基準位相情報  $p_0(k)$  と等しい。すなわち、 $p(k) = p_0(k)$  が成り立つ。

30

## 【 0 0 9 3 】

従って、加算器 1 5 0 から出力される位相情報  $p(k)$  は基準位相情報  $p_0(k)$  となり、判定器 1 6 0 は、加算器 1 5 0 が出力する位相情報  $p(k)$  (位相コード) として基準位相情報  $p_0(k)$  を用いて A D C 1 1 0 の出力信号を再生し、再生データを出力する。すなわち、0 . 5 U I p - p よりも小さな位相検出誤差を得ることができる。

## 【 0 0 9 4 】

また、図 5 ( B ) に示すように、区間 A では、k = 1、2、7 のときにデータのトランジションポイントが得られ、区間 B では、k = 4、6 のときにデータのトランジションポイントが得られたとする。これらのトランジションポイントを白丸 ( ) で示す。

40

## 【 0 0 9 5 】

この場合に、式 ( 7 ) によって得られる  $p_D(k)$  は 0 . 2 5 U I であるとする、式 ( 2 ) より、加算器 1 5 0 から出力される位相情報  $p(k)$  は、 $p(k) = p_0(k) + 0 . 2 5 U I$  となる。

## 【 0 0 9 6 】

従って、判定器 1 6 0 は、加算器 1 5 0 が出力する位相情報  $p(k)$  (位相コード) として、 $p(k) = p_0(k) + 0 . 2 5 U I$  を用いて A D C 1 1 0 の出力信号を再生し、再生データを出力する。すなわち、0 . 5 U I p - p よりも小さな位相検出誤差を得るこ

50

とができる。

【0097】

以上のように、実施の形態1のCDR回路100によれば、ADC110のサンプリング回数の増大、又は、ビット数の増大のいずれも行うことなく、位相検出誤差を $0.5U_{Ip-p}$ よりも小さくすることができる。

【0098】

従って、オーバーヘッドの増大を抑制しつつ、より小さな位相検出誤差での検出を実現したCDR回路100を提供することができる。

【0099】

なお、以上では、CDR回路100が位相調整回路170を含む形態について説明したが、図6に示すCDR回路100Aのような構成であってもよい。図6は、実施の形態1の変形例のブラインドサンプリング型のCDR回路100Aを示す図である。

10

【0100】

図6に示すCDR回路100Aは、位相調整回路170(図3参照)を含まず、クロック生成器190Aが出力するクロックCLKの周波数が $f_b + f$ であり、周波数 $f_b + f$ が図3に示す位相調整回路170が出力するクロックCLKの位相信号 $clk_0(k)$ に対応している。このようなクロック生成器190Aを含む場合は、位相調整回路170(図3参照)を省略することができる。クロック生成器190Aは、位相が $clk - k \times f \times T_b$ のクロックCLKを出力する。

【0101】

20

<実施の形態2>

図7は、実施の形態2のCDR回路の一部と、波形図を示す図である。

【0102】

図7(A)に示す位相補間器(PI: Phase Interpolator)210は、制御信号 $D_{in}$ に応じて、入力クロック $CLK_{in}$ の位相を補間して、図7(B)に示すように、任意の位相の出力クロック $CLK_{out}$ を出力することができる。

【0103】

この場合、位相補間器210は、基準位相情報 $0(k)$ を位相差出力回路130と加算器150に入力する。また、位相補間器210は、基準位相情報 $0(k)$ に応じた電圧を制御信号 $D_{in}$ として用い、クロック生成器190から入力されるクロックCLK( $f_b$ )を入力クロック $CLK_{in}$ として用いて、出力クロック $CLK_{out}$ としてクロックCLKを出力すればよい。

30

【0104】

以上のように、実施の形態2のCDR回路によれば、ADC110のサンプリング回数の増大、又は、ビット数の増大のいずれも行うことなく、位相検出誤差を $0.5U_{Ip-p}$ よりも小さくすることができる。

【0105】

従って、オーバーヘッドの増大を抑制しつつ、より小さな位相検出誤差での検出を実現したCDR回路を提供することができる。

【0106】

40

図7(C)に示すように

なお、図7(A)、(B)には、三角波状の入力クロック $CLK_{in}$ と出力クロック $CLK_{out}$ を示したが、図7(C)に示すようなランプ波形、又は、図7(D)に示すような鋸波形の信号を入力クロック $CLK_{in}$ と出力クロック $CLK_{out}$ として用いてもよい。

【0107】

以上、本発明の例示的な実施の形態のCDR回路100について説明したが、本発明は、具体的に開示された実施の形態に限定されるものではなく、特許請求の範囲から逸脱することなく、種々の変形や変更が可能である。

以上の実施の形態に関し、さらに以下の付記を開示する。

50

## (付記 1)

動作クロックに応じて、入力信号を A D 変換する A D コンバータと、

前記入力信号と等しい第 1 周波数の第 1 クロックに、前記第 1 クロックの変調に用いる第 1 位相を加算して得る第 2 周波数の第 2 クロックを前記動作クロックとして前記 A D コンバータに入力する位相調整部と、

前記 A D コンバータの出力信号に含まれる位相を検出する位相検出器と、

前記位相検出器によって検出される第 2 位相と、前記第 1 位相と、自己が出力する第 3 位相とに基づいてフィルタ処理を行い、前記第 3 位相を求めるフィルタと、

前記フィルタによって求められる前記第 3 位相と、前記第 1 位相とを加算して第 4 位相を求める加算器と、

前記加算器によって求められる前記第 4 位相を用いて、前記 A D コンバータの出力信号から再生データを求める判定器と

を含み、

前記フィルタ処理は、前記第 2 位相と前記第 4 位相との位相誤差を最小にする前記第 3 位相を求める処理である、C D R 回路。

10

## (付記 2)

動作クロックに応じて、入力信号を A D 変換する A D コンバータと、

前記入力信号と等しい第 1 周波数の第 1 クロックに、前記第 1 クロックの変調に用いる第 1 位相を加算して得る第 2 周波数の第 2 クロックを前記動作クロックとして前記 A D コンバータに入力するクロック生成部と、

前記 A D コンバータの出力信号に含まれる位相を検出する位相検出器と、

前記位相検出器によって検出される第 2 位相と、前記第 1 位相と、自己が出力する第 3 位相とに基づいてフィルタ処理を行い、前記第 3 位相を求めるフィルタと、

前記フィルタによって求められる前記第 3 位相と、前記第 1 位相とを加算して第 4 位相を求める加算器と、

前記加算器によって求められる前記第 4 位相を用いて、前記 A D コンバータの出力信号から再生データを求める判定器と

を含み、

前記フィルタ処理は、前記第 2 位相と前記第 4 位相との位相誤差を最小にする前記第 3 位相を求める処理である、C D R 回路。

20

30

## (付記 3)

前記第 1 位相は、周期関数で表される位相である、付記 1 又は 2 記載の C D R 回路。

## (付記 4)

前記第 1 位相は、前記第 1 クロックの周期毎に線形的に変化する、付記 3 記載の C D R 回路。

## (付記 5)

前記第 1 位相の信号を出力する位相信号出力部をさらに含む、付記 1 乃至 4 のいずれか一項記載の C D R 回路。

## (付記 6)

前記加算器と前記位相信号出力部は、位相補間器によって実現される、付記 5 記載の C D R 回路。

40

## (付記 7)

前記位相検出器と前記フィルタとの間に設けられ、前記第 2 位相から、前記第 1 位相及び前記第 3 位相を減算して得る位相差を前記フィルタに入力する、位相差検出部をさらに含む、付記 1 乃至 6 のいずれか一項記載の C D R 回路。

## 【符号の説明】

## 【 0 1 0 8 】

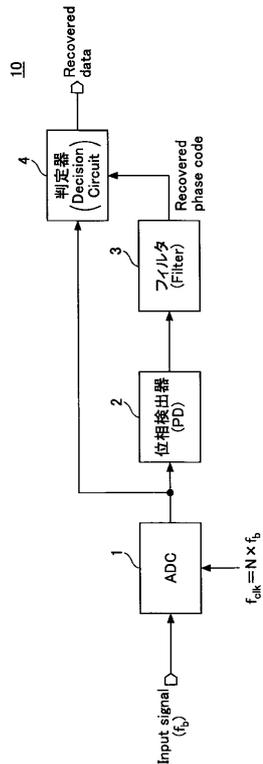
- 1 0 0 C D R 回路
- 1 0 1 入力端子
- 1 0 2 出力端子

50

- 1 1 0 A D C
- 1 2 0 位相検出器
- 1 3 0 位相差出力回路
- 1 4 0 フィルタ
- 1 5 0 加算器
- 1 6 0 判定器
- 1 7 0 加算器
- 1 8 0 基準位相出力部
- 1 9 0 クロック生成器
- 2 1 0 位相補間器

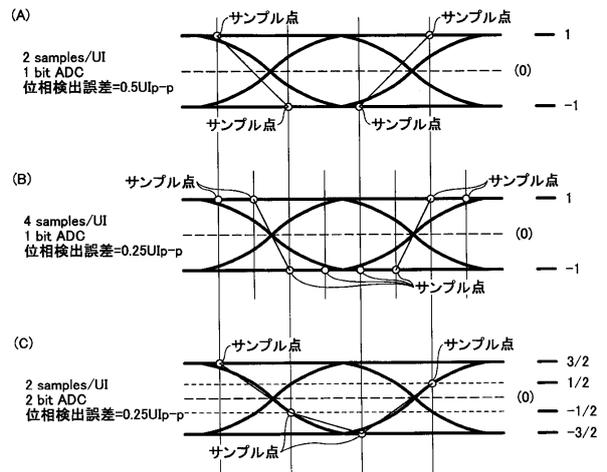
【 図 1 】

前提技術のブラインドサンプリング型のCDR回路10を示す図



【 図 2 】

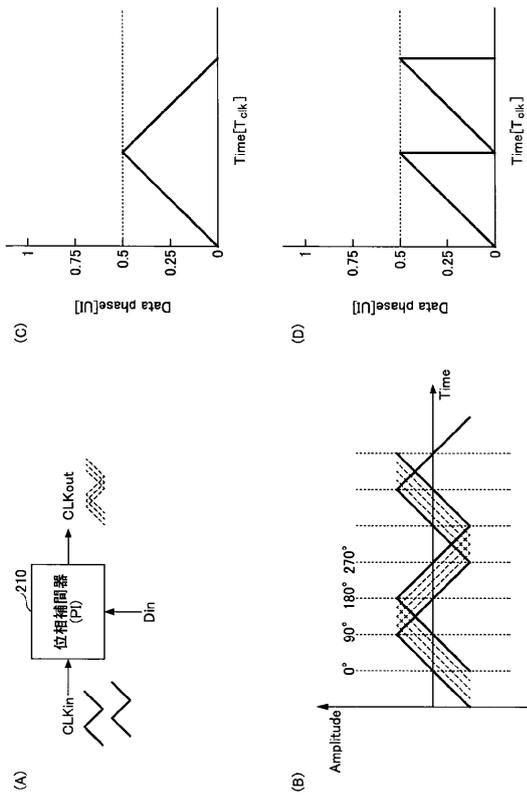
ブラインドサンプリング型のCDR回路10における位相検出誤差を示す図





【 図 7 】

実施の形態2のCDR回路の一部と、波形図を示す図



---

フロントページの続き

(56)参考文献 特開2012-028935(JP,A)  
特開2004-080210(JP,A)  
米国特許出願公開第2012/0124454(US,A1)

(58)調査した分野(Int.Cl., DB名)  
H04L 7/033