



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I501249 B

(45)公告日：中華民國 104 (2015) 年 09 月 21 日

(21)申請案號：101142414

(22)申請日：中華民國 101 (2012) 年 11 月 14 日

(51)Int. Cl. : G11C29/38 (2006.01)

G11C29/44 (2006.01)

(71)申請人：華邦電子股份有限公司 (中華民國) WINBOND ELECTRONICS CORP. (TW)

臺中市大雅區科雅一路 8 號

(72)發明人：麥克 歐倫 MICHAEL, ORON (US)；吉高爾 羅賓約翰 JIGOUR, ROBIN JOHN

(US)；古普特 安尼爾 GUPTA, ANIL (US)

(74)代理人：詹銘文；葉璟宗

(56)參考文獻：

TW I351604

CN 1902599A

US 7171536B2

US 2008/0313389A1

US 2009/0019215A1

審查人員：方玟蓁

申請專利範圍項數：9 項 圖式數：12 共 67 頁

(54)名稱

晶片上之反及開快閃記憶體及其損壞區塊管理方法

ON-CHIP BAD BLOCK MANAGEMENT FOR NAND FLASH MEMORY

(57)摘要

關聯於用於損壞區塊映射的查詢表的創作及使用之特定功能可在記憶體裝置本身的晶片上實現，亦即在相同晶片的額外電路上，或者甚至在記憶體裝置的指令與控制邏輯內來實現查詢表的功能，藉以降低負擔。更進一步地說，在晶片上實現查詢表的功能可使得查詢表的功能與其他指令與控制邏輯的功能緊密地整合，藉以使反及開快閃記憶體能夠利用例如連續頁面讀取指令及其變化等功能性更強的新指令。

Certain functions relating to creation and use of a look-up table for bad block mapping may be implemented “on chip” in the memory device itself, that is on the same die in an additional circuit, or even within the command and control logic of the memory device, so as to reduce the overhead. Moreover, the on-chip implementation of the look-up table may be tightly integrated with other functions of the command and control logic to enable powerful new commands for NAND flash memory, such as a continuous read command and variations thereof.

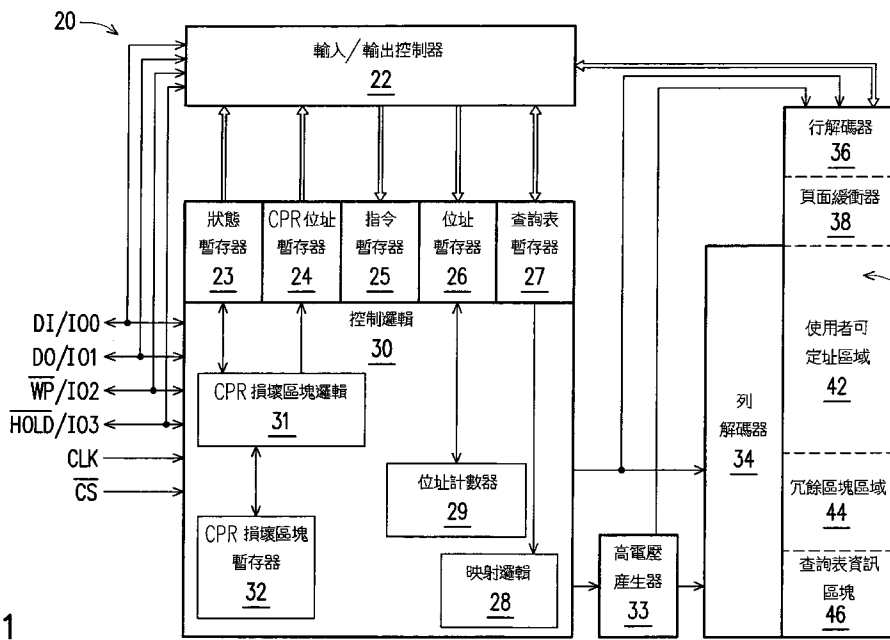


圖 1

- 20 . . . 反及開極快閃記憶體裝置
- 22 . . . 輸入輸出控制
- 23 . . . 狀態暫存器
- 24 . . . CPR 位址暫存器
- 25 . . . 指令暫存器
- 26 . . . 位址暫存器
- 27 . . . 查詢表暫存器
- 28 . . . 映射邏輯
- 29 . . . 位址計數器
- 30 . . . 控制邏輯
- 31 . . . CPR 損壞區塊邏輯
- 32 . . . CPR 損壞區塊暫存器
- 33 . . . 高電壓產生器
- 34 . . . 列解碼器
- 36 . . . 行解碼器
- 38 . . . 頁面緩衝器
- 40 . . . 反及開快閃陣列
- 42 . . . 使用者可定址區域
- 44 . . . 冗餘區塊區域
- 46 . . . 查詢表資訊區塊

公告本

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101142414

※申請日：101.11.14

※IPC 分類：

G11C 29/38

G11C 29/44

一、發明名稱：(中文/英文)

晶片上之反及閘快閃記憶體及其損壞區塊管理方法
ON-CHIP BAD BLOCK MANAGEMENT FOR NAND
FLASH MEMORY

二、中文發明摘要：

關聯於用於損壞區塊映射的查詢表的創作及使用之特定功能可在記憶體裝置本身的晶片上實現，亦即在相同晶片的額外電路上，或者甚至在記憶體裝置的指令與控制邏輯內來實現查詢表的功能，藉以降低負擔。更進一步地說，在晶片上實現查詢表的功能可使得查詢表的功能與其他指令與控制邏輯的功能緊密地整合，藉以使反及閘快閃記憶體能夠利用例如連續頁面讀取指令及其變化等功能性更強的新指令。

三、英文發明摘要：

Certain functions relating to creation and use of a look-up table for bad block mapping may be implemented "on chip" in the memory device itself, that is on the same die in an additional circuit, or even within the command and

control logic of the memory device, so as to reduce the overhead. Moreover, the on-chip implementation of the look-up table may be tightly integrated with other functions of the command and control logic to enable powerful new commands for NAND flash memory, such as a continuous read command and variations thereof.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1。

(二) 本代表圖之元件符號簡單說明：

20：反及閘極快閃記憶體裝置

22：輸入輸出控制

23：狀態暫存器

24：CPR 位址暫存器

25：指令暫存器

26：位址暫存器

27：查詢表暫存器

28：映射邏輯

29：位址計數器

30：控制邏輯

31：CPR 損壞區塊邏輯

32：CPR 損壞區塊暫存器

33：高電壓產生器

34：列解碼器

- 36：行解碼器
- 38：頁面緩衝器
- 40：反及閘快閃陣列
- 42：使用者可定址區域
- 44：冗餘區塊區域
- 46：查詢表資訊區塊

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於數位記憶體裝置，且特別是有關於晶片上之反及閘快閃記憶體(NAND flash memory)及其損壞區塊管理方法。

【先前技術】

由於在成本上顯著的優勢，反及閘快閃記憶體逐漸地成為市場的主流。此外，反及閘快閃記憶體可適用於包括傳統的反及閘介面至精簡腳位(low pin count)串列周邊介面(Serial Peripheral Interfaces, SPI)等多種不同種類的介面。

反及閘快閃記憶體架構將記憶體陣列組織為多個區塊(block)，且每一區塊具有數個頁面(page)。標準的頁面長度包括有 512 位元組(bytes)、2048 位元組以及 4096 位元組。在每一頁面中的數個額外的位元組(通常為 16/64/128 位元組)可用以儲存錯誤校正碼(error correcting code checksum, ECC)檢查總和(checksum)以及有時可用以儲存檔案資料(metadata)。

損壞區塊管理通常執行於反及閘快閃記憶體上。這樣的記憶體易受損壞區塊狀態的影響，損壞區塊狀態包括區塊在製造時具有失效的記憶胞，以及由於重複使用而使記憶包退化所造成之失效的記憶胞。損壞區塊管理通常係藉由在主機端操作系統的裝置驅動器軟體或者獨立的專用控

制器晶片來執行。當高階軟體存取損壞的邏輯區塊時，裝置驅動器或控制器會利用損壞區塊映射表而將損壞的邏輯區塊映射至良好的物理區塊，所述之損壞區塊映射表一般稱之為查詢表(look-up table, LUT)。查詢表的功能是收集未映射的物理區塊位址為損壞區塊的邏輯區塊位址(logical block address, LBA)與映射為良好區塊的物理區塊位址(physical block address, PBA)之間連結的集合。

查詢表的使用對於標準的反及閘快閃記憶體裝置的一些常用指令是有效的，例如讀取頁面的指令。而一些指令則是可藉由限制指令在特定的區塊內依序讀取而在相容於查詢表的使用之情況下完成，例如串列讀取指令。

【發明內容】

本發明一實施例為一種存取反及閘快閃記憶體陣列的方法。反及閘快閃記憶體陣列具有使用者可定址區域，且反及閘快閃記憶體陣列實現於晶片上。晶片用以讀取、程式化以及抹除部分的反及閘快閃記憶體陣列。所述之存取反及閘快閃記憶體陣列的方法包括：辨識用以存取反及閘快閃記憶體陣列的邏輯區塊位址，邏輯區塊位址被完整的用於抹除存取，並且邏輯區塊位址輔以頁面位址部分被用於讀取存取以及程式化存取；在具有反及閘快閃記憶體陣列的晶片上的使用者可定址區域中獲取邏輯區塊位址至取代區塊的物理區塊位址的映射；以及利用取代區塊的物理區塊位址存取反及閘快閃記憶體陣列。

本發明另一實施例為一種在反及閘快閃記憶晶片上進行連續頁面讀取操作的方法，其中反及閘快閃記憶晶片具有反及閘快閃記憶體陣列以及頁面緩衝器。頁面緩衝器包括資料暫存器以及快取暫存器。所述之在反及閘快閃記憶晶片上進行連續頁面讀取操作的方法包括：在具有反及閘快閃記憶體陣列的晶片上維持查詢表暫存器，查詢表暫存器儲存至少一個邏輯損壞區塊位址以及對應於所述邏輯損壞區塊位址的至少一個物理取代區塊位址；從快取暫存器中的多個快取暫存部分無縫且連續地輸出資料，資料暫存器被組織為對應於快取暫存器的所述多個快取暫存部分的多個資料暫存部分；建立用以存取反及閘快閃記憶體陣列的邏輯頁面位址，邏輯頁面位址包括邏輯區塊位址部分；在查詢表暫存器的所述邏輯損壞區塊位址中搜尋所述邏輯損壞區塊位址的其中之一與邏輯區塊位址部分之間是否符合；當從所述多個快取暫存部分中的第一快取暫存部分輸出資料時，從快取暫存器中的對應部分轉移資料至第二快取暫存部分，第二快取暫存部分不同於第一快取暫存部分；在第一快取暫存部分輸出資料且轉移資料至第二快取暫存部分的步驟後，在第二快取暫存部分上進行錯誤校正碼計算；在第一快取暫存部分輸出資料且轉移資料至第二快取暫存部分的步驟後，當搜尋的步驟中所述邏輯損壞區塊位址與邏輯區塊位址部分皆不符合時，利用邏輯頁面位址從反及閘快閃記憶體陣列中將資料頁面讀入資料暫存器，以及當搜尋的步驟中所述邏輯損壞區塊位址的其中之

一與邏輯區位址部分符合時，利用所述物理取代區塊位址的其中之一將資料頁面讀入資料暫存器，其中所述物理取代區塊位址的所述其中之一對應於符合邏輯區塊位址部分的所述邏輯損壞區塊位址的所述其中之一；以及當從第二快取暫存部分輸出資料時，從資料暫存器的對應部分轉移資料至除了第二快取暫存部分的其餘所述多個快取暫存部分的其中之一，並且對其餘所述多個快取暫存部分的所述其中之一進行該錯誤校正碼計算。

本發明另一實施例為一種在反及閘快閃記憶晶片上進行頁面讀取操作的方法，其中反及閘快閃記憶晶片具有反及閘快閃記憶體陣列以及頁面緩衝器。頁面緩衝器包括資料暫存器以及快取暫存器。所述之在反及閘快閃記憶晶片上進行頁面讀取操作的方法包括：在具有反及閘快閃記憶體陣列的晶片上維持查詢表暫存器，查詢表暫存器儲存至少一個邏輯損壞區塊位址以及對應於所述邏輯損壞區塊位址的至少一個物理取代區塊位址；建立用以存取反及閘快閃記憶體陣列的邏輯頁面位址，邏輯頁面位址包括邏輯區塊位址部分；在查詢表暫存器的所述邏輯損壞區塊位址中搜尋所述邏輯損壞區塊位址的其中之一與邏輯區塊位址部分之間是否符合；利用所述物理取代區塊位址的其中之一從反及閘快閃記憶體陣列中將資料頁面讀入資料暫存器，其中所述物理取代區塊位址的所述其中之一對應於符合邏輯區塊位址部分的所述邏輯損壞區塊位址的所述其中之一；以及在頁面緩衝器上進行錯誤校正碼計算。

本發明另一實施例為一種在反及閘快閃記憶晶片上進行連續頁面讀取操作的方法，其中反及閘快閃記憶晶片具有反及閘快閃記憶體陣列以及頁面緩衝器。所述之在反及閘快閃記憶晶片上進行連續頁面讀取操作的方法包括：在具有反及閘快閃記憶體陣列的晶片上維持查詢表暫存器，查詢表暫存器儲存至少一個邏輯損壞區塊位址以及對應於所述邏輯損壞區塊位址的至少一個物理取代區塊位址；建立用以存取反及閘快閃記憶體陣列的邏輯頁面位址，邏輯頁面位址包括邏輯區塊位址部分；在查詢表暫存器的所述邏輯損壞區塊位址中搜尋所述邏輯損壞區塊位址的其中之一與邏輯區塊位址部分之間是否符合；當搜尋的步驟中所述邏輯損壞區塊位址與邏輯區塊位址部分皆不符合時，利用邏輯頁面位址從反及閘快閃記憶體陣列中將資料頁面讀入資料暫存器，以及當搜尋的步驟中所述邏輯損壞區塊位址的其中之一與邏輯區塊位址部分符合時，利用所述物理取代區塊位址的其中之一將資料頁面讀入資料暫存器，其中所述物理取代區塊位址的所述其中之一對應於符合邏輯區塊位址部分的所述邏輯損壞區塊位址的所述其中之一；對頁面緩衝器中的資料頁面進行錯誤校正碼計算；以及當錯誤校正碼計算指示無法校正頁面讀取錯誤時，若在搜尋的步驟中所述邏輯損壞區塊位址與邏輯區塊位址部分皆不符合，利用邏輯頁面位址更新連續頁面讀取損壞區塊位址暫存器，以及若在搜尋的步驟中所述邏輯損壞區塊位址的其中之一與該邏輯區塊位址部分符合，利用所述物理

取代區塊位址的其中之一更新該連續頁面讀取損壞區塊位址暫存器，其中所述物理取代區塊位址的所述其中之一對應於符合邏輯區塊位址部分的所述邏輯損壞區塊位址的所述其中之一。

本發明另一實施例為一種反及閘快閃記憶晶片，包括反及閘快閃記憶體陣列、列解碼器、頁面緩衝器、行解碼器、輸入/輸出控制器、狀態暫存器、連續頁面讀取損壞區塊位址暫存器、指令暫存器、位址暫存器、查詢表暫存器、控制邏輯電路。列解碼器耦接反及閘快閃記憶體陣列。頁面緩衝器耦接反及閘快閃記憶體陣列。行解碼器耦接頁面緩衝器。輸入/輸出控制器耦接行解碼器。狀態暫存器耦接輸入/輸出控制器。連續頁面讀取損壞區塊位址暫存器耦接輸入/輸出控制器。指令暫存器耦接輸入/輸出控制器。位址暫存器耦接輸入/輸出控制器。查詢表暫存器耦接輸入/輸出控制器。控制邏輯電路耦接列解碼器、行解碼器、頁面緩衝器、狀態暫存器、連續頁面讀取損壞區塊位址暫存器、指令暫存器、位址暫存器以及查詢表暫存器。

本發明另一實施例為一種用於反及閘快閃記憶體陣列的損壞區塊管理的方法，反及閘快閃記憶體陣列實現於晶片上。所述之用於反及閘快閃記憶體陣列的損壞區塊管理的方法包括：在具有反及閘快閃記憶體陣列的晶片上維持查詢表暫存器；於利用第一損壞區塊的邏輯區塊位址存取反及閘快閃記憶體陣列的使用者存取期間，偵測第一損壞區塊；以及存取晶片上的查詢表暫存器以將第一損壞區

塊的邏輯區塊位址至第一取代區塊的物理區塊位址的映射儲存至反及閘快閃記憶體陣列。

本發明另一實施例為一種存取反及閘快閃記憶體陣列的方法。反及閘快閃記憶體陣列實現於晶片上。晶片用以讀取、程式化以及抹除部分的反及閘快閃記憶體陣列。所述之存取反及閘快閃記憶體陣列的方法包括：辨識用以存取反及閘快閃記憶體陣列的邏輯區塊位址，邏輯區塊位址被完整的用於抹除存取，並且邏輯區塊位址輔以頁面位址部分被用於讀取存取以及程式化存取；從具有反及閘快閃記憶體陣列的晶片上的查詢表獲取邏輯區塊位址至對應的取代區塊的物理區塊位址的映射，當反及閘快閃記憶體陣列為在標準讀取、程式化以及抹除操作的服務中時，查詢表可被使用者所存取，其中查詢表用以儲存損壞區塊的邏輯區塊位址至取代區塊的物理區塊位址的映射；以及利用對應的取代區塊的物理區塊位址存取反及閘快閃記憶體陣列。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

在軟體或硬體中，使用主控裝置或外部控制器來實現損壞區塊查詢表，可能會使得軟體開發及硬體花費上的負擔增加。然而，關聯於查詢表的創作及使用之特定功能可在記憶體裝置本身的晶片上(on chip)實現，亦即在相同晶

片的額外電路上，或者甚至在記憶體裝置的指令與控制邏輯內來實現查詢表的功能，藉以降低負擔。更進一步地說，在晶片上實現查詢表的功能可使得查詢表的功能與其他指令與控制邏輯的功能緊密地整合，藉以使反及閘快閃記憶體能夠利用例如連續頁面讀取指令及其變化等功能性更強的新指令。

圖 1 為反及閘快閃記憶體裝置 20 的功能方塊示意圖。所述之反及閘快閃記憶體裝置 20 包括反及閘快閃陣列 40 以及相關的頁面緩衝器 38。反及閘快閃陣列 40 包括字元線(行(column))以及位元線(列(row))，並且係由使用者可定址區域 42、冗餘區塊區域 44 以及查詢表資訊區塊 46 所組成。反及閘快閃記憶體裝置 20 可包括其他不同的電路以支援記憶體程式化、抹除以及讀取，例如列解碼器 34、行解碼器 36、輸入輸出控制 22、一或多個狀態暫存器 23、一或多個連續頁面讀取(continuous page read, CPR)位址暫存器 24、指令暫存器 25、位址暫存器 26、查詢表暫存器 27、控制邏輯 30、CPR 損壞區塊邏輯 31、CPR 損壞區塊暫存器 32 以及高電壓產生器 33。列解碼器 34 可根據使用者控制(或可根據反及閘快閃記憶體裝置 20 的內部控制)而選擇使用者可定址區域 42 的行，並且根據反及閘快閃記憶體裝置 20 的內部控制而選擇冗餘區塊區域 44 以及查詢表資訊區塊 46 的行。所述之反及閘快閃記憶體裝置 20 可以任何所需的形式加以封裝，並且可以具有包括傳統反及閘快閃記憶體裝置介面等的任何類型之介面，圖 1 之控制

邏輯 30 係範例性地以包括多輸入輸出 SPI 介面之 SPI 與 QPI 協定來實現。關於 QPI 和 SPI 介面以及與記憶體陣列相關的電路的額外細節可參見 2009 年 7 月 7 日頒與 Jigour 等人的第 7,558,900 號美國專利，和 2011 年 1 月 13 日中華民國臺灣新竹市華邦電子股份有限公司的公開案 W25Q64DW：“SpiFlash1.8V 64M-Bit Serial Flash Memory with Dual/Quad SPI& QPI” 初步修正案 C，以上專利以全文引用方式併入本文。

頁面緩衝器 38 範例性地包括一頁面資料暫存器(未繪示)、一頁面快取暫存器(未繪示)以及用以從資料暫存器複製資料至快取暫存器的一頁面傳輸閘。本發明並不限制資料暫存器與快取暫存器中閃鎖器之型式，範例性的閃鎖器可利用背對背(back-to-back)連接的反相器來實現。本發明並不限制傳輸閘之形式；在本實施例中，所述之傳輸閘係以 CMOS 傳輸閘來實現。本發明並不限制資料暫存器與快取暫存器所需之數量，舉例來說，可依據傳輸閘之走線連接以及控制資料傳輸的操作而決定所需之數量。舉例來說，資料暫存器與快取暫存器可分別由各自的部分所組成，並且分別利用受控於對應的控制線之傳輸閘群組而交替操作。頁面緩衝器 38 可藉由施加相同控制信號至各自的傳輸閘控制線的傳統方式來操作資料暫存器與快取暫存器，或者藉由施加合適時序的控制信號至傳輸閘控制線的交替操作方式來操作資料暫存器與快取暫存器。在此係範例性地以兩部分實現一個頁面，且一個頁面可為 2K 位元

組，傳輸閘的半頁面(1K)可受控於一條控制線，而傳輸閘的另一半頁面(1K)可受控於另一條控制線，從而將資料暫存器與快取暫存器整理為兩個半頁面部分。由於所述之兩部分操作為交替操作，以兩部分實現之頁面緩衝器 38 可視為”乒乓”緩衝器(ping pong buffer)。ECC 電路可用以在快取暫存器的內容上進行 ECC 計算。關於頁面緩衝器 38、ECC 電路以及頁面緩衝器 38 與 ECC 電路的操作之額外細節可參見 2012 年 5 月 4 日由 Gupta 等人所申請的第 13/464,535 號美國專利(“Method and Apparatus for Reading NAND Flash Memory”)，以上專利以全文引用方式併入本文。所述之將資料暫存器與快取暫存器整理成多個部分並且在各個部分進行 ECC 的方式為一範例性的實施方式，其他技術亦可根據需求而使用。

雖然反及閘快閃記憶體裝置 20 係為進行包括連續頁面讀取操作以及在單平面反及閘架構的晶片上錯誤校正等多種讀取操作而組成及運作，但所述架構僅為範例，所述架構之相關變化亦不脫離本發明之範圍。在本實施例中，全文的頁面容量係以 2KB 為例，但本發明並不限定所述頁面及區塊之容量。雖然在此為描述清楚係基於單平面架構來說明，但本揭露也同樣適用於多平面架構。

圖 1 亦繪示用於 SPI 介面的控制信號 CS/、CLK、DI、DO、WP/、HOLD/。標準 SPI 快閃介面提供控制信號 CS/(晶片選擇-反向)、CLK(時脈)、DI(串列資料-輸入)和 DO(串列資料-輸出)，以及可選擇的信號 WP/(寫入保護-互補)和

HOLD/(保持-互補)。雖然標準 SPI 介面中的 1 位元串列資料匯流排提供簡單介面，但其讀取流通量仍受限。因此為增加讀取流通量，多位元 SPI 介面則進一步支援雙重流量(2 位元介面)和/或四重流量(4 位元介面)。圖 1 亦繪示透過選擇性地重新定義四個接腳的功能而用於雙重流量 SPI 和四重流量 SPI 操作的額外資料匯流排信號，例如 I/O(0)、I/O(1)、I/O(2)以及 I/O(3)。在四重流量 SPI 讀取操作中，可透過 I/O(0)用 1 位元標準 SPI 介面給出適當的讀取指令，但用於位址和資料輸出的後續介面是基於四重流量的介面(例如 4 位元資料匯流排)。在四重流量 SPI 的另一版本中，可透過 I/O(0)用 1 位元標準 SPI 介面給予讀取指令和位址，但用於資料輸出的後續介面是基於四重流量的介面(例如 4 位元資料匯流排)。在提供位址與讀出資料之間可使用任選的虛擬時脈循環。與在標準 SPI 讀取操作中輸出 1 位元資料相比，四重流量 SPI 讀取操作可在一時脈循環中輸出 4 位元資料，且因此四重流量 SPI 讀取操作可提供四倍高的讀取流通量。雖然本文使用四重流量 SPI 讀取操作進行解釋，但也同樣適用於其他操作模式，例如標準 SPI、雙重流量 SPI、四重流量週邊介面 (Quad Peripheral Interface, QPI) 和雙倍轉移速率 (Double Transfer Rate, DTR) 讀取模式。在 QPI 協定中，完整的介面 (指令、位址和資料輸出) 是基於 4 位而完成。在 DTR 協定中，在下降和上升 CLK 邊緣上提供輸出資料，而非如同單倍轉移速率 (Single Transfer Rate, STR) 讀取模式操作中那樣僅在

下降 CLK 邊緣上提供輸出資料。

損壞區塊管理

圖 2 為反及閘快閃記憶體陣列 130 的組織架構及關聯於反及閘快閃記憶體陣列 130 的查詢表 120 的示意圖。反及閘快閃記憶體陣列 130 包含三個區域，使用者可定址區域、冗餘區塊區域以及查詢表資訊區域。查詢表 120 包含從邏輯區塊位址至物理區塊位址的映射，所述之映射係用於損壞區塊管理。以圖 2 為例，利用在反及閘快閃記憶體陣列 130 的冗餘區塊區域中的區塊來取代於製造處理期間所發現之損壞區塊的數量，亦即區塊 56(未繪示)係藉由冗餘區塊區域的區塊 0 所取代，區塊 214(未繪示)係藉由冗餘區塊區域的區塊 1 所取代，區塊 215(未繪示)係藉由冗餘區塊區域的區塊 2 所取代，區塊 642(未繪示)係藉由冗餘區塊區域的區塊 3 所取代，以及區塊 792(未繪示)係藉由冗餘區塊區域的區塊 4 所取代。如製造商所提供，因此，記憶體具有一個未使用的冗餘區塊 5，並且包含一個完整之可定址記憶體的 1024 個區塊。

雖然在圖 2 中並未繪示，但製造商可能會用掉冗餘區塊區域中的所有區塊來取代損壞區塊，並且甚至用掉使用者可定址區域中的部分區塊來取代損壞區塊。在此所述之技術即可應用於此一情況。

請再次參照圖 2，假設當記憶體在使用中，區塊 1 失效，其次區塊 5，然後區塊 7。失效的區塊被映射至反及閘快閃記憶體陣列 130 中的良好區塊，以使裝置能夠持續使

用。舉例而言，損壞區塊首先被映射至冗餘區塊區域中的未使用區塊，接著才被映射至使用者可定址區域中的可使用區塊。先映射至冗餘區塊區域可盡量地延長維持完整的使用者可定址記憶體負載的時間，然而任何所需之映射架構皆可使用於此。如圖 2 所示，損壞區塊 1 首先被映射至冗餘區塊 5，接著損壞區塊 5 被映射至使用者可定址區域中的區塊 1023，而損壞區塊被映射至使用者可定址區域中的區塊 1022 時，損壞區塊 1 被映射至冗餘區塊 5。

本發明之查詢表 120 可被建構於查詢表暫存器 27，並可直接地存取控制邏輯 30 以及映射邏輯 28。查詢表暫存器 27 可利用小且快速的揮發性記憶體來實現，例如靜態隨機存取記憶體(SRAM)其容量係基於查詢表延遲與可被分配至取代區塊之損壞區塊數量的折衷考量而設計選擇。舉例而言，查詢表暫存器 27 可設計為用以儲存 20 個損壞區塊的邏輯區塊位址與 20 個相關之取代區塊的物理區塊位址。查詢表暫存器 27 可在晶片啟動(power-up)或重置時填入從反及閘快閃記憶體陣列 130 的查詢表資訊區塊所讀取的邏輯區塊位址與物理區塊位址資料。其中，使用者可定址區域的損壞區塊皆會被標記，例如在第一頁面的備用區域之具有非 FFh 資料的第一位元，區塊可被讀取以確認查詢表 120 中的邏輯區塊位址清單的正確性。

雖然查詢表暫存器 27 繪示為單一暫存器，但其可藉由任何所需的方式來實現。在一實施例中，查詢表暫存器可利用兩個單獨的部分來實現，其中之一部分為使用者可

存取的部分，且該部分可包含關聯於使用者可定址區域的映射資訊，但不包含關聯於冗餘區塊區域的映射資訊，而其中之另一部分則為可藉由反及閘快閃記憶體而為內部所使用的部分，且該部分可包含關聯於冗餘區塊區域的映射資訊。

圖 3 為初始化查詢表的一實施方法的步驟流程圖，其中圖 3 繪示用以在晶片啟動或重置時建構查詢表的初始化程序 200 的一實施例。提供查詢表資訊區塊的位址供內部使用(步驟 202)並且用以從查詢表資訊區塊讀取查詢表資訊至查詢表暫存器以建立查詢表(步驟 204)。

將所述之方法應用於圖 2 實施例時，初始序列可能會導致查詢表具有邏輯區塊位址索引的區塊 56、區塊 214、區塊 215、區塊 642 以及區塊 792，以及對應於物理區塊位址的 RBA 區塊 0、RBA 區塊 1、RBA 區塊 2、RBA 區塊 3，以及 RBA 區塊 4(表示為由左至右的向下交錯排列)。此係因為在本實施例中，製造商標示區塊 56、214、215、642 以及 792 為損壞區塊，並且映射所述之損壞區塊至冗餘區塊區域的區塊 0、1、2、3 以及 4，並且將所述之映射的資訊放置於查詢表資訊區塊 46 中。

圖 4、圖 5 以及圖 6 繪示三種範例指令的範例處理方式，分別為頁面讀取指令、快速連續頁面模式指令以及可定址連續頁面模式指令。所述之讀取指令的類型可同時(但非必需同時)實現於一特定的反及閘快閃記憶體裝置中。頁面讀取指令以其頁面位址欄位中所指定的位址讀取記憶體

中的一個頁面。快速連續頁面讀取指令可接續於頁面讀取指令之後，並且從所述之指定的位址開始連續地讀取記憶體的頁面。快速連續頁面讀取指令並未包含位址欄位。可定址連續頁面讀取指令從所述之指定的位址開始連續地讀取記憶體的頁面。

如圖 4 所示，當接收到頁面讀取指令時，頁面讀取指令中所指定的頁面位址被儲存於位址暫存器 26(步驟 302)。頁面讀取處理接續地進行取代區塊處理，其中取代區塊處理係涉及在查詢表暫存器 27 中的搜尋，藉以判斷位址暫存器 26 中的區塊位址部分的位址是否符合查詢表暫存器 27 中的任何邏輯區塊位址(步驟 304)。由於查詢表暫存器 27 可為在晶片上之小且快速的 SRAM，因此其可利用控制邏輯 30 進行本地存取，故所述之搜尋的動作可在不顯著影響讀取時間的情況下快速地進行。若未發現符合的搜尋結果時(步驟 304-否)，邏輯區塊位址可被用以將頁面讀入至頁面緩衝器 38(步驟 308)。若發現符合的搜尋結果時(步驟 304-是)，需取代的損壞區塊將被指示出，並且利用取代區塊的物理區塊位址取代位址暫存器 26 中的邏輯區塊位址以讀取所需的頁面(步驟 S306)。當所需的資料頁面被讀入頁面緩衝器 38 時(步驟 308)，在所述之資料上進行錯誤校正程序，並且適當地在一或多個狀態暫存器中設定據以產生之 ECC 位元(步驟 310)。接著，輸出所述之頁面(步驟 312)並且繼續進行處理 314。

圖 5 為利用損壞區塊映射的連續頁面讀取操作的步驟

流程圖，其中圖 5 繪示基本的連續頁面讀取操作 320，所述之連續頁面讀取操作 320 可相容於損壞區塊映射並且包含損壞區塊管理。所述之處理係於建立適當的初始條件(步驟 322)後重複地進行，其中所述之適當的初始條件係根據基本連續頁面讀取操作 320 的應用而定。當反及閘快閃記憶體裝置具有合適的初始條件時，連續頁面讀取操作 320 實質上可藉由如圖示所繪示之方式來使用。在此係以在連續頁面讀取操作 320 中依循先前操作的方式來產生合適的初始條件，然而合適的初始條件亦可藉由其他多種不同的方法而產生。所述之先前操作例如為指令的執行，由於除了快速連續頁面讀取指令的解碼外，執行的動作可在不具任何延遲的情況下開始，故在此情況下所述之指令執行的操作可被視為快速連續頁面讀取(fast continuous page read, FCPR)。舉例來說，當圖 4 的頁面讀取指令終止而不輸出頁面資料時，其可被用以建立所述之初始條件(步驟 312)。此一步驟在位址暫存器中留下了初始位址(所述之處理方法 320 亦可被修改為可容許初始位址以外的位址)，而使 ECC 處理頁面緩衝器中的資料以作為初始條件(步驟 322)。

接著，進行三個大致同時進行的操作，即以頁面緩衝器的第一部分作為輸出(步驟 330)、在頁面緩衝器的第二部分進行 ECC 計算(步驟 332)以及利用合適的查詢表程序將下一資料頁面讀入頁面緩衝器(步驟 334)，所述之查詢表程序例如為圖 4 的步驟 304 與 306 等用於損壞區塊的處理程

序。所述之下一資料頁面可藉由以晶片上的位址計數器 29(圖 1)遞增位址暫存器 26 中的位址來存取，並且接著利用例如為圖 4 所繪示之取代區塊處理之方式來進行取代區塊處理(參照步驟 304 與 306)。為了避免電路過於複雜，取代區塊處理僅需在存取第一頁面及每一操作步驟的邊界時進行，進而在不損及每一頁面存取的情況下進行取代區塊處理。雖然於頁面讀取後之接續的連續讀取時，在第一次重複進行的情況下，於頁面緩衝器的第二部分上進行 ECC 計算(步驟 332)係為多餘的步驟，但其仍不會損及所述之處理方法。若有需要，可將連續頁面讀取操作修正為在第一次重複進行連續頁面讀取操作的期間繞過(bypass)在頁面緩衝器的第二部分上進行 ECC 計算的步驟(步驟 332)。

接著，進行兩個大致同時進行的操作，即輸出頁面緩衝器的第二部分(步驟 340)以及在頁面緩衝器的第一部分上進行 ECC 計算(步驟 342)。由於完整資料頁面已被輸出且在狀態暫存器 23 中的 ECC 位元已被設定，故可進行初步的損壞區塊評估(步驟 350)。值得注意的是，此時並非必須完成頁面的讀取，若有需要亦可在先前之步驟 334 的操作中，以完成部分的頁面讀取的操作來取代原先完成完整的頁面讀取的操作，並且部分頁面的讀取可和從頁面緩衝器的第二部分輸出的動作(步驟 340)及在頁面緩衝器的第一部分上進行 ECC 計算的動作(步驟 342)為大致同時進行的操作。

接續的連續頁面可藉由重複執行自步驟 330、332 及

334 開始的步驟而被讀取並輸出。連續讀取將持續地被進行直到被任何所需的方式終止，例如藉由終止時脈及晶片的選擇信號。

初步的損壞區塊評估(步驟 350)可藉由以下之實施方式來進行。所述之評估可藉由 CPR 損壞區塊邏輯 31、CPR 損壞區塊暫存器 32 及狀態暫存器 23 中的 ECC 位元來進行。在此係以使用兩個 ECC 位元來表示無連續頁面讀取錯誤(00)、一或多個可校正的錯誤(01)、一個無法校正的連續頁面讀取錯誤(10)以及大於一個無法校正的連續頁面讀取錯誤(11)，然而其他的習知表示方式亦可適用於此。任何可維持所需的資訊之合適類型與容量的暫存器皆可為所述之 CPR 損壞區塊暫存器 32，例如可持續追蹤無連續頁面讀取錯誤(00)、一或多個可校正的錯誤(01)、一個無法校正的連續頁面讀取錯誤(10)以及大於一個無法校正的連續頁面讀取錯誤(11)的兩位元暫存器。當在頁面緩衝器 38 中的完整資料頁面上所進行之 ECC 計算完成時，錯誤校正電路(未繪示)會將計算結果寫入至狀態暫存器 23 的 ECC 位元，所述之計算結果可能為無錯誤(00)，可校正的錯誤(01)或是無法校正的錯誤(10)。CPR 損壞區塊邏輯 31 檢查狀態暫存器 23 中的 ECC 位元，適當地調整 CPR 損壞區塊暫存器 32 中的數值，並且若是 ECC 位元指示為一個無法校正的錯誤(10)時，CPR 損壞區塊邏輯 31 將頁面位址寫入 CPR 位址暫存器 24。CPR 損壞區塊邏輯 31 接著依據 CPR 損壞區塊暫存器 32 的數值而將適當數值寫入狀態暫存器 23 的

ECC 位元，並藉由錯誤校正電路覆蓋原先寫入狀態暫存器 23 的 ECC 位元的數值。CPR 損壞區塊暫存器 32 可為可由使用者所讀取或者不可由使用者所讀取。若連續頁面讀取操作 320 在此時被終止，則使用者可讀取狀態暫存器 23 以了解是否發生無連續頁面讀取錯誤(00)、一個或多個可校正的連續頁面讀取錯誤(01)、一個無法校正的連續頁面讀取錯誤(10)或者大於一個無法校正的連續頁面讀取錯誤(11)，並且使用者亦可讀取 CPR 位址暫存器 24 以初步地辨識損壞區塊。若是 CPR 位址暫存器 24 的容量僅足以保留一個區塊位址時，CPR 位址暫存器 24 將覆蓋先前的任一區塊位址並且包含最後一個初步辨識的損壞區塊。若是 CPR 位址暫存器 24 的容量足以保留多個區塊位址時，CPR 位址暫存器 24 可在不覆蓋先前區塊位址的情況下加入小於暫存器的容量之新的損壞區塊。

相容於損壞區塊映射及包含損壞區塊管理的可定址連續頁面讀取(addressable continuous page read, ACPR)操作 360 如圖 6 所示。圖 5 的連續頁面讀取操作 320 可併入所述之 ACPR 操作 360，並且所述之 ACPR 操作 360 係於建立適當的初始條件後重複地進行。在可定址連續頁面讀取的範例中，所述之初始條件包含指令所提供的初始位址。所述之初始位址被儲存於位址暫存器 26(步驟 362)，並且利用適當的查詢表程序將資料頁面讀入頁面緩衝器(步驟 364)，所述之查詢表程序例如為圖 4 的步驟 304 與 306 等用於損壞區塊的處理程序。接著，在頁面緩衝器的

第一部分上進行 ECC 計算(步驟 366)。此後，處理程序以如圖式所示，藉由重複執行步驟 370、372、374、380、382 以及 390 的方式而持續進行，其中所述之步驟 370、372、374、380、382 以及 390 可對應至圖 5 的步驟 330、332、334、340、342 以及 350。

圖 7 繪示為程式化處理的範例。首先，接收頁面程式化指令 400。頁面程式化指令包含頁面位址欄位，其中欲程式化的頁面位址可從頁面位址欄位獲得並且所述之欲程式化的頁面位址可放置於位址暫存器 26 中。接著，程式化處理藉由搜尋查詢表暫存器 27 以判斷位址暫存器 26 中的位址是否符合查詢表暫存器 27 中的任何邏輯區塊位址(步驟 410)。由於查詢表暫存器 27 可為快速的 SRAM，亦即控制邏輯 30 可進行本地存取，故所述之搜尋的操作可在不顯著影響程式化時間的情況下快速地進行。若未發現符合的搜尋結果時(步驟 410-否)，利用邏輯區塊位址程式化記憶體的面(步驟 430)。若發現符合的搜尋結果時(步驟 410-是)，損壞區塊將被指示出，並且利用取代區塊的物理區塊位址來取代位址暫存器 26 中的邏輯區塊位址(步驟 420)，藉以程式化所需的頁面(步驟 430)。一旦獲得正確的頁面位址，實際頁面程式化處理(步驟 430)及用於檢查程式化錯誤的處理(步驟 440)將可藉由任何所需的方式來進行。以一個可行的程式化驗證操作技術為例，其一般可在狀態暫存器中設定通過/失效位元(pass/fail bit)。在檢查程式化錯誤之後，所述之程式化驗證操作可依據需求進行損

壞區塊管理(步驟 450)(參照圖 9)。一旦任何方式的損壞區塊管理操作完成後，其餘的記憶體操作將繼續進行處理 460。

圖 8 繪示為抹除處理的範例。首先，接收區塊抹除指令 500。區塊抹除指令包含區塊位址欄位，其中欲抹除的區塊位址可從區塊位址欄位獲得並且所述之欲抹除的區塊位址可放置於位址暫存器 26 中。接著，區塊抹除處理藉由搜尋查詢表暫存器 27 以判斷位址暫存器 26 中的位址是否符合查詢表暫存器 27 中的任何邏輯區塊位址(步驟 510)。由於查詢表暫存器 27 可為快速的 SRAM，亦即控制邏輯 30 可進行本地存取，故所述之搜尋的操作可在不顯著影響抹除時間的情況下快速地進行。若未發現符合的搜尋結果時(步驟 510-否)，邏輯區塊位址可被用於抹除區塊(步驟 530)。若發現符合的搜尋結果時(步驟 510-是)，損壞區塊將被指示出，並且利用取代區塊的物理區塊位址來取代位址暫存器 26 中的邏輯區塊位址(步驟 520)，藉以抹除區塊(步驟 530)。一旦獲得正確的區塊位址，實際區塊抹除處理(步驟 530)及用於檢查區塊抹除錯誤的處理(步驟 540)將藉由任何所需的方式來進行。以一個可行的抹除驗證操作技術為例，其一般可在狀態暫存器中設定通過/失效位元。在檢查抹除錯誤之後，所述之程式化驗證操作可依據需求進行損壞區塊管理(步驟 550)(參照圖 9)。一旦任何方式的損壞區塊管理操作完成後，其餘的記憶體操作將繼續進行處理 560。

圖 9 繪示為損壞區塊管理之範例，其可利用多種不同的方式來進行，舉例來說，所述之用以分配取代區塊的處理可藉由主機端或控制器而由使用者所控制、藉由主機端或控制器反應於損壞區塊標記而半自動地控制以及藉由反及閘快閃記憶體裝置的控制邏輯而自動地控制。

損壞區塊管理係以檢查損壞區塊(步驟 610)以及決定是否取代損壞區塊(步驟 620)開始。對於使用者控制處理或半自動處理的範例而言，檢查損壞區塊及決定是否取代損壞區塊的操作皆係由使用者透過主機端或控制器來完成。對於自動處理的範例而言，檢查損壞區塊及決定是否取代損壞區塊的操作係由反及閘快閃記憶體裝置的控制邏輯來實現。對於讀取操作來說，讀取操作依據狀態暫存器本身的數值讀取(對於使用者控制處理及半自動處理的範例而言)或檢查(對於自動處理的範例而言)ECC 位元。可能的 ECC 位元讀取或檢查結果例如包含無錯誤、已校正的錯誤、無法校正的錯誤以及多個無法校正的錯誤(對於連續頁面讀取而言)。當進行多個位元的校正時，可能的 ECC 位元讀取或檢查結果可更包含已校正的位元個數，或者包含單純指示被校正的位元之最大個數。反應於 ECC 位元讀取或檢查結果的動作例如包含當結果為無錯誤及已校正的錯誤，且所述之已校正的錯誤小於可校正位元的最大個數或一些次要的臨界值時，不採取任何動作；當結果為已校正的錯誤，且已被校正的錯誤為可校正位元的最大個數或一些次要的臨界值時，進行區塊取代的操作；以及當重複讀

取成功而使區塊取代的操作隨著無法校正的錯誤而進行時，進行重複讀取。對於頁面程式化及區塊抹除操作而言，其基於狀態暫存器中的一或多個通過/失效位元而決定讀取(對於使用者控制處理及半自動處理的範例而言)或檢查(對於自動處理的範例而言)狀態暫存器。反應於狀態暫存器之讀取或檢查結果的動作包含例如當狀態暫存器指示為”通過”時，不採取任何動作；當狀態暫存器指示為”失效”時，重複程式化或抹除的操作；以及若是狀態暫存器指示為”失效”時，以區塊取代來進行重複程式化或抹除的操作。

雖然連續頁面讀取操作的目的係為了在一般情況下輸出大量的頁面，在單一連續頁面讀取操作期間中發現數個損壞區塊的情況亦較少見。因此，連續頁面讀取 CPR 位址暫存器 24 僅需具有單一頁面位址的容量，然而其亦可根據需求而具有多個頁面位址的容量。對於連續頁面讀取操作而言，檢查損壞區塊(步驟 610)以及決定是否取代該損壞區塊(步驟 620)的操作係與 ECC 位元的檢查相關。若有需要，連續頁面讀取操作可利用取代區塊來重複。萬一初步辨識出額外的損壞區塊，則僅重複進行損壞區塊管理。

若是損壞區塊被取代的狀況下(步驟 620-是)選擇取代區塊(步驟 630)。對於使用者控制處理的範例而言，使用者發出適當的指令以使損壞區塊的邏輯區塊位址映射至取代區塊的物理區塊位址。位址映射指令為一種適當的指令類型，其中位址映射指令為使用者在使用者可定址區域 42 中決定取代區塊的物理區塊位址，並且指定損壞區塊的邏

輯區塊位址與被選擇的取代區塊的物理區塊位址的指令。損壞區塊標記指令本身為另一種適當的指令類型。對於半自動處理及自動處理的範例而言，控制邏輯可反應於任何適當的指令而選擇取代區塊。雖然可使用專用的指令來啟動取代區塊選擇的操作，但取代區塊選擇的操作亦可藉由其他指令類型來啟動。舉例來說，損壞區塊標記指令在本領域常被用於作為適於啟動取代區塊選擇的指令。雖然傳統損壞區塊標記的需求已被查詢表資訊區塊 46(圖 1)所取代，但在舊有的系統中保留所述之損壞區塊標記指令亦不會造成任何損害。然而，所述之損壞區塊標記指令可被修正以額外地使損壞區塊的邏輯區塊位址映射至冗餘區塊區域 44 中的可用區塊，藉以消除使用者從冗餘區塊區域 44 所提供的可用區塊中決定取代區塊的邏輯區塊位址的需求。由於冗餘區塊區域 44 及使用者可定址區域 44 皆可存取反及閘快閃記憶體裝置的控制邏輯，故取代區塊可僅從反及閘快閃陣列 40 的冗餘區塊區域 44 中選擇，或者可從反及閘快閃陣列 40 的冗餘區塊區域 44 與使用者可定址區域 42 其中之一來選擇。任何所需的技術皆可用以辨識下一個可用的取代區塊，舉例來說，可利用取代區塊位址暫存器(未繪示)，其中所述之取代區塊位址暫存器包含下一個可用的取代區塊的物理區塊位址。製造商可於最初時產生下一個可用的取代區塊位址並將其儲存至查詢表資訊區塊 46 中，其中查詢表資訊區塊 46 可於裝置啟動時在取代區塊位址暫存器中被讀取及被儲存，並且可於裝置操作的期

間內被更新。可用的取代區塊可藉由任何可行方式決定，例如在冗餘區塊區域 44 中從低位址至高位址，其次在使用者可定址區域 42 中從高位址至低位址來決定可用的取代區塊。為了取代區塊的目的，可保留使用者可定址區域 42 中的區塊來作為取代區塊，或者檢查每一區塊以確保各個區塊在被選擇為“可用”之前未被使用。

在損壞區塊的邏輯區塊位址及取代區塊的邏輯區塊位址兩者皆已知的情況下，可據以更新查詢表暫存器 27 及查詢表資訊區塊 46(步驟 640)。更新的操作在使用者控制處理的範例中可藉由位址映射指令或損壞區塊標記指令來啟動，在半自動處理的範例中可藉由損壞區塊標記指令來啟動，在自動處理的範例中可藉由控制邏輯來啟動。為使後續的記憶體存取得以準確，查詢表暫存器 27 需要提示更新。為使已更新的查詢表不會在電源中斷時遺失，查詢表資訊區塊 46 亦需合理地提示更新。更新的操作可利用任何所需的方式來進行，例如，個別地進行更新的操作，或是先藉由更新查詢表暫存器 27 後接著藉由將查詢表暫存器 27 的查詢表寫入至查詢表資訊區塊 46 的方式來進行更新的操作。

接著將資料從損壞區塊轉移至取代區塊(步驟 650)。舉例來說，在查詢表暫存器 27 中，對每一取代區塊放置兩個映射索引，第一個映射索引可作為使用者可定址區域中損壞區塊邏輯區塊位址至良好取代區塊的路由，而第二個映射索引則可作為邏輯區塊位址至對應的良好取代區塊至

對應的損壞區塊的路由。第二個映射索引提供損壞區塊的存取，以從損壞區塊轉移資料至良好取代區塊。在使用者控制處理的範例中，所述之傳送操作可藉由位址映射指令或損壞區塊標記指令而啟動，在半自動處理的範例中，所述之傳送操作可藉由損壞區塊標記指令而啟動，在自動處理的範例中，所述之傳送操作可藉由控制邏輯而啟動。可更進一步地繼續進行處理 660。在區塊傳送的操作之後，損壞區塊的存取得以被避免。

在從使用者可定址區域 42 中選擇取代區塊的情況下，使用者應注意不要存取用以讀取、程式化或抹除的取代區塊。在使用者控制處理的範例中，應由控制映射操作的使用者來注意不要存取用以讀取、程式化或抹除的取代區塊。使用者可藉由讀取查詢表暫存器 27 以判斷特定的存取操作是否為存取取代區塊的操作。此外，反及閘快閃記憶體裝置的控制邏輯可自動地判斷特定的存取操作是否為存取取代區塊的操作。舉例來說，反及閘快閃記憶體裝置可在指令執行前，先行搜尋指令中所指定的一或多個位址是否符合查詢表暫存器 27 中的物理區塊位址。若是指令中所指定的位址皆不符合查詢表暫存器 27 中的物理區塊位址時，則表示指令可被執行。若是指令中所指定的位址符合查詢表暫存器 27 中的物理區塊位址時，則表示使用者試圖直接存取取代區塊，因此指令應不被執行。

利用 ECC 的連續讀取及損壞區塊管理

”連續讀取”在此係表示一種記憶體讀取操作的類

型，所述之連續讀取之目的在於其可不需於每一頁面重複發送頁面讀取指令，而可藉由頁面接續頁面(page-by-page)的方式來讀取記憶體陣列的部份或全部。在圖 1 所繪示之具有 SPI 介面的反及閘快閃記憶體 20 的例子中，反及閘快閃記憶體裝置 20 可藉由控制信號高準位至低準位的轉態而啟動，接著發出連續頁面讀取指令。在此實施例中，一個連續頁面讀取指令的發送可使連續頁面可被序列地讀取並輸出直到處理程序停止。連續頁面讀取可藉由任何所需的方式停止。舉例來說，連續頁面讀取可藉由停止時脈的控制信號 CLK 並接著將控制信號 CS/自低準位轉態至高準位的方式，以使連續頁面讀取基於時脈的控制信號 CLK 而停止。此外，連續頁面讀取指令可依據其他獨立的信號以在讀取預設或指定數量的頁面後，或者在任何其他所需的方式下停止進行。

用於反及閘快閃記憶體陣列的頁面緩衝器可被建構與操作以在連續頁面讀取期間消除輸出資料的間隙與不連續，所述之在連續頁面讀取期間消除輸出資料的間隙與不連續的技術說明可參見 2012 年 5 月 4 日由 Gupta 等人所申請的第 13/464,535 號美國專利(“Method and Apparatus for Reading NAND Flash Memory”)，以上專利以全文引用方式併入本文。“可定址連續頁面讀取”在此係對應於 Gupta 等人所申請的專利中之“連續頁面讀取”，並且“快速連續頁面讀取”在此係對應於 Gupta 等人所申請的專利中之“修改連續頁面讀取”。

加入可藉由控制邏輯(例如圖 1 的控制邏輯 30)來進行本地存取的在晶片上之快速的查詢表暫存器(例如圖 1 的查詢表暫存器 27)的優點在於，當遇到取代區塊時，查詢表暫存器可在不具有顯著的頁面讀取時間延遲的情況下，從反及閘快閃記憶體利用損壞區管理啟動連續頁面讀取，因此更有助於避免任何跨頁與區塊邊界的間隙或不連續。

圖 10 繪示適於利用 ECC 完成連續頁面讀取操作的頁面緩衝器組成及操作的步驟流程圖。圖 11 所繪示之不同的連續操作的示意圖係關聯於圖 10 中所繪示之不同的步驟。圖 11 所繪示之對應於各個操作的持續時間係為範例，本發明並不限定操作的持續時間。

圖 11 繪示資料匯流排 810、反及閘快閃陣列 850 以及頁面緩衝器。所述之頁面緩衝器在此係以包含資料暫存器 840 的範例性實施方式來實現。資料暫存器 840 包含以兩個部分組成的資料暫存部分 DR-0 與 DR-1。所述之頁面緩衝器亦包含快取暫存器 830，快取暫存器 830 包含以兩個部分組成的快取暫存部分 CR-0 與 CR-1。因此，頁面緩衝器中可視為具有包含快取暫存器 CR-0 及資料暫存器 DR-0 的第一部分，和包含快取暫存部分 CR-1 及資料暫存部分 DR-1 的第二部分。與未經劃分的頁面緩衝器不同的是，未經劃分的頁面緩衝器僅需一組控制信號，頁面緩衝器的兩個部分可能需要兩組控制信號。此外，雖然頁面緩衝器在此係以兩部分組成的架構為例來支援連續頁面讀取操作，但其相關變化對於使用者而言為透明(transparent)的。程式

化操作可在 2KB 的標準頁面容量下完成，並且例如在完成頁面讀取操作後從快取中讀取頁面資料的標準讀取操作亦可在 2KB 的標準頁面容量下完成。這樣的內部組成分為兩部分的頁面緩衝器特別適合用於連續頁面讀取操作，並且即使所述之頁面緩衝器的內部分割係以分為兩部分方式來實現，頁面緩衝器的內部分割對於使用者而言為透明的。

圖 11 亦範例性地繪示一錯誤校正電路 820，其可於邏輯上視為具有錯誤校正電路區段 ECC-0 與 ECC-1。錯誤校正電路區段 ECC-0 提供快取暫存部分 CR-0 的內容的錯誤校正，並且錯誤校正電路區段 ECC-1 提供快取暫存部分 CR-1 的內容的錯誤校正。雖然為了說明清楚，兩不同的錯誤校正電路區段 ECC-0 與 ECC-1 係繪示為分別與快取暫存部分 CR-0 與 CR-1 介接，然而亦可使用單一 ECC 區塊同時與快取暫存部分 CR-0 與 CR-1 介接。

快速連續讀取指令並未包含位址欄位，而是依靠包含位址欄位的先前指令，例如頁面讀取指令。請參照圖 10 與圖 11，頁面讀取指令 700 提供初始頁面 852 的位址，其中初始頁面 852 的位址被讀取及儲存於資料暫存器 840 中 (步驟 710)。舉例來說，從頁面 852 轉移 2K 位元組的資料至資料暫存器 DR-0 與 DR-1，其中頁面 852 可視為序列的頁面-0。其中每次轉移 1K 位元組至資料暫存器 DR-0 與 DR-1 的操作可為同時或不同時進行。頁面讀取的操作時間例如為 20 微秒(μs)。

接著如圖 10 與圖 11 所示，將資料暫存器 840 中的資

料轉移至快取暫存器 830(步驟 720)，並且對快取暫存器 830 中的頁面資料進行 ECC 計算(步驟 730)。從資料暫存器 840 至快取暫存器 830 的轉移時間取決於設計選擇，但通常係介於約 $1\mu\text{s}$ 至約 $3\mu\text{s}$ 。錯誤校正電路 820 校正完成所需的時間取決於 ECC 演算法的選擇、內部資料匯流排、晶片上時序振盪器週期以及其他設計因素。舉例來說，由於一些物理設計可同時針對快取暫存器 830 的各個快取暫存部分 CR-0 與 CR-1 使用單一 ECC 電路區塊，並且每一快取暫存部分 CR-0 與 CR-1 可例如花費 $18\mu\text{s}$ 的時間來進行錯誤校正，故錯誤校正電路 820 可在約 $36\mu\text{s}$ 的時間內完成校正。

頁面讀取在無時脈輸出資料的情況下終止，並且接續著進行連續頁面讀取指令 740。如圖 10 與圖 11 所示，在此可進行大致同時的多個操作。所述大致同時進行的多個操作其中一者為涉及發送快取暫存部分 CR-0 中的頁面-0 的資料至資料匯流排 810，藉以經由資料匯流排 810 輸出資料的操作(步驟 750)，其中頁面-0 的資料已經經過了 ECC 的計算。雖然資料匯流排 810 至輸出埠之間的路徑並未繪示，但這樣的路徑對於本領域具有通常知識者係為眾所周知。

所述大致同時進行的多個操作其中另一者為涉及轉移資料暫存部分 DR-1 中的頁面資料的部分至快取暫存部分 CR-1，並且對快取暫存部分 CR-1 的頁面資料部分進行 ECC 計算的操作(步驟 760)。從資料暫存部分 DR-1 至快取

暫存部分 CR-1 的轉移時間取決於設計選擇，但通常係介於約 $1\mu\text{s}$ 至約 $3\mu\text{s}$ 。舉例來說，錯誤校正電路區段 ECC-1 可在約 $12\mu\text{s}$ 內完成校正。然而，假定發送出快取暫存部分 CR-0 資料的時間是 $20\mu\text{s}$ 且資料暫存部分 DR-1 至快取暫存部分 CR-1 的轉移時間為 $2\mu\text{s}$ ，則錯誤校正電路區段 ECC-0 與 ECC-1 可經設計以在 $18\mu\text{s}$ 或更短時間內完成。

所述大致同時進行的多個操作其中再一者為涉及從反及開快閃陣列 850 將下一順序的頁面資料 854(頁面-1) 的 2KB 頁面讀入資料暫存部分 DR-0 與 DR-1 的操作(步驟 770)。查詢表取代區塊的處理程序可用於各個存取操作，或者僅用於第一個存取以及跨區塊邊界。雖然大多數的轉移係與步驟 760 的操作同時進行，但其係在資料暫存部分 DR-1 的資料轉移至快取暫存器 CR-1 的操作之後才開始進行。

雖然圖 11 繪示的各種操作大致為同時進行，但並非所有操作皆需要同時進行，只要根據本文陳述的教示而可避免輸出資料的間隙與其他不連續即可。

接著請參照圖 10 與圖 11，在此可進行大致同時的多個操作。所述大致同時進行的多個操作其中一者涉及發送快取暫存部分 CR-1 中的頁面-0 的資料至資料匯流排 810，藉以經由資料匯流排 810 輸出資料的操作(步驟 780)，其中頁面-0 的資料已經經過了 ECC 的計算。假定時脈頻率為 100 MHz，可在約 $20\mu\text{s}$ 中發送出快取暫存部分 CR-1 的資料(1KB)。

所述大致同時進行的多個操作其中另一者為涉及轉移資料暫存部分 DR-0 中的頁面資料的部分至快取暫存部分 CR-0，並且對快取暫存部分 CR-0 的頁面資料部分進行 ECC 計算的操作(步驟 790)。此一操作步驟實質上以類似於圖 11 的相關描述來進行。

連續頁面讀取操作藉由迴圈回到步驟 750 而繼續進行，並且可透過停止時脈與控制信號 CS/來停止。此外，連續頁面讀取操作亦可藉由改變連續頁讀取命令以在讀取預定數量的頁面之後或以設計者所需的任一其他方式停止。

連續頁面讀取指令的優點在於，其可致使在頁面或區塊邊界讀取整個或所需部分的反及閘快閃陣列時不具有間隙或不連續的狀況。此一優點係藉由以交替方式讀取資料來實現的，例如交替地從快取暫存部分 CR-0 與 CR-1 中讀取資料。

圖 12 繪示適於利用 ECC 完成可定址連續頁面讀取操作的頁面緩衝器組成及操作的步驟流程圖。圖 12 所繪示之不同的連續操作的示意圖係關聯於圖 11 中所繪示之不同的步驟。

如圖 12 所示，將可定址連續頁面讀取指令中指定的初始頁面 852(頁面-0)從反及閘快閃陣列 850 轉移至資料暫存器 840 的資料暫存部分 DR-0 與 DR-1(步驟 910)。

接著請同時參照圖 11 與圖 12 所示，將資料暫存器 840 中的部分的頁面資料轉移至快取暫存器 830，並且對快取

暫存部分 CR-0 中的頁面資料部分進行 ECC 計算(步驟 920)。

可定址連續頁面讀取操作基本上可如圖 12 中的步驟 930、940、950、960 以及 970 一般對應於圖 10 中的步驟 750、760、770、780 以及 790。由於在 ECC 計算尚未完成之前，資料還沒準備好發送至輸出，因此步驟 910 與 912 的操作可能需要考慮初始延遲。此延遲可能約為 40 μ s。相反地，由於快速連續頁面讀取可在使用者提供指令、位址以及可選擇的虛擬時脈後立即輸出資料，因此快速連續頁面讀取不具有延遲。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明。根據本發明實施例所揭露的內容之變化及修改皆為可能，並且本領域具有通常知識者應可在研究本專利文件後瞭解實施例中各種元件的置換及均等物。另外，在實施例中所提及的特定數值皆為範例，且可根據需求而改變。在不脫離本發明的精神和範圍內，任何的更動與潤飾，包括實施例中之各種元件的置換及均等，皆不脫離本發明之範疇，其中本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 為反及閘快閃記憶體裝置的功能方塊示意圖。

圖 2 為反及閘快閃記憶體陣列的組織架構及關聯於反及閘快閃記憶體的查詢表的示意圖。

圖 3 為初始化查詢表的一實施方法的步驟流程圖。

圖 4 為利用損壞區塊映射的頁面讀取操作的步驟流程圖。

圖 5 為利用損壞區塊映射的連續頁面讀取操作的步驟流程圖。

圖 6 為利用損壞區塊映射的可定址連續頁面讀取操作的步驟流程圖。

圖 7 為利用損壞區塊映射的程式化操作的步驟流程圖。

圖 8 為利用損壞區塊映射的抹除操作的步驟流程圖。

圖 9 為損壞區塊管理技術的步驟流程圖。

圖 10 為利用損壞區塊映射的連續頁面讀取操作之特定實施方式的步驟流程圖。

圖 11 為依照圖 10 與圖 12 之步驟流程的頁面緩衝器的操作狀態的示意圖。

圖 12 為利用損壞區塊映射之可定址連續頁面讀取操作的特定實施方式的步驟流程圖。

【主要元件符號說明】

20：反及閘極快閃記憶體裝置

22：輸入輸出控制

23：狀態暫存器

24：CPR 位址暫存器

25：指令暫存器

- 26：位址暫存器
- 27：查詢表暫存器
- 28：映射邏輯
- 29：位址計數器
- 30：控制邏輯
- 31：CPR 損壞區塊邏輯
- 32：CPR 損壞區塊暫存器
- 33：高電壓產生器
- 34：列解碼器
- 36：行解碼器
- 38：頁面緩衝器
- 40：反及閘快閃陣列
- 42：使用者可定址區域
- 44：冗餘區塊區域
- 46：查詢表資訊區塊
- 120：查詢表
- 130：反及閘快閃記憶體陣列
- 200：初始化程序
- 202~204、302~312、322~350、362~390、410~450、
510~550、610~650、710~730、750~790、910~970：步驟
- 206、314、460、560、660：繼續進行處理
- 300：頁面讀取操作
- 320：連續頁面讀取操作
- 360：可定址連續頁面讀取操作

- 400：接收頁面程式化指令
- 500：接收區塊抹除指令
- 600：損壞區塊管理
- 700：頁面讀取指令
- 740：連續頁面讀取指令
- 810：資料匯流排
- 820：錯誤校正電路
- 830：快取暫存器
- 840：資料暫存器
- 850：反及閘快閃陣列
- 852、854：頁面
- 900：開始可定址連續頁面讀取
- CR-0、CR-1：快取暫存部分
- DR-0、DR-1：資料暫存部分
- ECC-0、ECC-1：錯誤校正電路區段
- LBA：邏輯區塊位址
- PBA：物理區塊位址
- CS/、CLK、DI、DO、WP/、HOLD/：控制信號

七、申請專利範圍：

1. 一種在反及閘快閃記憶晶片上進行連續頁面讀取操作的方法，其中該反及閘快閃記憶晶片具有一反及閘快閃記憶體陣列以及一頁面緩衝器，該頁面緩衝器包括一資料暫存器以及一快取暫存器，該方法包括：

在具有該反及閘快閃記憶體陣列的晶片上維持一查詢表暫存器，該查詢表暫存器儲存至少一邏輯損壞區塊位址以及對應於所述邏輯損壞區塊位址的至少一物理取代區塊位址；

從該快取暫存器中的多個快取暫存部分無縫且連續地輸出資料，該資料暫存器被組織為對應於該快取暫存器的該些快取暫存部分的多個資料暫存部分；

建立用以存取該反及閘快閃記憶體陣列的一邏輯頁面位址，該邏輯頁面位址包括一邏輯區塊位址部分；

在該查詢表暫存器的所述邏輯損壞區塊位址中搜尋所述邏輯損壞區塊位址的其中之一與該邏輯區塊位址部分之間是否符合；

當從該些快取暫存部分中的一第一快取暫存部分輸出資料時，從該快取暫存器中的對應部分轉移資料至一第二快取暫存部分，該第二快取暫存部分不同於該第一快取暫存部分；

在該第一快取暫存部分輸出資料且轉移資料至該第二快取暫存部分的步驟後，在該第二快取暫存部分上進行一錯誤校正碼(error correcting code, ECC)計算；

在該第一快取暫存部分輸出資料且轉移資料至該第二快取暫存部分的步驟後，當搜尋的步驟中所述邏輯損壞區塊位址與該邏輯區塊位址部分皆不符合時，利用該邏輯頁面位址從該反及閘快閃記憶體陣列中將一資料頁面讀入該資料暫存器，以及當搜尋的步驟中所述邏輯損壞區塊位址的其中之一與該邏輯區位址部分符合時，利用所述物理取代區塊位址的其中之一將該資料頁面讀入該資料暫存器，其中所述物理取代區塊位址的該其中之一對應於符合該邏輯區塊位址部分的所述邏輯損壞區塊位址的該其中之一；以及

當從該第二快取暫存部分輸出資料時，從該資料暫存器的對應部分轉移資料至除了該第二快取暫存部分的其餘該些快取暫存部分的其中之一，並且對其餘該些快取暫存部分的該其中之一進行該錯誤校正碼計算。

2. 如申請專利範圍第 1 項所述之在反及閘快閃記憶晶片上進行連續頁面讀取操作的方法，其中建立該邏輯頁面位址的步驟包括以單一頁面遞增該邏輯頁面位址，該方法更包括：

於跨越一頁面邊界時，重複進行從該些快取暫存部分輸出資料的步驟、建立該邏輯頁面位址的步驟、轉移資料至該第二快取暫存部分的步驟、進行該錯誤校正碼計算的步驟、將該資料頁面讀入該資料暫存器的步驟以及轉移資料至除了該第二快取暫存部分的其餘該些快取暫存部分的其中之一，並且對其餘該些快取暫存部分的該其中之一進

行該錯誤校正碼計算的步驟。

3. 如申請專利範圍第 2 項所述之在反及閘快閃記憶晶片上進行連續頁面讀取操作的方法，其中建立該邏輯頁面位址的步驟更包括以單一頁面遞增該邏輯頁面位址，該方法更包括：

於跨越一區塊邊界時，重複進行從該些快取暫存部分輸出資料的步驟、建立該邏輯頁面位址的步驟、搜尋所述邏輯損壞區塊位址的其中之一與該邏輯區塊位址部分之間是否符合的步驟、轉移資料至該第二快取暫存部分的步驟、進行該錯誤校正碼計算的步驟、將該資料頁面讀入該資料暫存器的步驟以及轉移資料至除了該第二快取暫存部分的其餘該些快取暫存部分的其中之一，並且對其餘該些快取暫存部分的該其中之一進行該錯誤校正碼計算的步驟。

4. 如申請專利範圍第 1 項所述之在反及閘快閃記憶晶片上進行連續頁面讀取操作的方法，其中建立該邏輯頁面位址的步驟更包括以單一頁面遞增該邏輯頁面位址，該方法更包括：

於跨越一頁面邊界時，重複進行從該些快取暫存部分輸出資料的步驟、建立該邏輯頁面位址的步驟、搜尋所述邏輯損壞區塊位址的其中之一與該邏輯區塊位址部分之間是否符合的步驟、轉移資料至該第二快取暫存部分的步驟、進行該錯誤校正碼計算的步驟、將該資料頁面讀入該資料暫存器的步驟以及轉移資料至除了該第二快取暫存部

分的其餘該些快取暫存部分的其中之一，並且對其餘該些快取暫存部分的該其中之一進行該錯誤校正碼計算的步驟。

5. 如申請專利範圍第 4 項所述之在反及閘快閃記憶晶片上進行連續頁面讀取操作的方法，其中建立該邏輯頁面位址的步驟更包括以單一頁面遞增該邏輯頁面位址，該方法更包括：

於跨越一區塊邊界時，重複進行從該些快取暫存部分輸出資料的步驟、建立該邏輯頁面位址的步驟、搜尋所述邏輯損壞區塊位址的其中之一與該邏輯區塊位址部分之間是否符合的步驟、轉移資料至該第二快取暫存部分的步驟、進行該錯誤校正碼計算的步驟、將該資料頁面讀入該資料暫存器的步驟以及轉移資料至除了該第二快取暫存部分的其餘該些快取暫存部分的其中之一，並且對其餘該些快取暫存部分的該其中之一進行該錯誤校正碼計算的步驟。

6. 如申請專利範圍第 1 項所述之在反及閘快閃記憶晶片上進行連續頁面讀取操作的方法，其中建立該邏輯頁面位址的步驟更包括以單一頁面遞增該邏輯頁面位址，該方法更包括：

於跨越一區塊邊界時，重複進行從該些快取暫存部分輸出資料的步驟、建立該邏輯頁面位址的步驟、搜尋所述邏輯損壞區塊位址的其中之一與該邏輯區塊位址部分之間是否符合的步驟、轉移資料至該第二快取暫存部分的步

驟、進行該錯誤校正碼計算的步驟、將該資料頁面讀入該資料暫存器的步驟以及轉移資料至除了該第二快取暫存部分的其餘該些快取暫存部分的其中之一，並且對其餘該些快取暫存部分的該其中之一進行該錯誤校正碼計算的步驟。

7. 如申請專利範圍第 1 項所述之在反及閘快閃記憶晶片上進行連續頁面讀取操作的方法，其中從該些快取暫存部分輸出資料的步驟在一初始延遲期間之後開始進行，該初始延遲期間包括從該反及閘快閃記憶體陣列將該資料頁面讀入該資料暫存器的時間。

8. 如申請專利範圍第 1 項所述之在反及閘快閃記憶晶片上進行連續頁面讀取操作的方法，其中從該些快取暫存部分輸出資料的步驟在不具有一初始延遲期間下進行。

9. 一種反及閘快閃記憶晶片，包括：

- 一反及閘快閃記憶體陣列；
- 一列解碼器，耦接該反及閘快閃記憶體陣列；
- 一頁面緩衝器，耦接該反及閘快閃記憶體陣列；
- 一行解碼器，耦接該頁面緩衝器；
- 一輸入/輸出控制器，耦接該行解碼器；
- 一狀態暫存器，耦接該輸入/輸出控制器；
- 一連續頁面讀取損壞區塊位址暫存器，耦接該輸入/輸出控制器；
- 一指令暫存器，耦接該輸入/輸出控制器；
- 一位址暫存器，耦接該輸入/輸出控制器；

- 一查詢表暫存器，耦接該輸入/輸出控制器；以及
- 一控制邏輯電路，耦接該列解碼器、該行解碼器、該頁面緩衝器、該狀態暫存器、該連續頁面讀取損壞區塊位址暫存器、該指令暫存器、該位址暫存器以及該查詢表暫存器，

其中該頁面緩衝器包括：

- 一資料暫存器，耦接該反及閘快閃記憶體陣列；以及
- 一快取暫存器，耦接該資料暫存器與該行解碼器，該快取暫存器被組織為多個快取暫存部分，並且該資料暫存器被組織為對應於該快取暫存器的該些快取暫存部分的多個資料暫存部分，

其中該控制邏輯電路包括多個邏輯元件，該些邏輯元件用以執行以下功能：

維持該查詢表暫存器，該查詢表暫存器儲存至少一損壞區塊位址以及對應於所述邏輯損壞區塊位址的至少一物理取代區塊位址；

從該快取暫存器中的多個快取暫存部分無縫且連續地輸出資料，該資料暫存器被組織為對應於該快取暫存器的該些快取暫存部分的多個資料暫存部分；

建立用以存取該反及閘快閃記憶體陣列的一邏輯頁面位址，該邏輯頁面位址包括一邏輯區塊位址部分；

在該查詢表暫存器的所述邏輯損壞區塊位址中搜尋所述邏輯損壞區塊位址的其中之一與該邏輯區塊位址部分之間是否符合；

當從該些快取暫存部分中的一第一快取暫存部分輸出資料時，從該快取暫存器中的對應部分轉移資料至一第二快取暫存部分，該第二快取暫存部分不同於該第一快取暫存部分；

在該第一快取暫存部分輸出資料且轉移資料至該第二快取暫存部分的步驟後，對該第二快取暫存部分進行一錯誤校正碼計算；

在該第一快取暫存部分輸出資料且轉移資料至該第二快取暫存部分的步驟後，當搜尋的步驟中所述邏輯損壞區塊位址與該邏輯區塊位址部分皆不符合時，利用該邏輯頁面位址從該反及閘快閃記憶體陣列中將一資料頁面讀入該資料暫存器，以及當搜尋的步驟中所述邏輯損壞區塊位址的其中之一與該邏輯區塊位址部分符合時，利用所述物理取代區塊位址的其中之一將該資料頁面讀入該資料暫存器，其中所述物理取代區塊位址的該其中之一對應於符合該邏輯區塊位址部分的所述邏輯損壞區塊位址的該其中之一；以及

當從該第二快取暫存部分輸出資料時，從該資料暫存器的對應部分轉移資料至除了該第二快取暫存部分的其餘該些快取暫存部分的其中之一，並且對其餘該些快取暫存部分的該其中之一進行該錯誤校正碼計算。

八、圖式：

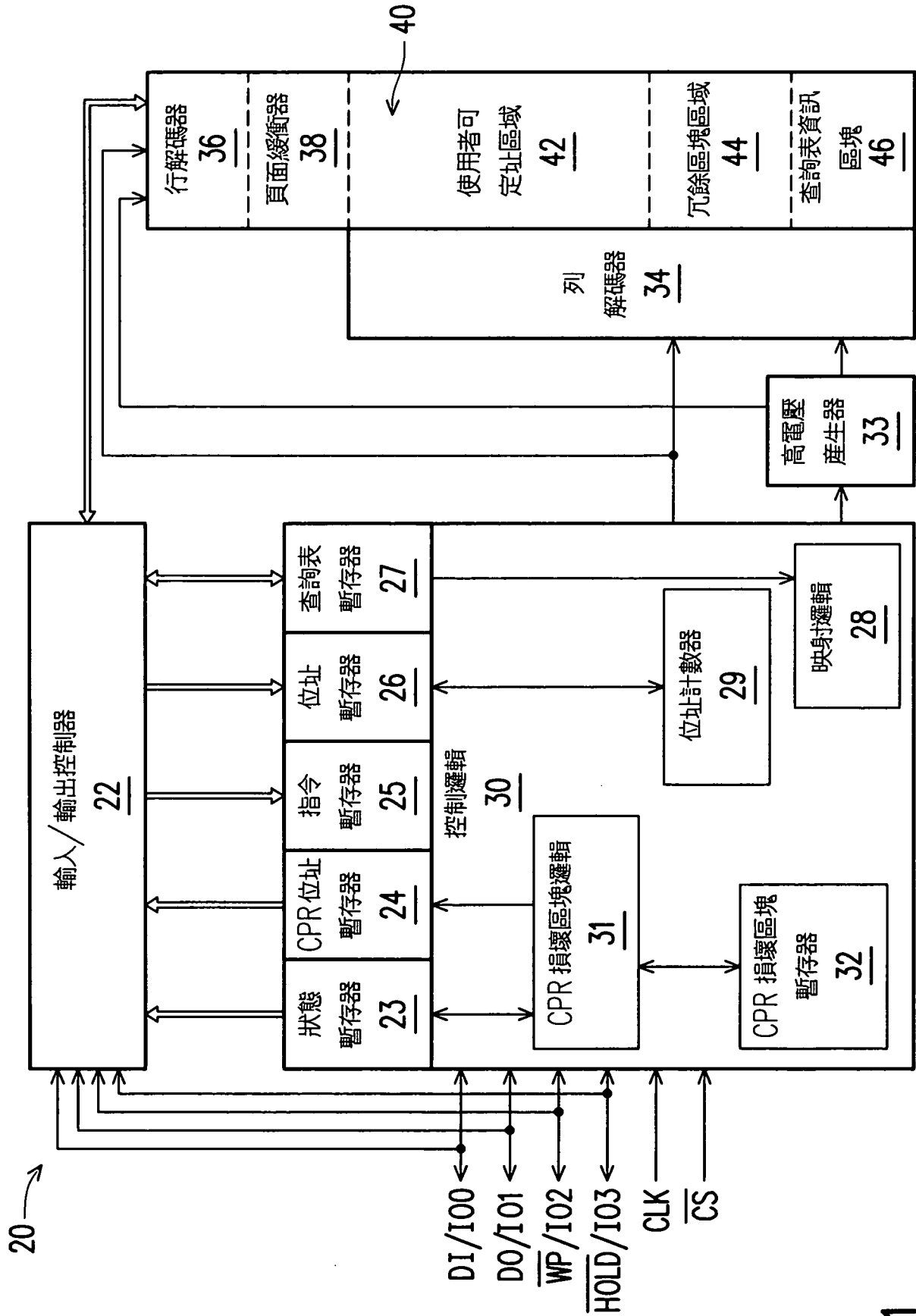


圖1

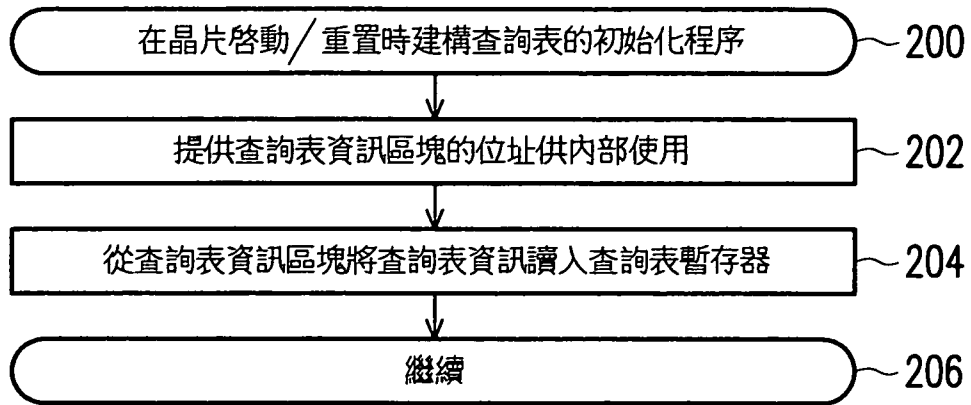


圖 3

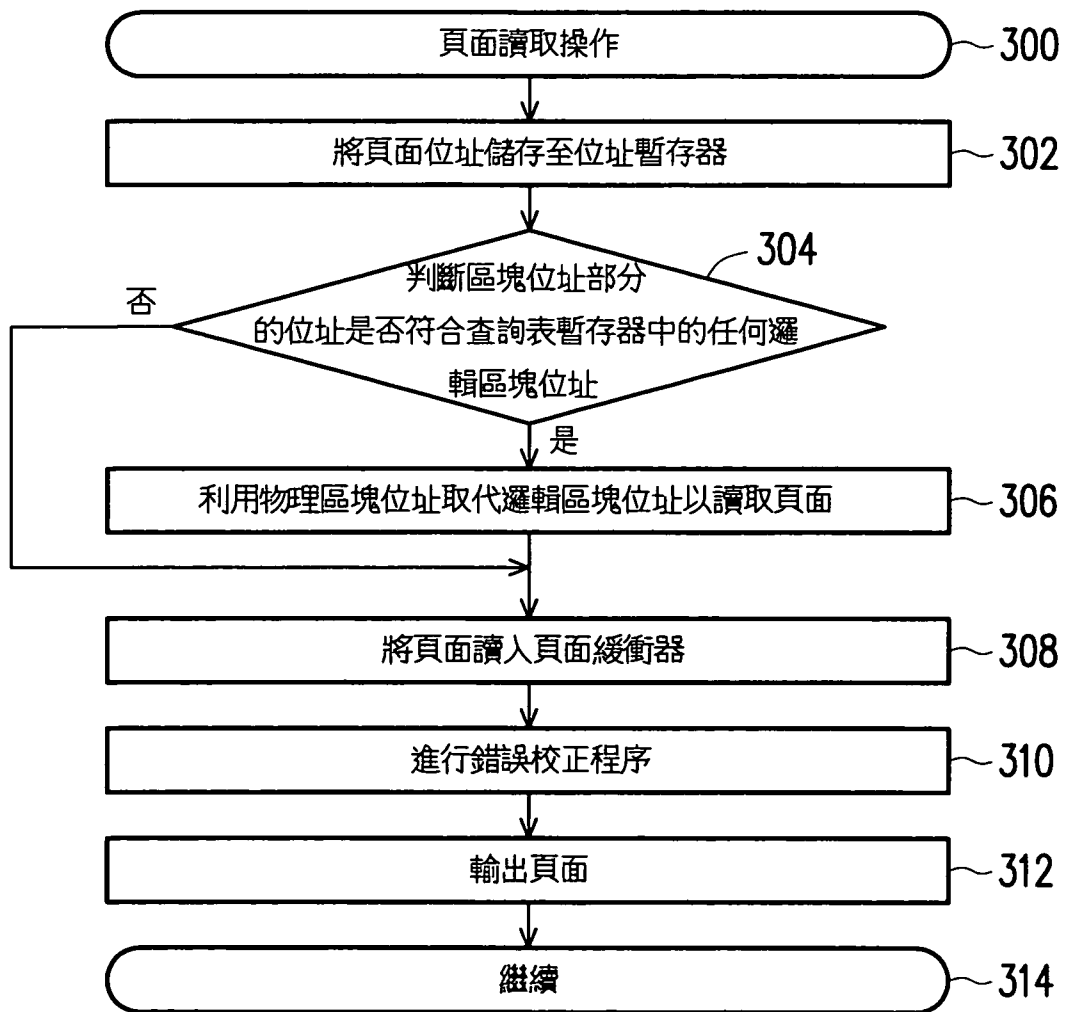


圖 4

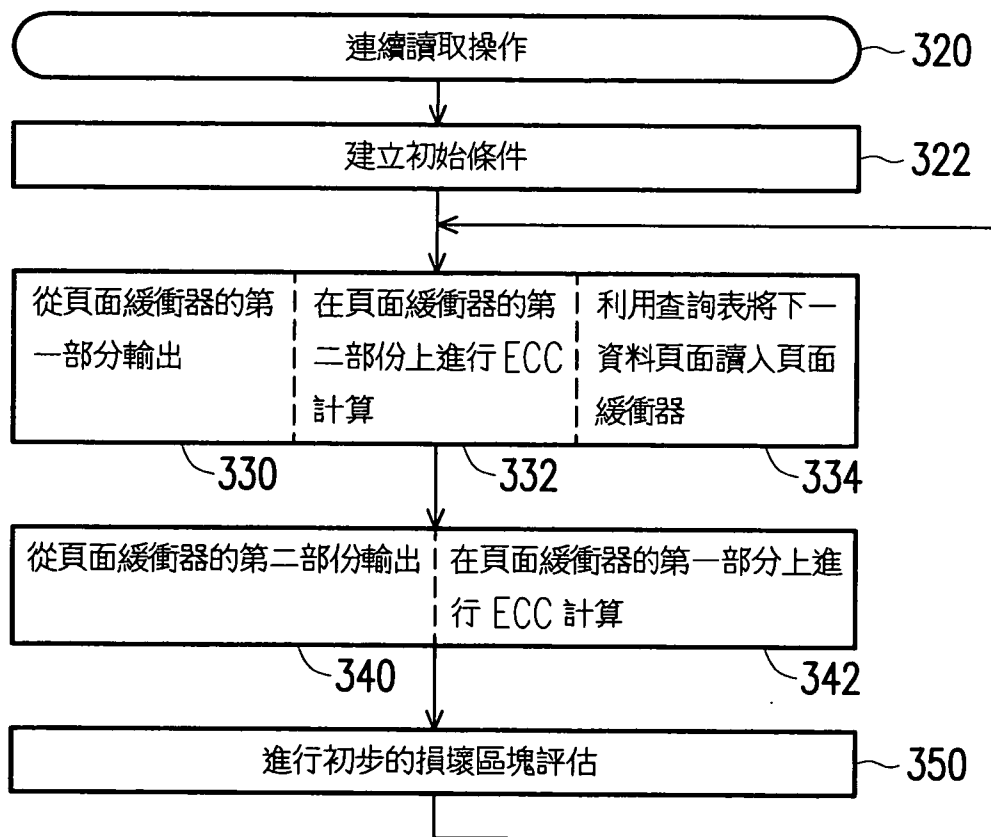


圖 5

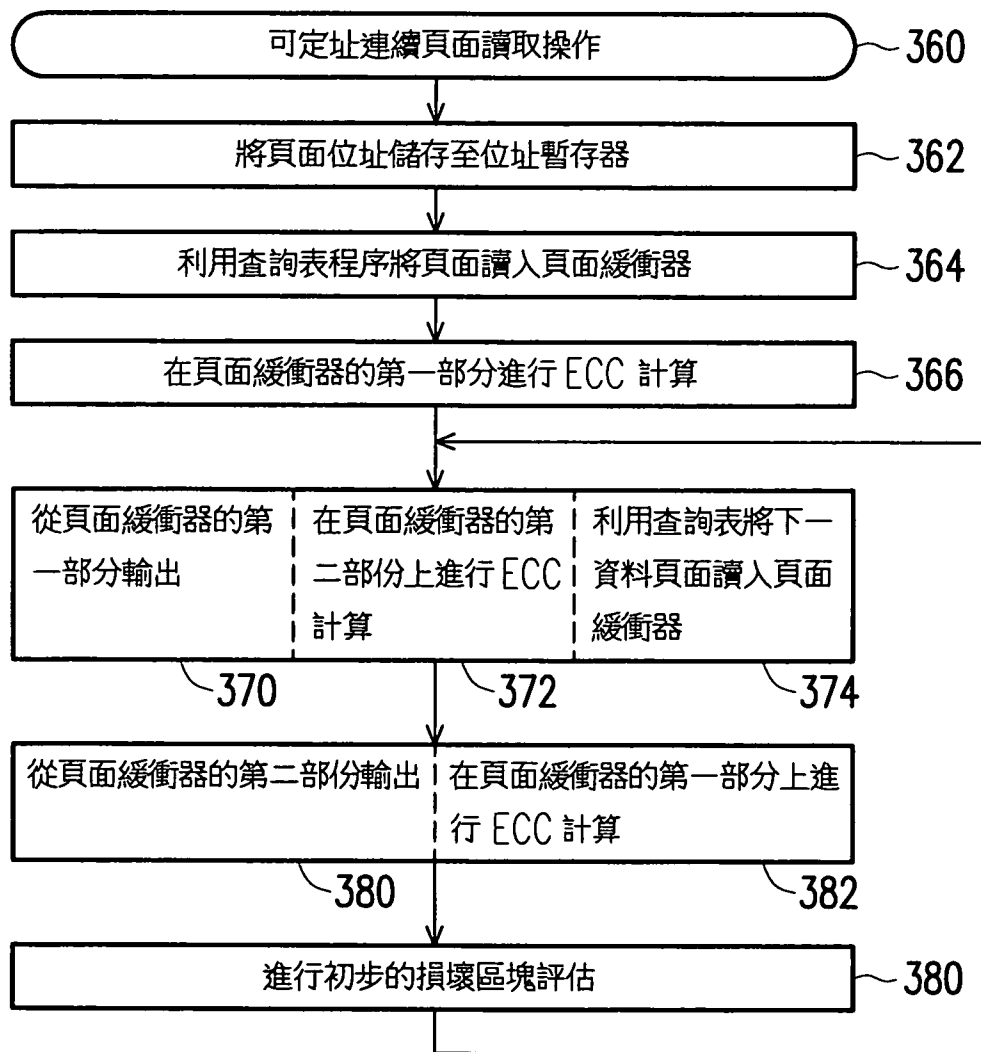


圖 6

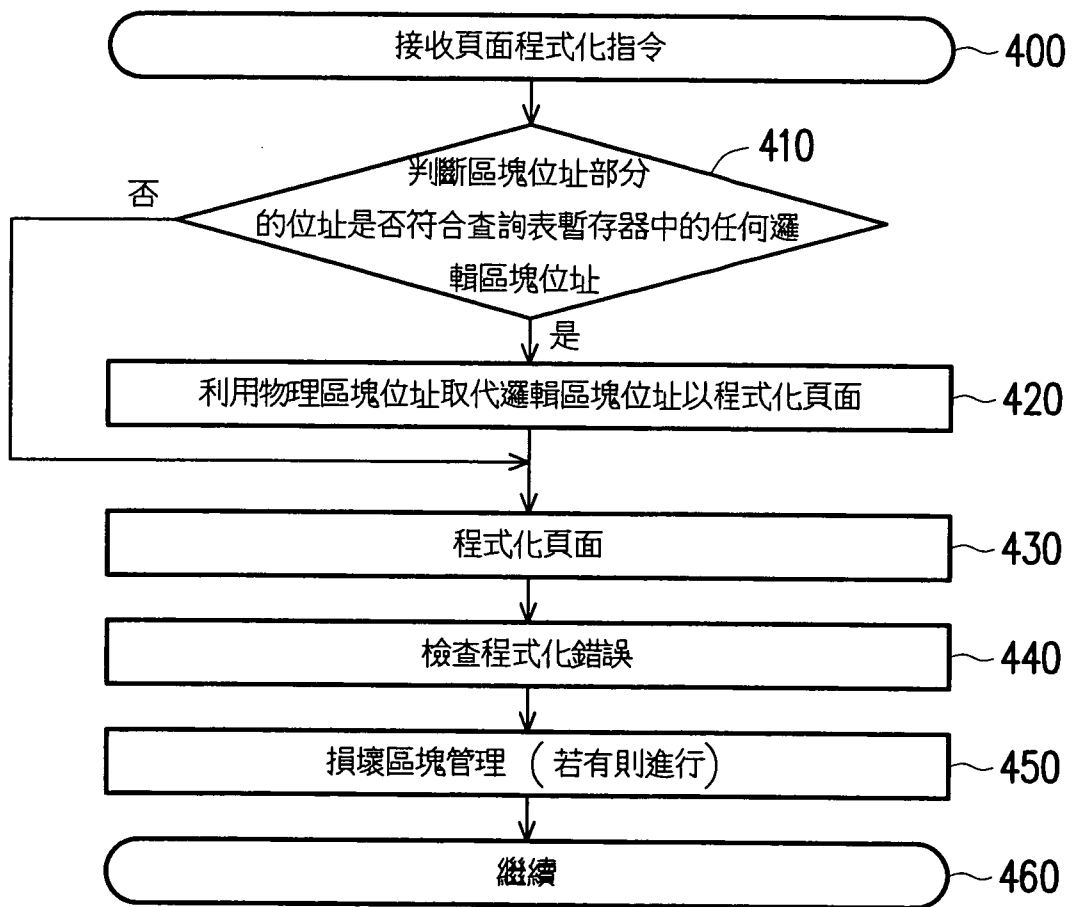


圖 7

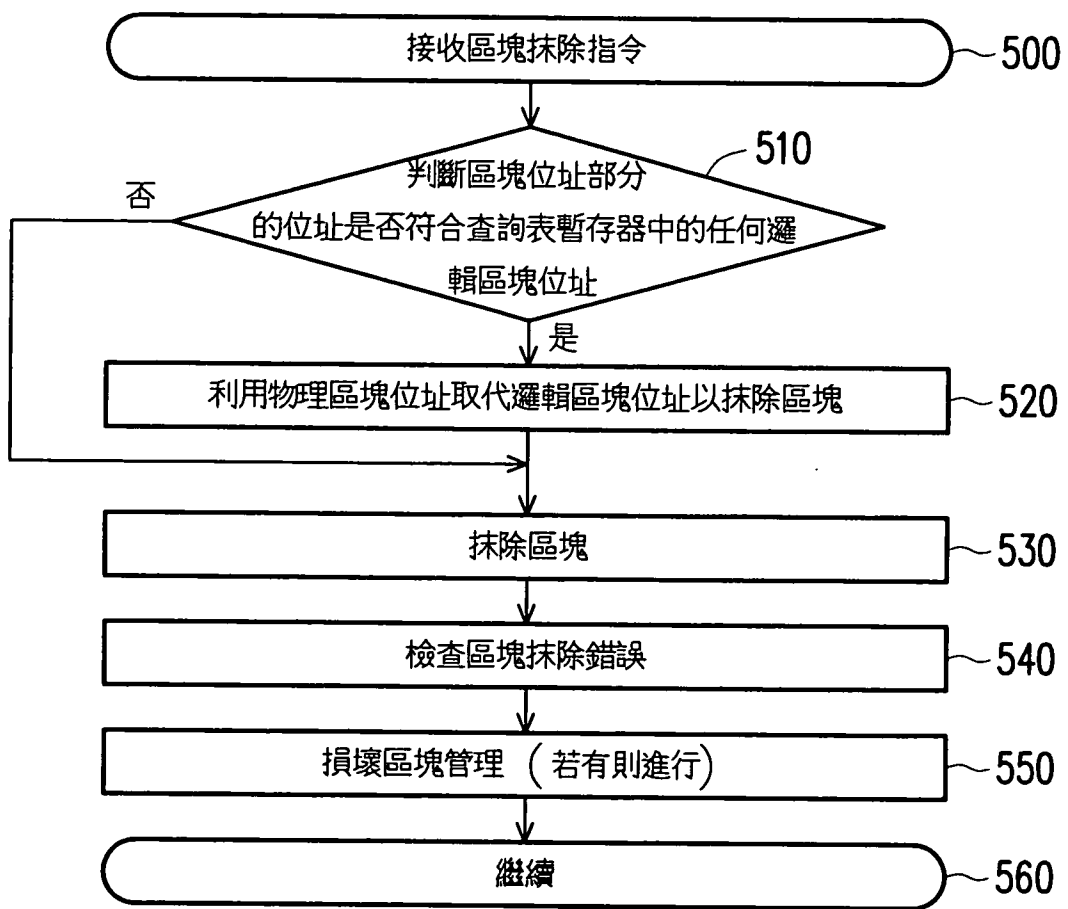


圖 8

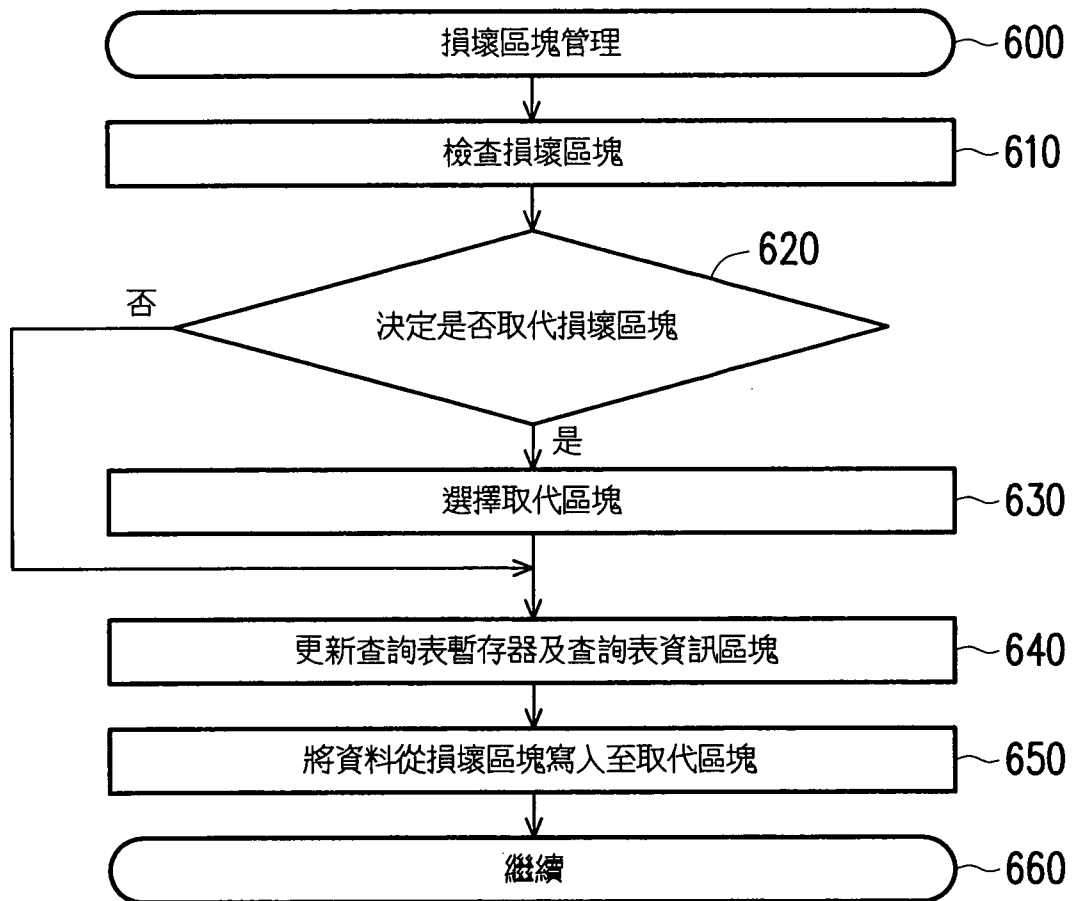


圖 9

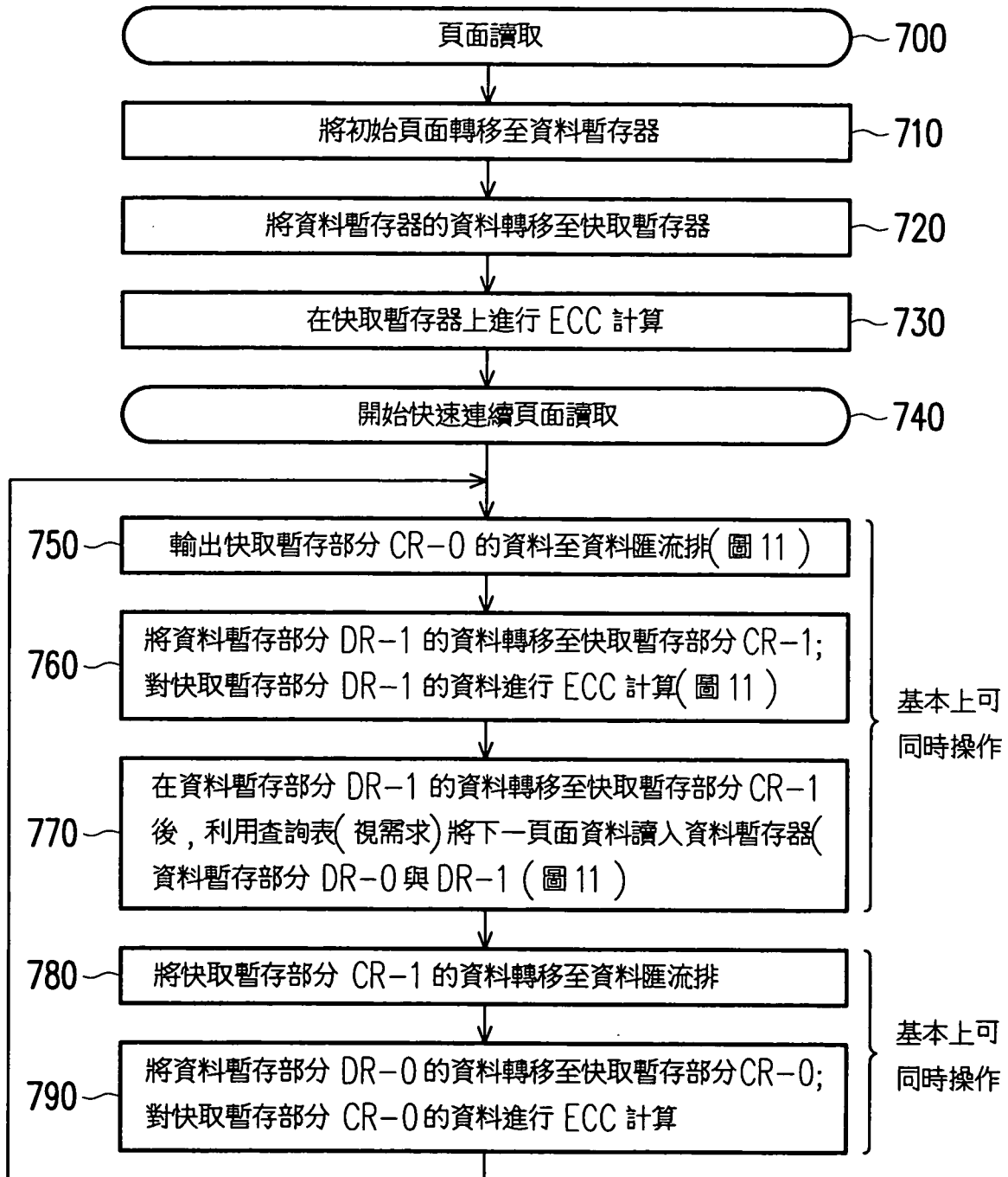


圖 10

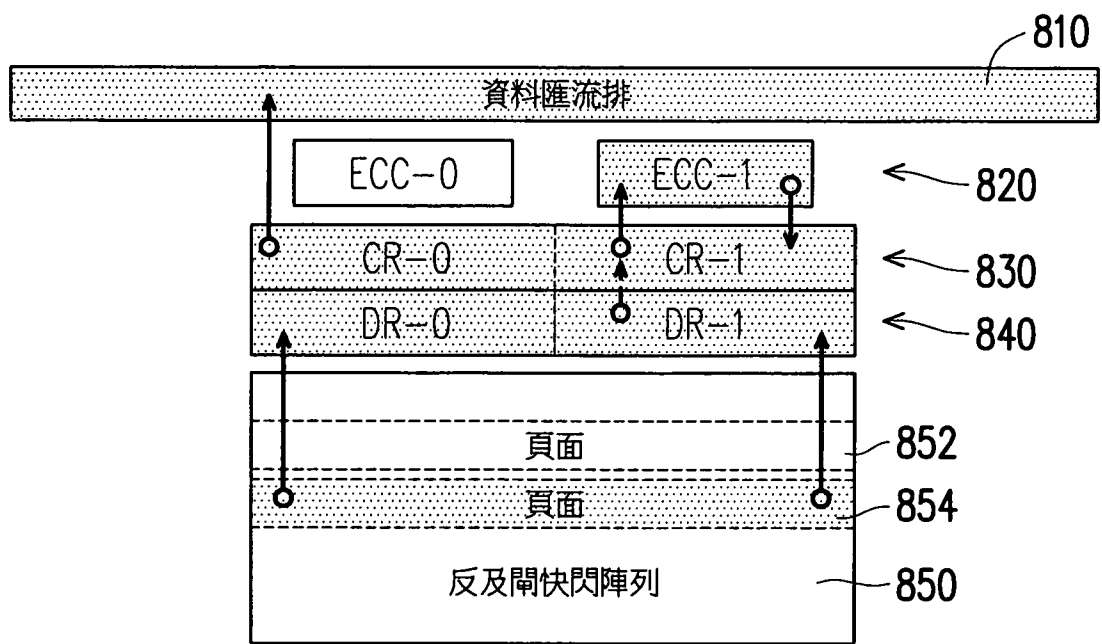


圖 11

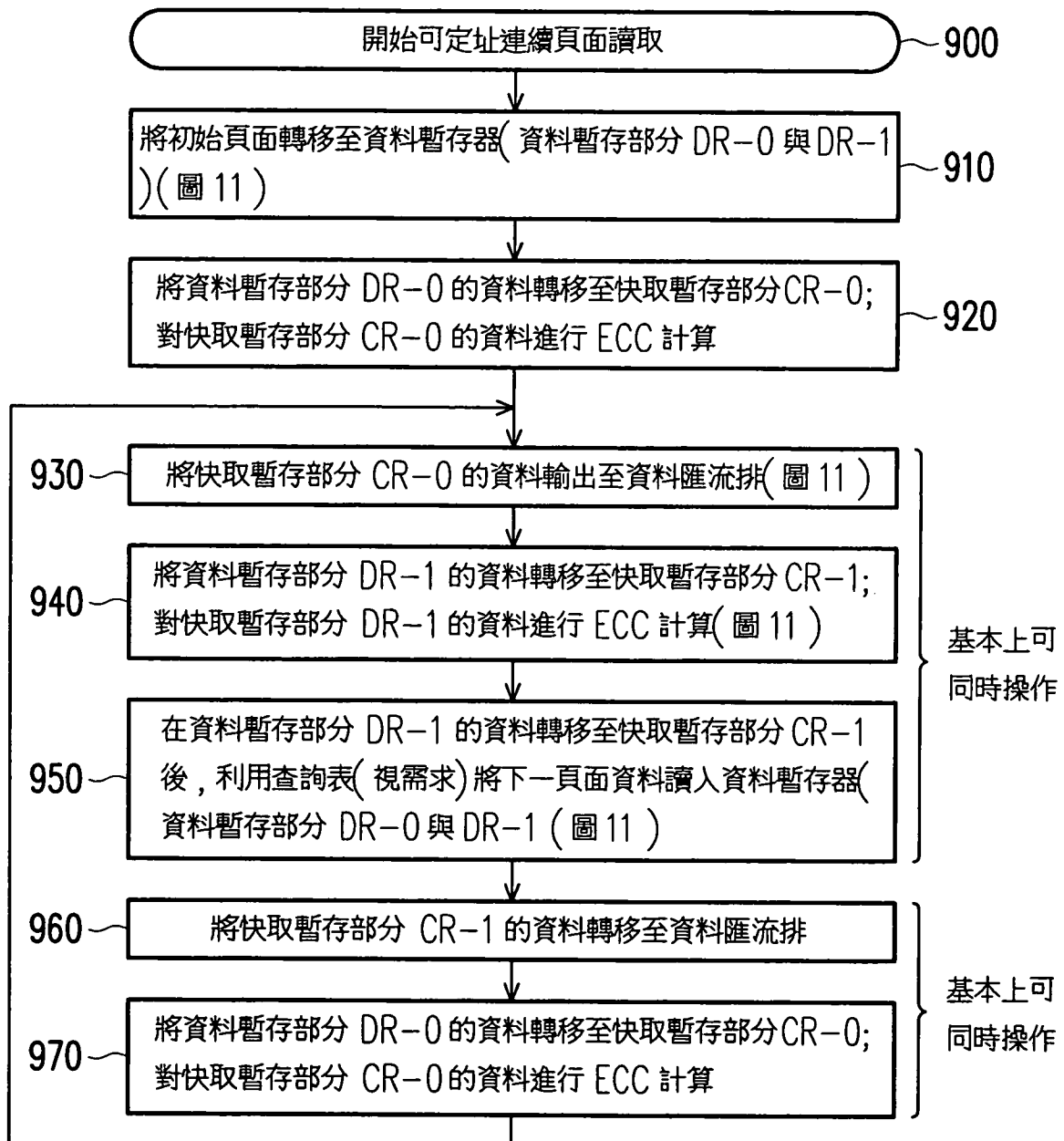


圖 12