



(12) 发明专利申请

(10) 申请公布号 CN 115086192 A

(43) 申请公布日 2022. 09. 20

(21) 申请号 202210503085.X

(22) 申请日 2022.05.09

(71) 申请人 北京旋极信息技术股份有限公司
地址 100094 北京市海淀区丰秀中路3号院
12号楼

申请人 上海旋极信息技术有限公司

(72) 发明人 杨伟朋

(74) 专利代理机构 北京安信方达知识产权代理
有限公司 11262

专利代理师 吴晓霞 栗若木

(51) Int. Cl.

H04L 43/08 (2022.01)

G06F 13/28 (2006.01)

G06F 13/42 (2006.01)

G06F 11/30 (2006.01)

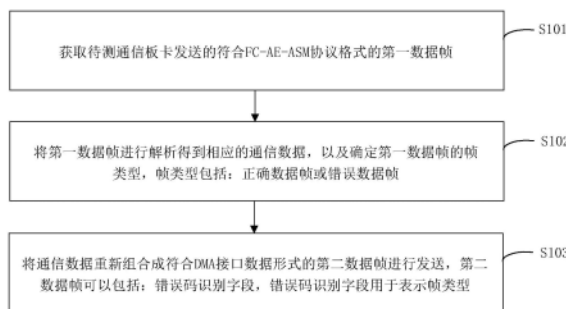
权利要求书2页 说明书9页 附图2页

(54) 发明名称

一种数据处理方法、装置、系统及监控卡

(57) 摘要

本发明实施例公开了一种数据处理方法、装置、系统及监控卡,该方法包括:获取待测通信板卡发送的符合FC-AE-ASM协议格式的第一数据帧;将第一数据帧进行解析得到相应的通信数据,以及确定第一数据帧的帧类型,帧类型包括:正确数据帧或错误数据帧;将通信数据重新组合成符合DMA接口数据形式的第二数据帧进行发送,第二数据帧包括:错误码识别字段,错误码识别字段用于表示帧类型。本发明实施例公开的数据处理方法、装置、系统及监控卡,可实现对FC-AE-ASM通信板卡的数据监控功能,将错误信息上传给上位机供用户分析,可让用户充分了解待测通信板卡的通信情况。



1. 一种数据处理方法,其特征在于,包括:

获取待测通信板卡发送的符合FC-AE-ASM协议格式的第一数据帧;

将所述第一数据帧进行解析得到相应的通信数据,以及确定所述第一数据帧的帧类型,所述帧类型包括:正确数据帧或错误数据帧;

将所述通信数据重新组合成符合DMA接口数据形式的第二数据帧进行发送,所述第二数据帧包括:错误码识别字段,所述错误码识别字段用于表示所述帧类型。

2. 根据权利要求1所述的方法,其特征在于,所述错误数据帧包括: CRC错误帧、超短数据帧或超长数据帧;

所述超短数据帧是指所述第一数据帧中的数据字段的长度小于第一预设长度,所述超长数据帧是指所述第一数据帧中的数据字段的长度大于第二预设长度,所述第二预设长度大于所述第一预设长度。

3. 根据权利要求2所述的方法,其特征在于,所述错误码识别字段采用四字节表示,0x00000000表示正确数据帧,0x00000001表示CRC错误帧,0x00000002表示超短数据帧,0x00000003表示超长数据帧。

4. 根据权利要求1或2所述的方法,其特征在于,所述第二数据帧还包括:预设的广义帧头字段,所述广义帧头字段包括:用于存储接收所述第一数据帧的时间戳的字段。

5. 根据权利要求4所述的方法,其特征在于,所述第二数据帧还包括:帧头字段,所述帧头字段包括:所述DMA接口的物理位置字段和数据长度字段。

6. 根据权利要求1所述的方法,其特征在于,所述将所述第一数据帧进行解析得到相应的通信数据之后,所述方法还包括:

采用预设的收发交替规则访问外部的DDR内存,在预设的收发交替规则指示发送访问时,将所述通信数据写入到DDR内存中的接收区域,所述DDR内存划分为两个区域:接收区域和发送区域。

7. 一种数据处理装置,其特征在于,包括:高速串行收发器、FC协议处理模块、分析模块和重组模块;

所述高速串行收发器,用于获取待测通信板卡发送的符合FC-AE-ASM协议格式的第一数据帧;

所述FC协议处理模块,用于将所述第一数据帧进行解析得到相应的通信数据;

所述分析模块,用于确定所述第一数据帧的帧类型,所述帧类型包括:正确数据帧或错误数据帧;

所述重组模块,用于将所述通信数据重新组合成符合DMA接口数据形式的第二数据帧进行发送,所述第二数据帧包括:错误码识别字段,所述错误码识别字段用于表示所述帧类型。

8. 根据权利要求7所述的装置,其特征在于,所述装置还包括:缓存仲裁模块,用于采用预设的收发交替规则访问外部的DDR内存,在预设的收发交替规则指示发送访问时,将所述通信数据写入到DDR内存中的接收区域,所述DDR内存划分为两个区域:接收区域和发送区域。

9. 一种监控卡,其特征在于,包括存储器和处理器,存储器用于存储执行指令;处理器调用所述执行指令,用于执行如权利要求1-6任一项所述的数据处理方法。

10. 一种数据处理系统,其特征在于,包括:待测通信板卡、上位机和如权利要求9所述的监控卡,所述监控卡通过PCI-E总线与所述上位机连接,所述待测通信板卡采用FC-AE-ASM协议与所述监控卡通信;

所述待测通信板卡,用于向所述监控卡发送符合所述FC-AE-ASM协议格式的第一数据帧;

所述上位机,用于通过所述PCI-E总线接收所述监控卡发送的第二数据帧。

一种数据处理方法、装置、系统及监控卡

技术领域

[0001] 本发明涉及但不仅限于通信领域,尤指一种数据处理方法、装置、系统及监控卡。

背景技术

[0002] 航空电子已从模拟化系统迅速发展为数字化系统,航空电子环境下的光纤通道协议(FC-AE)包括FC-AE-ASM、FC-AE-1553和FC-AE-RDMA等多种FC上层协议,这些协议适应统一网络的广泛性要求,可以满足航空电子发展的需要。

[0003] 航空电子环境下光纤通道的匿名消息传输协议(FC-AE-ASM)以低延迟、高数据通信效率和实时通信能力强等优点已被应用于新一代航电系统,然而,如何实现对FC-AE-ASM通信板卡的数据监控功能,已成为一个亟待解决的问题。

发明内容

[0004] 本申请实施例提供了一种数据处理方法,包括:

[0005] 获取待测通信板卡发送的符合FC-AE-ASM协议格式的第一数据帧;

[0006] 将所述第一数据帧进行解析得到相应的通信数据,以及确定所述第一数据帧的帧类型,所述帧类型包括:正确数据帧或错误数据帧;

[0007] 将所述通信数据重新组合成符合DMA接口数据形式的第二数据帧进行发送,所述第二数据帧包括:错误码识别字段,所述错误码识别字段用于表示所述帧类型。

[0008] 本申请实施例还提供了一种数据处理装置,包括:高速串行收发器、FC协议处理模块、分析模块和重组模块;

[0009] 所述高速串行收发器,用于获取待测通信板卡发送的符合FC-AE-ASM协议格式的第一数据帧;

[0010] 所述FC协议处理模块,用于将所述第一数据帧进行解析得到相应的通信数据;

[0011] 所述分析模块,用于确定所述第一数据帧的帧类型,所述帧类型包括:正确数据帧或错误数据帧;

[0012] 所述重组模块,用于将所述通信数据重新组合成符合DMA接口数据形式的第二数据帧进行发送,所述第二数据帧包括:错误码识别字段,所述错误码识别字段用于表示所述帧类型。

[0013] 本申请实施例还提供了一种监控卡,包括存储器和处理器,存储器用于存储执行指令;处理器调用所述执行指令,用于执行任一实施例所述的数据处理方法。

[0014] 本申请实施例还提供了一种数据处理系统,包括:待测通信板卡、上位机和任一实施例所述的监控卡,所述监控卡通过PCI-E总线与所述上位机连接,所述待测通信板卡采用FC-AE-ASM协议与所述监控卡通信;

[0015] 所述待测通信板卡,用于向所述监控卡发送符合所述FC-AE-ASM协议格式的第一数据帧;

[0016] 所述上位机,用于通过所述PCI-E总线接收所述监控卡发送的第二数据帧。

[0017] 本申请至少一个实施例提供的数据处理方法、装置、系统及监控卡,与现有技术相比,具有以下有益效果:可以将FC-AE-ASM通信板卡的全部的数据帧进行接收以及转发,并在转发时保留错误帧,可实现对FC-AE-ASM通信板卡的数据接收,以及可实现对FC-AE-ASM通信板卡的数据监控功能。将错误信息上传给上位机供用户分析,可让用户充分了解待测通信板卡的通信情况,即使在发生数据出现错误的情况下也能清楚发送的数据的真实情况。

[0018] 本申请的其它特征和优点将在随后的说明书中阐述,并且,部分地从说明书中变得显而易见,或者通过实施本申请而了解。本申请的其他优点可通过在说明书以及附图中所描述的方案来实现和获得。

附图说明

[0019] 附图用来提供对本申请技术方案的理解,并且构成说明书的一部分,与本申请的实施例一起用于解释本申请的技术方案,并不构成对本申请技术方案的限制。

[0020] 图1为本发明实施例提供的数据处理方法的流程图;

[0021] 图2为本发明一示例实施例提供的数据处理装置的结构框图;

[0022] 图3为本发明另一示例实施例提供的数据处理装置的结构框图;

[0023] 图4为本发明一示例实施例提供的监控卡的结构框图;

[0024] 图5为本发明一示例实施例提供的数据处理系统的结构框图。

具体实施方式

[0025] 本申请描述了多个实施例,但是该描述是示例性的,而不是限制性的,并且对于本领域的普通技术人员来说显而易见的是,在本申请所描述的实施例包含的范围内可以有更多的实施例和实现方案。尽管在附图中示出了许多可能的特征组合,并在具体实施方式中进行了讨论,但是所公开的特征的许多其它组合方式也是可能的。除非特意加以限制的情况以外,任何实施例的任何特征或元件可以与任何其它实施例中的任何其他特征或元件结合使用,或可以替代任何其它实施例中的任何其他特征或元件。

[0026] 本申请包括并设想了与本领域普通技术人员已知的特征和元件的组合。本申请已经公开的实施例、特征和元件也可以与任何常规特征或元件组合,以形成由权利要求限定的独特的发明方案。任何实施例的任何特征或元件也可以与来自其它发明方案的特征或元件组合,以形成另一个由权利要求限定的独特的发明方案。因此,应当理解,在本申请中示出和/或讨论的任何特征可以单独地或以任何适当的组合来实现。因此,除了根据所附权利要求及其等同替换所做的限制以外,实施例不受其它限制。此外,可以在所附权利要求的保护范围内进行各种修改和改变。

[0027] 此外,在描述具有代表性的实施例时,说明书可能已经将方法和/或过程呈现为特定的步骤序列。然而,在该方法或过程不依赖于本文所述步骤的特定顺序的程度上,该方法或过程不应限于所述的特定顺序的步骤。如本领域普通技术人员将理解的,其它的步骤顺序也是可能的。因此,说明书中阐述的步骤的特定顺序不应被解释为对权利要求的限制。此外,针对该方法和/或过程的权利要求不应限于按照所写顺序执行它们的步骤,本领域技术人员可以容易地理解,这些顺序可以变化,并且仍然保持在本申请实施例的精神和范围内。

[0028] 图1为本发明实施例提供的数据处理方法的流程图,如图1所示,数据处理方法可以包括:S101、S102和S103。

[0029] S101:获取待测通信板卡发送的符合FC-AE-ASM协议格式的第一数据帧。

[0030] 本实施例的执行主体可以是下述任一实施例所示的数据处理装置或监控卡,监控卡可以采用FPGA芯片,实现对FC-AE-ASM节点待测通信板卡的数据接收以及数据监控,并将监控数据通过PCI-E接口传送给上位机。

[0031] 可以接收待测通信板卡通过FC-AE-ASM协议传输的第一数据帧,其中,符合FC-AE-ASM协议格式的第一数据帧可以称为FC-AE-ASM协议帧,或称为FC-AE-ASM帧。

[0032] S102:将第一数据帧进行解析得到相应的通信数据,以及确定第一数据帧的帧类型,帧类型包括:正确数据帧或错误数据帧。

[0033] 将接收到的符合FC-AE-ASM协议格式的第一数据帧进行解析得到待测通信板卡的通信数据,以及可根据第一数据帧中相关字段的内容确定第一数据帧的帧类型。待测通信板卡的通信数据可用于表示待测通信板卡的通信情况,上位机等可根据待测通信板卡的通信数据确定待测通信板卡通信正常或通信故障。

[0034] 表1为第一数据帧的帧结构,如表1所示,第一数据帧可以包括:数据(Data Field)字段和循环冗余校验码(Cyclic Redundancy Check,简称CRC)字段。在一示例中,可根据第一数据帧中的数据字段的长度和/或CRC字段确定第一数据帧的类型是正确数据帧或错误数据帧。

[0035] 表1

FC-AE-ASM 帧											
[0036]	4 字 节	24 字 节	4 字 节	4 字 节	4 字 节	4 字 节		最大 2096 字 节	4 字 节	4 字 节	
	SO Fi	Frame Header	Message ID	Reserved -Security	Reserved	L	Priority	Payload length	Data Field	CRC	EO Fn

[0037] SOFi为帧起始界定符,用于标识一个帧是否为一个帧序列的第一帧。

[0038] Data Field为数据字段,用于填充数据,填充的数据为待测通信板卡的通信数据。

[0039] CRC为循环冗余校验码,是一个32位的数据,用于通过CRC检测确认接收的数据是否正确。CRC的检测原理与现有方案相同,本实施例在此不进行赘述。

[0040] EOFn为帧结束界定符,用于标识一个帧是否为一个帧序列的最后一帧。

[0041] Frame Header为帧头,Message ID为消息标识符,Reserved-Security为预留安全字段,Reserved为预留字段,Priority为优先级字段,Payload length为数据的长度。在填充的数据包括数据头、中间数据和数据尾时,数据的长度指的是中间数据的长度。

[0042] L可以为0或1,在数据的长度字段等于0x00000000,即Payload length的值为0字节时,如果L=0则表示填充的数据的最大长度为16777216字节,此时24位的进位已满,需进一位用25位表示,Payload length的值变为16777216字节。如果L=1则表示填充的数据长度为0字节,即Payload length的值为0字节。如果Payload length的值为0,则L有意义;如

果Payload length的值不为0,则L没有意义。

[0043] 在一示例中,错误数据帧可以包括:CRC错误帧、超短数据帧或超长数据帧;超短数据帧是指第一数据帧中的数据字段的长度小于第一预设长度,超长数据帧是指第一数据帧中的数据字段的长度大于第二预设长度,第二预设长度大于第一预设长度。

[0044] 本实施例中,可根据第一数据帧中的数据字段的长度和/或CRC字段确定第一数据帧的类型是正确数据帧或错误数据帧,以及确定错误数据帧是CRC错误帧、超短数据帧或超长数据帧。可实现对FC-AE-ASM通信板卡的监控功能,可接收FC-AE-ASM通信板卡的全部数据帧,保留错误数据帧,以及将错误数据帧分为错误数据帧、超短数据帧或超长数据帧后,将接收的正确数据帧、CRC错误帧、超短数据帧或超长数据帧进行标识后上传给上位机供用户分析,可让用户充分了解待测通信板卡的通信情况。

[0045] 在CRC校验正确,数据字段的长度大于或等于第一预设长度且小于或等于第二预设长度时,可确定第一数据帧为正确数据帧。

[0046] 表2为错误数据帧的帧结构,如表2所示,可根据第一数据帧中的CRC字段确定第一数据帧的类型是否是错误帧。在CRC校验错误时,可确定第一数据帧为错误数据帧。

[0047] 表2

FC-AE-ASM 帧										
4 字 节	24 字 节	4 字 节	4 字 节	4 字 节	4 字 节			最大 2096 字 节	4 字 节	4 字 节
SO Fi	Frame Header	Message ID	Reserved -Security	Reserved	L	Priority	Payload length	Data Field	CRC 错误	EO Fn

[0049] 表3为超短数据帧的帧结构,如表3所示,可根据第一数据帧中的数据字段的长度确定第一数据帧的类型是否是超短数据帧。在数据字段的长度小于第一预设长度时,可确定第一数据帧为超短数据帧。或者,在数据字段、优先级字段、数据的长度字段和L字段的长度之和小于第一预设长度时,可确定第一数据帧为超短数据帧。第一预设长度可以但并不仅限于为4字节。

[0050] 表3

FC-AE-ASM 帧										
4 字 节	24 字 节	4 字 节	4 字 节	4 字 节	小于 4 字节			4 字 节	4 字 节	
SO Fi	Frame Header	Message ID	Reserved -Security	Reserved	L	Priority	Payload length	Data Field	CRC	EO Fn

[0052] 表4为超长数据帧的帧结构,如表4所示,可根据第一数据帧中的数据字段的长度确定第一数据帧的类型是否是超长数据帧。在数据字段的长度大于第二预设长度时,可确

定第一数据帧为超长数据帧。第二预设长度可以但并不仅限于为2096字节。

[0053] 表4

FC-AE-ASM 帧											
[0054]	4 字节	24 字节	4 字节	4 字节	4 字节	4 字节			大于 2096 字节	4 字节	4 字节
	SO Fi	Frame Header	Message ID	Reserved -Security	Reserved	L	Priority	Payload length	Data Field	CRC	EO Fn

[0055] S103:将通信数据重新组合成符合直接存储器访问 (Direct Memory Access, 简称 DMA) 接口数据形式的第二数据帧进行发送, 第二数据帧可以包括: 错误码识别字段, 错误码识别字段用于表示帧类型。

[0056] 常规接收FC-AE-ASM通信板卡的数据方案中会过滤错误帧, 只接收正确的数据帧, 只能实现FC-AE-ASM数据的接收, 无法对待测通信板卡实现数据帧的监控功能。

[0057] 本实施例中, 可以将FC-AE-ASM通信板卡的全部的数据帧进行接收以及转发, 并在转发时保留错误帧, 比如可将接收的全部的数据帧发送给上位机, 可实现对FC-AE-ASM通信板卡的数据接收, 以及可实现对FC-AE-ASM通信板卡的数据监控功能。将错误信息上传给上位机供用户分析, 可让用户充分了解待测通信板卡, 即使在发生数据出现错误的情况下也能清楚发送的数据的真实情况。

[0058] 可将接收的数据通过DMA接口上传给上位机, 在DMA上传的数据流中添加了错误码识别字段, 用于鉴别接收的帧类别, 可通过错误码标识字段对接收的正确数据帧或错误数据帧 (比如CRC错误帧、超短数据帧或超长数据帧) 进行标识, 将标识后的正确数据帧或错误数据帧上传给上位机供用户分析, 方便用于分析定位待测通信板卡的通信情况。

[0059] 在一示例中, 错误码识别字段可以采用四字节表示, 0x00000000表示正确数据帧, 0x00000001表示CRC错误帧, 0x00000002表示超短数据帧, 0x00000003表示超长数据帧。

[0060] 可将符合DMA接口数据形式的第二数据帧称为DMA数据帧, 或称为DMA帧。

[0061] 表5为第二数据帧的帧结构, 如表5所示, 第二数据帧的帧结构可以包括错误码识别字段、第一数据帧的帧头字段、第一数据帧数据字段中填充的数据字段, 及第一数据帧的帧尾和CRC字段。错误码识别字段用于表示接收的数据帧的类别, 可通过错误码标识字段对接收的正确数据帧或错误数据帧 (比如CRC错误帧、超短数据帧或超长数据帧) 进行标识。

[0062] 第一数据帧的帧头字段、第一数据帧数据字段中填充的数据字段, 及第一数据帧的帧尾和CRC字段三个部分用于表示接收的通信板卡的通信数据。

[0063] 表5

DMA 帧					
8 字节	24 字节	4 字节	44 字节	最大 2096 字节	8 字节
[0064] DMA 帧头	广义帧头	错误码	第一数据帧的帧头	第一数据帧数据字段中填充的数据	第一数据帧的帧尾和 CRC

[0065] 在一示例中,第二数据帧还可以包括:预设的广义帧头字段,广义帧头字段可以包括:用于存储接收第一数据帧的时间戳的字段。广义帧头字段为预定义的帧头,可以包括接收第一数据帧的时间戳的字段,用于记录接收帧的时间戳,通过添加接收帧的时间戳,方便用于分析定位待测通信板卡的状态。

[0066] 在一示例中,预设的广义帧头字段还可以包括数据长度字段和标识信息,数据长度字段用于表示第一数据帧数据字段中填充的数据的长度,标识信息用于表示上传给上位机的一些标识信息,比如可以但并不仅限于为消息标识信息。

[0067] 在一示例中,第二数据帧还可以包括:DMA帧头字段,DMA帧头字段可以包括:DMA接口的物理位置字段和数据长度字段,数据长度字段用于表示第一数据帧数据字段中填充的数据的长度。

[0068] 本发明实施例提供的数据处理方法,可以将FC-AE-ASM通信板卡的全部的数据帧进行接收以及转发,并在转发时保留错误帧,可实现对FC-AE-ASM通信板卡的数据接收,以及可实现对FC-AE-ASM通信板卡的数据监控功能。将错误信息上传给上位机供用户分析,可让用户充分了解待测通信板卡,即使在发生数据出现错误的情况下也能清楚发送的数据的真实情况。

[0069] 在本发明一示例实施例中,将第一数据帧进行解析得到相应的通信数据之后,还可以包括:

[0070] 采用预设的收发交替规则访问外部的DDR内存,在预设的收发交替规则指示发送访问时,将通信数据写入到DDR内存中的接收区域,DDR内存划分为两个区域:接收区域和发送区域。

[0071] 本实施例中,可与外部的DDR内存进行通信,从DDR内存的发送区域中读取数据,或者,向DDR内存的接收区域中写入数据。采用接收和发送交替访问的方式访问DDR内存,可以仅使用一个DDR内存实现数据的发送和接收,避免使用两个DDR内存分别实现发送和接收,一个DDR仅用于数据的发送,一个DDR仅用于数据的接收的问题,可节省成本。以及将DDR的缓存空间划分成接收区域和发送区域两个区域,优化了缓存空间。

[0072] 在一示例中,DDR内存可以包括DDR3内存。

[0073] 图2为本发明一示例实施例提供的数据处理装置的结构框图,图3为本发明另一示例实施例提供的数据处理装置的结构框图,如图2和图3所示,数据处理装置可以包括:高速串行收发器21、FC协议处理模块22、分析模块23和重组模块24。

[0074] 数据处理装置可以为现场可编程门阵列(Field-Programmable Gate Array,简称

FPGA) 芯片。

[0075] 高速串行收发器,用于获取待测通信板卡发送的符合FC-AE-ASM协议格式的第一数据帧。高速串行收发器实现高速数据的收发,将接收的数据进行解码转化,将需要发送的数据进行编码转化。在数据处理装置为FPGA芯片时,可通过FPGA调用吉比特收发器(GTP)实现高速数据的收发。

[0076] FC协议处理模块,用于将第一数据帧进行解析得到相应的通信数据。FC协议处理模块负责协议的组帧发送和接收解析,将发送的数据组成符合FC-AE-ASM协议帧的形式发送,以及可将接收的FC-AE-ASM协议数据按照要求解析获取有效信息。

[0077] 分析模块,用于确定第一数据帧的帧类型,帧类型可以包括:正确数据帧或错误数据帧。分析模块用于对接收的FC-AE-ASM协议帧进行分析判断,以确定第一数据帧是正确数据帧或错误数据帧,以及可确定错误数据帧是CRC错误帧、超短数据帧或超长数据帧。

[0078] 重组模块,用于将通信数据重新组合成符合DMA接口数据形式的第二数据帧进行发送,第二数据帧可以包括:错误码识别字段,错误码识别字段用于表示帧类型。重组模块负责将接收到通信数据重新组合成符合DMA接口数据形式的数据流,以通过DMA接口上传至上位机。

[0079] 本发明实施例提供的数据处理装置用于执行任一方法实施例的技术方案,其实现原理和实现效果类似,此处不再赘述。

[0080] 在本发明一示例实施例中,如图3所示,数据处理装置还可以包括:缓存仲裁模块25,用于采用预设的收发交替规则访问外部的DDR内存,在预设的收发交替规则指示发送访问时,将通信数据写入到DDR内存中的接收区域,DDR内存划分为两个区域:接收区域和发送区域。

[0081] 如图3所示,缓存仲裁模块可以与片外缓存模块26连接,片外缓存模块运用高速DDR3作为片外缓存,以及将DDR3内存的缓存空间划分成两等分:发送区域和接收区域,优化了缓存空间。缓存仲裁模块可采用接收和发送交替访问的方式仲裁访问DDR3内存,可以仅使用一个DDR内存实现数据的发送和接收,避免使用两个DDR内存分别实现发送和接收,一个DDR仅用于数据的发送,一个DDR仅用于数据的接收的问题,可节省成本。

[0082] 在一示例中,分析模块还用于接收数据存储的地址管理和访问DDR3内存的管理。

[0083] 在本发明一示例实施例中,如图3所示,数据处理装置还可以包括:冗余管理模块27,用于管理两个收发端口(或收发通道)的冗余收发,比如串行收发A和串行收发B。本实施例中,可通过两个收发端口与待测的通信板卡进行通信,通过两个收发端口实现串行收发,冗余管理模块可管理两个收发端口,确保至少一个收发端口正常运行,实现与待测通信板卡的数据发送或接收。

[0084] 在本发明一示例实施例中,如图3所示,数据处理装置还可以包括:用户接口模块28和主机接口29。用户接口模块可接收重组模块发送的符合DMA接口数据形式的第二数据帧,并将第二数据帧通过DMA上传给主机接口。主机接口可调用PCI-E核与上位机通信,将第二数据帧上传至上位机。

[0085] 在一示例中,数据处理装置可实现数据或配置信息的发送,接收上位机发送的数据或配置信息并转发给待测通信板卡。上位机可通过高速串行计算机扩展总线标准(peripheral component interconnect express,简称PCI-E或PCIE)接口将待发数据和配

置信息下发给主机接口,主机接口可调用PCI-E核与上位机通信,接收上位机下发的数据和/或配置信息,用户接口模块接收主机接口通过DMA下发的数据,以及接收主机接口通过I/O下发的配置信息。用户接口模块通过I/O接口接收配置信息实时更新配置表,配置表中配置有发送和接收功能的相关信息,比如收发端口的信息,及片外缓存模块的管理信息。

[0086] 在本发明一示例实施例中,数据处理装置可实现数据或配置信息的发送,如图3所示,数据处理装置还可以包括:发送分片管理模块30、发送缓存模块31,及中断管理和接收缓存模块32。

[0087] 发送分片管理模块用于实现数据的发送分片管理,将用户接口模块DMA接收的待发数据进行分片管理及发送,实现待发数据的自动分片。

[0088] 发送缓存模块用于负责待发数据存储的地址管理和读写访问DDR3管理。

[0089] 中断管理和接收缓存模块用于负责访问DDR3管理。以及突发消息的中断上传,突发消息的中断上传是指在接收待测通信板卡发送的数据时,若此时上位机下发有待发数据,则中断接收待测通信板卡发送的数据,中断向上位机上传待测通信板卡发送的数据。

[0090] 在本发明一示例实施例中,如图3所示,数据处理装置还可以包括:链路维护模块33和时钟管理模块34。

[0091] 时钟管理模块用于分配数据处理装置(比如FPGA)中的时钟,负责整个FPGA内部时钟的同步管理。

[0092] 链路维护模块负责FC底层原语的维护,用于同步链路、维护光纤通断以及链路错误的维护等。

[0093] 图4为本发明一示例实施例提供的监控卡的结构框图,如图4所示,监控卡可以包括:存储器41和处理器42。

[0094] 存储器用于存储执行指令,处理器可以是一个中央处理器(Central Processing Unit,简称CPU),或者是特定集成电路(Application Specific Integrated Circuit,简称ASIC),或者完成实施本发明实施例的一个或多个集成电路。当监控卡运行时,处理器与存储器之间通信,处理器调用执行指令,用于执行以下操作:

[0095] 获取待测通信板卡发送的符合FC-AE-ASM协议格式的第一数据帧;

[0096] 将所述第一数据帧进行解析得到相应的通信数据,以及确定所述第一数据帧的帧类型,所述帧类型包括:正确数据帧或错误数据帧;

[0097] 将所述通信数据重新组合成符合DMA接口数据形式的第二数据帧进行发送,所述第二数据帧包括:错误码识别字段,所述错误码识别字段用于表示所述帧类型。

[0098] 在本发明一示例实施例中,处理器还用于:

[0099] 将所述第一数据帧进行解析得到相应的通信数据之后,采用预设的收发交替规则访问外部的DDR内存,在预设的收发交替规则指示发送访问时,将所述通信数据写入到DDR内存中的接收区域,所述DDR内存划分为两个区域:接收区域和发送区域。

[0100] 图5为本发明一示例实施例提供的数据处理系统的结构框图,如图5所示,数据处理系统,可以包括:待测通信板卡51、上位机52和任一实施例所示的监控卡53,监控卡可以通过PCI-E总线与上位机连接,待测通信板卡采用FC-AE-ASM协议与监控卡通信;

[0101] 待测通信板卡,用于向监控卡发送符合FC-AE-ASM协议格式的第一数据帧,或者接收监控卡发送的符合FC-AE-ASM协议格式的待发数据帧;

[0102] 上位机,用于通过PCI-E总线接收监控卡发送的第二数据帧,或者通过PCI-E总线向监控卡发送待发数据或配置信息。

[0103] 本领域普通技术人员可以理解,上文中所公开方法中的全部或某些步骤、系统、装置中的功能模块/单元可以被实施为软件、固件、硬件及其适当的组合。在硬件实施方式中,在以上描述中提及的功能模块/单元之间的划分不一定对应于物理组件的划分;例如,一个物理组件可以具有多个功能,或者一个功能或步骤可以由若干物理组件合作执行。某些组件或所有组件可以被实施为由处理器,如数字信号处理器或微处理器执行的软件,或者被实施为硬件,或者被实施为集成电路,如专用集成电路。这样的软件可以分布在计算机可读介质上,计算机可读介质可以包括计算机存储介质(或非暂时性介质)和通信介质(或暂时性介质)。如本领域普通技术人员公知的,术语计算机存储介质包括在用于存储信息(诸如计算机可读指令、数据结构、程序模块或其他数据)的任何方法或技术中实施的易失性和非易失性、可移除和不可移除介质。计算机存储介质包括但不限于RAM、ROM、EEPROM、闪存或其他存储器技术、CD-ROM、数字多功能盘(DVD)或其他光盘存储、磁盒、磁带、磁盘存储或其他磁存储装置、或者可以用于存储期望的信息并且可以被计算机访问的任何其他的介质。此外,本领域普通技术人员公知的是,通信介质通常包含计算机可读指令、数据结构、程序模块或者诸如载波或其他传输机制之类的调制数据信号中的其他数据,并且可包括任何信息递送介质。

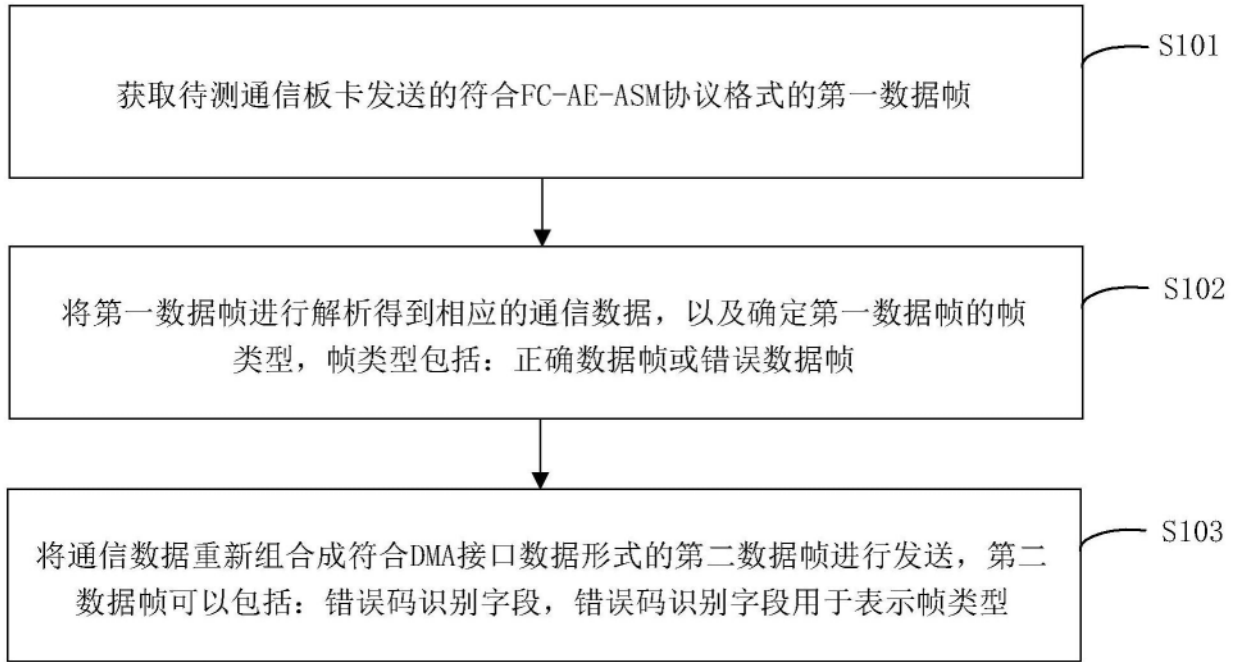


图1

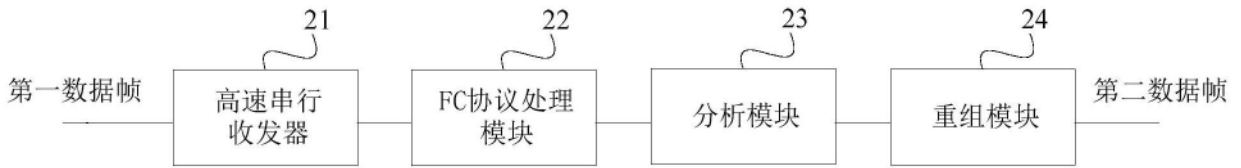


图2

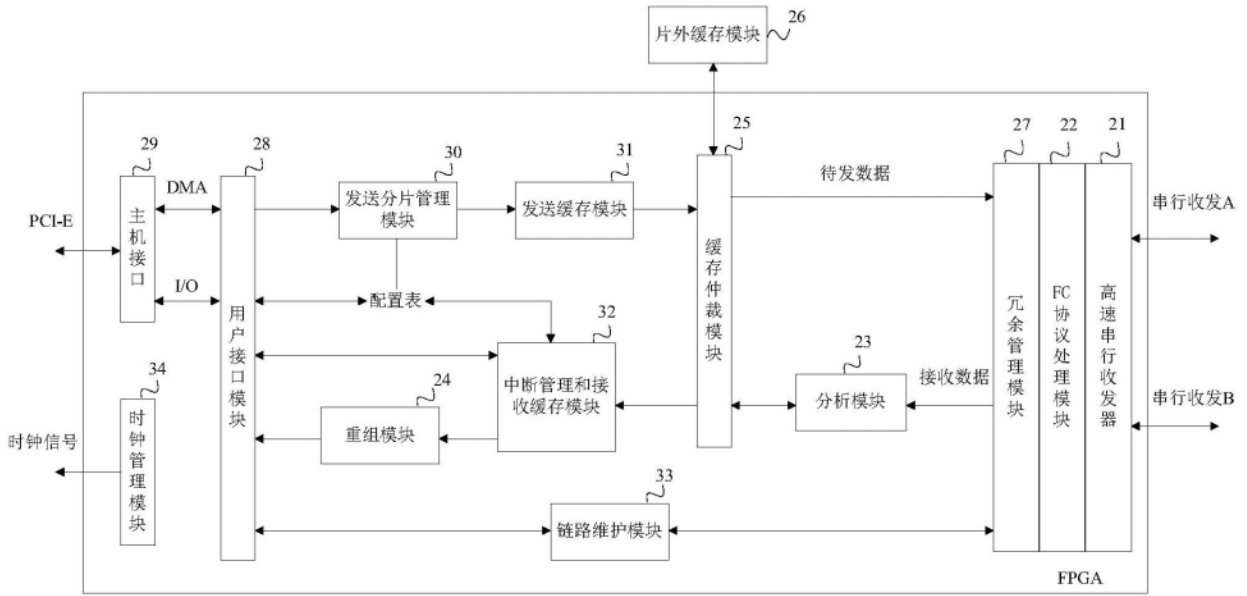


图3

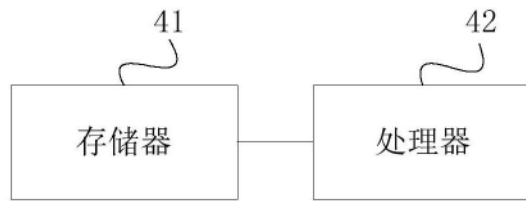


图4



图5