

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G01R 31/317 (2006.01)

G01R 31/3177 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610099292.4

[43] 公开日 2007年1月24日

[11] 公开号 CN 1900731A

[22] 申请日 2006.7.27

[21] 申请号 200610099292.4

[71] 申请人 华为技术有限公司

地址 518129 广东省深圳市龙岗区坂田华为
总部办公楼

[72] 发明人 李路云 马丛山

[74] 专利代理机构 北京同立钧成知识产权代理有限公司

代理人 刘芳

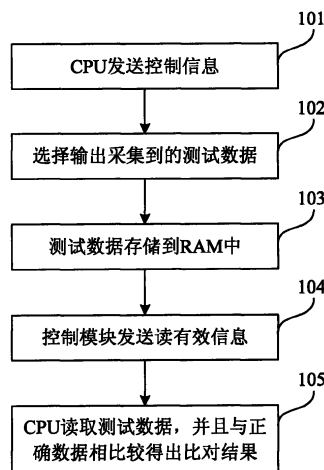
权利要求书 2 页 说明书 5 页 附图 2 页

[54] 发明名称

逻辑模块测试系统和测试方法

[57] 摘要

本发明涉及一种逻辑模块测试系统，包括数据采集器、与所述数据采集器相连接的 CPU 和与 CPU 相连接的数据库。本发明还涉及一种逻辑模块测试方法，包括 CPU 从数据库中调用逻辑模块所要测试数据的控制信息，并通过接口模块发送给数据采集模块；数据采集模块根据该测试数据的控制信息，将从各个逻辑模块中采集到的测试数据选择输出并储存，然后通知 CPU 读取选择出的测试数据；CPU 读取所述选择出的测试数据，并且与从数据库中调用的正确数据进行比较，得到比对结果。因此，本发明将各通道数据进行统一采集，且进行自动比对，因此，其具有很大的灵活性，并且所测的数据量非常大，另外，其测试的效率也非常之高。



1、一种逻辑模块测试系统，其特征在于包括：

一数据采集器，用于采集各个逻辑模块的测试数据；

一CPU，与所述数据采集器相连接，用于发送测试数据的控制信息，采集测试数据和比对从逻辑模块采集的测试数据和正确的数据，并生成对比结果；

一数据库，与所述CPU相连接，用于存储测试数据的控制信息和正确的数据。

2、根据权利要求1所述的逻辑模块测试系统，其特征在于所述数据采集器包括：

一接口模块，与所述CPU相连接；

一数据采集模块，与所述接口模块相连接，用于从逻辑模块采集测试数据。

3、根据权利要求2所述的逻辑模块测试系统，其特征在于所述数据采集器还包括激励源模块，与所述数据采集模块相连接，用于根据CPU的控制信息模拟逻辑模块的激励和输入源数据。

4、根据权利要求2或3所述的逻辑模块测试系统，其特征在于所述数据采集器还包括全局时钟模块，与所述数据采集模块相连接，用于产生整个逻辑模块测试系统的同步时钟。

5、根据权利要求2或3所述的逻辑模块测试系统，其特征在于所述数据采集模块包括：

一RAM，与所述接口模块相连接，用于测试数据的缓存；

一数据选择模块，与所述接口模块和RAM相连接，用于选择输出从逻辑模块采集到的测试数据；

一控制模块，与所述接口模块、RAM和数据选择模块相连接，用于控制所述RAM的地址，将从逻辑模块采集到的测试数据存储到RAM中，并且向CPU发送读有效信息通知CPU读取测试数据。

6、一种逻辑模块测试方法，其中包括如下步骤：

步骤 1，CPU 从数据库中调用逻辑模块所要测试数据的控制信息，并通过接口模块发送给数据采集模块；

步骤 2，数据采集模块根据该测试数据的控制信息，将从各个逻辑模块中采集到的测试数据选择输出并储存，然后通知 CPU 读取选择出的测试数据；

步骤 3，CPU 读取所述选择出的测试数据，并且与从数据库中调用的正确数据进行比较，得到比对结果。

7、根据权利要求 6 所述的逻辑模块测试方法，其中所述步骤 1 还包括如下步骤：

步骤 11，CPU 向激励源模块发送控制信息；

步骤 12，所述激励源模块根据该控制信息模拟逻辑模块的激励，向逻辑模块发送源数据。

8、根据权利要求 6 或 7 所述的逻辑模块测试方法，其中所述步骤中全局时钟模块向数据采集器提供同步时钟。

9、根据权利要求 6 或 7 所述的逻辑模块测试方法，其中所述步骤 1 具体为：CPU 从数据库中调用逻辑模块所要测试数据的控制信息，并通过接口模块发送给数据采集模块中的数据选择模块。

10、根据权利要求 9 所述的逻辑模块测试方法，其中所述步骤 2 具体为：

步骤 21，控制模块控制数据选择模块根据该测试数据的控制信息，向 RAM 选择输出从各个逻辑模块中采集到的测试数据；

步骤 22，控制模块控制 RAM 的地址，将选择出的测试数据储存到 RAM 中；

步骤 23，控制模块通过接口模块向 CPU 发送读有效信息，通知 CPU 读取选择出的测试数据。

逻辑模块测试系统和测试方法

技术领域

本发明涉及一种逻辑模块测试系统和测试方法，尤其是一种对所有待测逻辑模块的数据进行统一采集，然后与预先设置的正确数据进行对比的逻辑模块测试系统和测试方法。

背景技术

在对逻辑模块测试中，经常要用一定的装置和方法去观测模块时序及功能是否达到设计要求。而当今，随着需要测试的数据量越来越大，寻求一种可靠、稳定、灵活性强且能满足大数据量测试装置和方法成为迫切需要解决的问题。

在现有的逻辑模块测试系统和测试方法中，主要是通过观测仿真波形来确定逻辑模块的时序及功能是否满足需求。

但是通过仿真波形来观测时序，容易受测试者本身因素及检测工具等客观因素的限制，因此无法保证测试精确度。

另一种逻辑模块测试系统和测试方法，是采用数据比对，但这种测试系统和测试方法也只能是对待测的各个逻辑模块挨个去比对，因此无法实现统一的测试管理，而且所测数据量非常有限，只能用于小数据量测试，导致灵活性很差。

发明内容

本发明的目的是针对现有逻辑模块测试系统和测试方法的缺陷，提供一种逻辑模块测试系统和测试方法，利用一个统一的数据采集模块对所测试

的各个逻辑模块的数据进行采集，再送往 CPU，与 CPU 里面预设的正确数据进行自动比对，以验证被测模块功能的正确与否，并且生成比对结果。

为实现上述目的，本发明提供了一种逻辑模块测试系统，包括：

一数据采集器，用于采集各个逻辑模块的测试数据；

一 CPU，与所述数据采集器相连接，用于发送测试数据的控制信息，采集测试数据和比对从逻辑模块采集的测试数据和正确的数据，并生成对比结果；

一数据库，与所述 CPU 相连接，用于存储测试数据的控制信息和正确的数据。

所述数据采集器包括：一接口模块，与所述 CPU 相连接；一数据采集模块，与所述接口模块相连接，用于从逻辑模块采集测试数据。所述数据采集器还包括激励源模块，与所述数据采集模块相连接，用于根据 CPU 的控制信息模拟逻辑模块的激励和输入源数据。还包括全局时钟模块，与所述数据采集模块相连接，用于产生整个逻辑模块测试系统的同步时钟。所述数据采集模块包括：一 RAM，与所述接口模块相连接，用于测试数据的缓存；一数据选择模块，与所述接口模块和 RAM 相连接，用于选择输出从逻辑模块采集到的测试数据；一控制模块，与所述接口模块、RAM 和数据选择模块相连接，用于控制所述 RAM 的地址，将从逻辑模块采集到的测试数据存储到 RAM 中，并且向 CPU 发送读有效信息通知 CPU 读取测试数据。

本发明还提供了一种逻辑模块测试方法，包括如下步骤：

步骤 1，CPU 从数据库中调用逻辑模块所要测试数据的控制信息，并通过接口模块发送给数据采集模块；

步骤 2，数据采集模块根据该测试数据的控制信息，将从各个逻辑模块中采集到的测试数据选择输出并储存，然后通知 CPU 读取选择出的测试数据；

步骤 3，CPU 读取所述选择出的测试数据，并且与从数据库中调用的正确数据进行比较，得到比对结果。

所述步骤 1 还包括如下步骤：步骤 11，CPU 向激励源模块发送控制信息；步骤 12，所述激励源模块根据该控制信息模拟逻辑模块的激励，向逻辑模块发送源数据。所述步骤中全局时钟模块向数据采集器提供同步时钟。所述步骤 1 具体为：CPU 从数据库中调用逻辑模块所要测试数据的控制信息，并通过接口模块发送给数据采集模块中的数据选择模块。所述步骤 2 具体为：步骤 21，控制模块控制数据选择模块根据该测试数据的控制信息，向 RAM 选择输出从各个逻辑模块中采集到的测试数据；步骤 22，控制模块控制 RAM 的地址，将选择出的测试数据储存到 RAM 中；步骤 23，控制模块通过接口模块向 CPU 发送读有效信息，通知 CPU 读取选择出的测试数据。

因此，本发明逻辑模块测试系统和测试方法在逻辑模块测试时，将各通道数据进行统一采集，且进行自动比对，因此，其具有很大的灵活性，并且所测的数据量非常大，另外，其测试的效率也非常之高，而且对于提高系统的稳定性也具有重要作用。

附图说明

图 1 为本发明逻辑模块测试系统的结构示意图。

图 2 为本发明逻辑模块测试方法的流程图。

下面通过附图和实施例，对本发明的技术方案做进一步的详细描述。

具体实施方式

本发明是利用一个统一的数据采集模块对逻辑模块产生的测试数据进行采集，利用 CPU 与正确的数据进行比对，产生比对结果。

如图 1 所示，为本发明逻辑模块测试系统的结构示意图，该系统包括数据采集器 1，用于采集各个逻辑模块 41、42、43、44 的测试数据；CPU2，与所述数据采集器 1 相连接，用于发送测试数据的控制信息，采集测试数据和比对从逻辑模块 41、42、43、44 采集的测试数据和正确的数据，并生成对比

结果；数据库 3，与所述 CPU2 相连接，用于存储测试数据的控制信息和正确的数据。

数据采集器 1 包括接口模块 10，与 CPU2 相连接；数据采集模块 11，与接口模块 10 相连接，用于从逻辑模块 41、42、43、44 采集测试数据。数据采集器还包括激励源模块 12，与数据采集模块 11 和第一个逻辑模块 41 相连接，用于根据 CPU 的控制信息模拟逻辑模块的激励和输入源数据；全局时钟模块 13，与数据采集模块 11 相连接，用于产生整个逻辑模块测试系统的同步时钟。

数据采集模块 11 包括 RAM110，与接口模块 10 相连接，用于测试数据的缓存；数据选择模块 111，与接口模块 10 和 RAM110 相连接，用于选择输出从逻辑模块 41、42、43、44 采集到的测试数据；控制模块 112，与接口模块 10、RAM110 和数据选择模块 111 相连接，用于控制 RAM110 的地址，将从逻辑模块 41、42、43、44 采集到的测试数据存储到 RAM110 中，并且向 CPU2 发送读有效信息通知 CPU2 读取测试数据。

本发明逻辑模块测试方法包括以下步骤：

步骤 1，CPU 从数据库中调用逻辑模块所要测试数据的控制信息，并通过接口模块发送给数据采集模块；

步骤 2，数据采集模块根据该测试数据的控制信息，将从各个逻辑模块中采集到的测试数据选择输出并储存，然后通知 CPU 读取选择出的测试数据；

步骤 3，CPU 读取所述选择出的测试数据，并且与从数据库中调用的正确数据进行比较，得到比对结果。

如图 2 所示，为本发明逻辑模块测试方法的流程图，具体包括以下步骤：

步骤 101，CPU 从数据库中调用逻辑模块所要测试数据的控制信息，并通过接口模块发送给数据采集模块中的数据选择模块；并且 CPU 向激励源模块发送控制信息，所述激励源模块根据该控制信息模拟逻辑模块的激励，向逻辑模块发送源数据；

步骤 102, 控制模块控制数据选择模块根据该测试数据的控制信息, 向 RAM 选择输出从各个逻辑模块中采集到的测试数据;

步骤 103, 控制模块控制 RAM 的地址, 将选择出的测试数据储存到 RAM 中;

步骤 104, 控制模块通过接口模块向 CPU 发送读有效信息, 通知 CPU 读取选择出的测试数据;

步骤 105, CPU 读取所述选择出的测试数据, 并且与从数据库中调用的正确数据进行比较, 得到比对结果。

并且全局时钟模块向数据采集器提供同步时钟。

因此, 本发明逻辑模块测试系统和测试方法在逻辑模块测试时, 将各通道数据进行统一采集, 且进行自动比对, 产生比对结果, 因此, 其具有很大的灵活性, 并且所测的数据量非常大, 另外, 其测试的效率也非常之高, 而且对于提高系统的稳定性也具有重要作用。

最后所应说明的是, 以上实施例仅用以说明本发明的技术方案而非限制, 尽管参照较佳实施例对本发明进行了详细说明, 本领域的普通技术人员应当理解, 可以对本发明的技术方案进行修改或者等同替换, 而不脱离本发明技术方案的精神和范围。

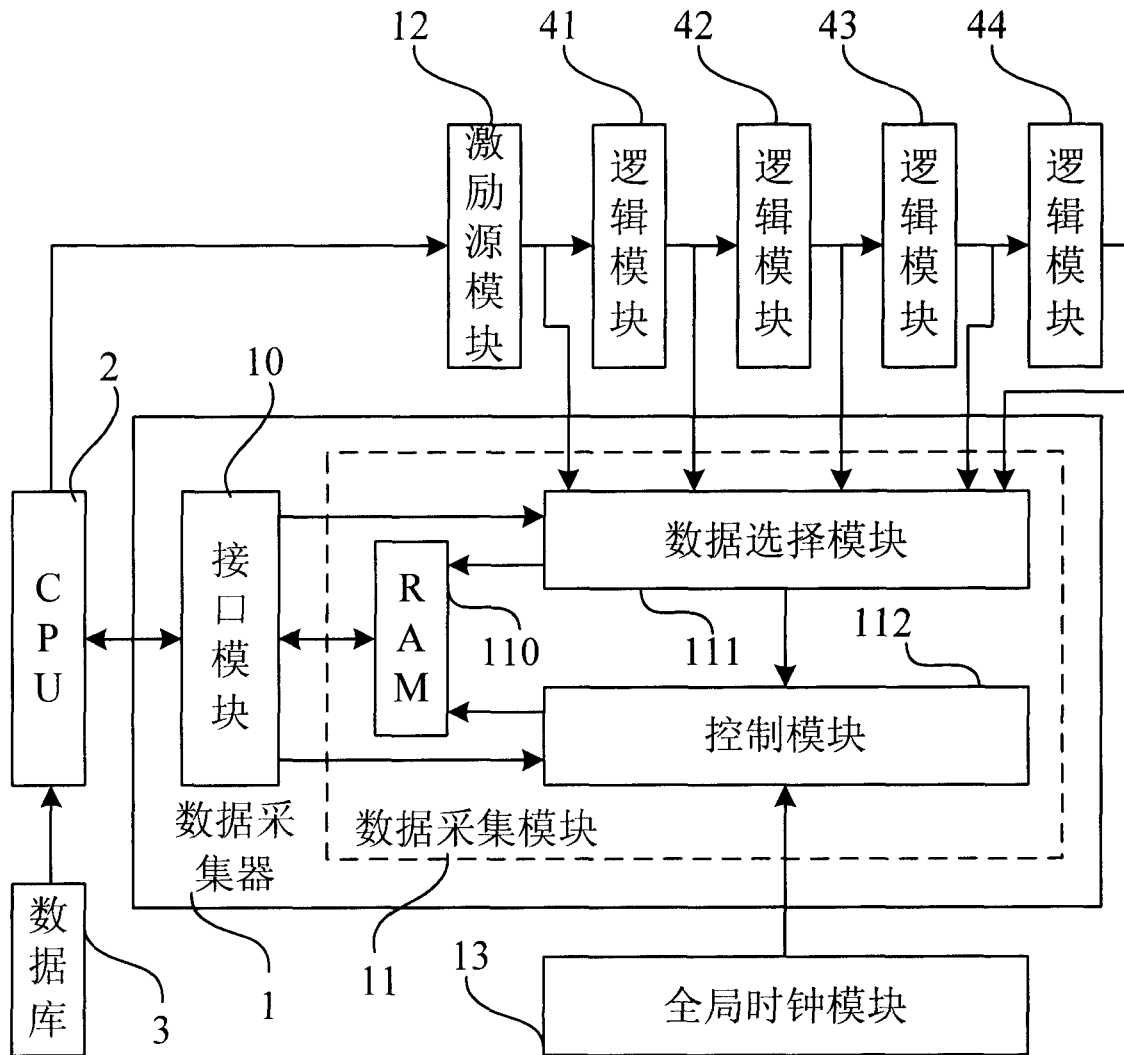


图 1

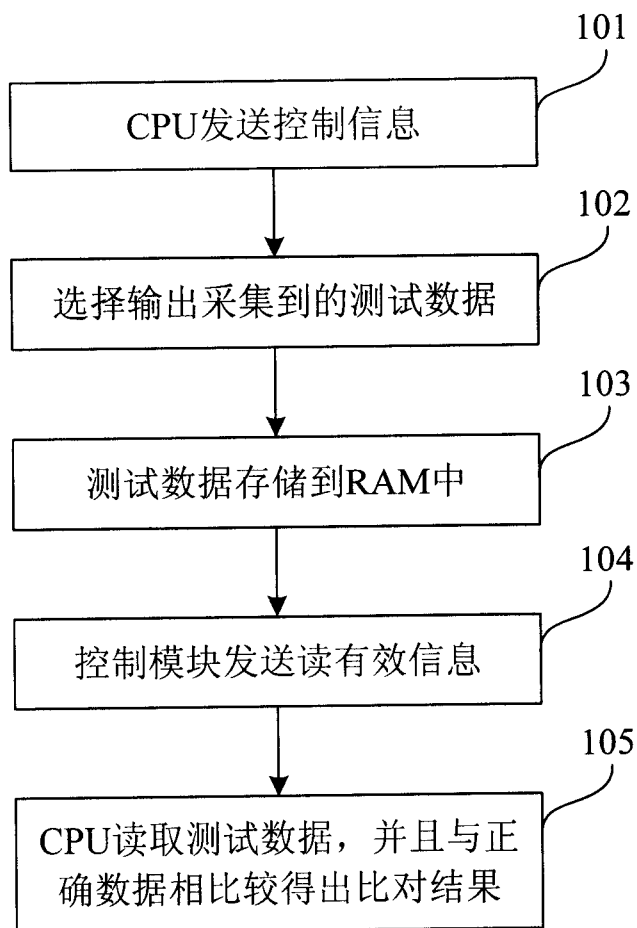


图 2