



(12) 实用新型专利

(10) 授权公告号 CN 205385604 U

(45) 授权公告日 2016. 07. 13

(21) 申请号 201620115530. 5

(22) 申请日 2016. 02. 04

(73) 专利权人 北京卓锐微技术有限公司

地址 100191 北京市海淀区知春路 23 号量子银座 1002 室

(72) 发明人 葛菲 谭文平

(74) 专利代理机构 北京成创同维知识产权代理有限公司 11449

代理人 姚远达 刘锋

(51) Int. Cl.

H04R 19/04(2006. 01)

(ESM) 同样的发明创造已同日申请发明专利

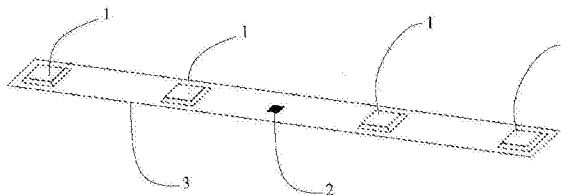
权利要求书1页 说明书5页 附图2页

(54) 实用新型名称

一种麦克风阵列模组

(57) 摘要

公开了一种麦克风阵列模组,主要解决现有的麦克风阵列在系统设计和应用上的困难。该麦克风阵列模组包括:呈阵列方式排列的多个麦克风单元;信号处理单元,分别与上述多个麦克风单元连接,用于将上述多个麦克风单元的信号组合为一个输出信号。本实用新型提供的麦克风阵列模组将用于组合麦克风单元信号的信号处理单元集成于其内部,将阵列作为一个整体向系统输出单路的音频信号,无需占用系统的计算资源,既方便了麦克风阵列的应用,又有利于降低系统功耗,另外,麦克风阵列模组作为一个整体部件,连线简单,方便了系统的空间设计和组装。



1. 一种麦克风阵列模组,其特征在于,包括:
呈阵列方式排列的多个麦克风单元;
信号处理单元,分别与所述多个麦克风单元连接,用于将所述多个麦克风单元的信号组合为一个输出信号。
2. 根据权利要求1所述的麦克风阵列模组,其特征在于,还包括PCB板,所述麦克风单元和所述信号处理单元均设置于所述PCB板上,经所述信号处理单元组合的所述输出信号由所述PCB板输出。
3. 根据权利要求1或2所述的麦克风阵列模组,其特征在于,所述信号处理单元包括多个运算模块,每个所述运算模块均具有多个输入端,所述多个输入端分别与所述多个麦克风单元连接,所述运算模块用于对所述多个麦克风单元输入所述信号处理单元的信号进行加权求和运算以产生复合信号;
所述信号处理单元还包括叠加模块,每个所述运算模块的输出端均与所述叠加模块连接,多个所述运算模块产生的复合信号经所述叠加模块叠加形成所述输出信号。
4. 根据权利要求3所述的麦克风阵列模组,其特征在于,所述运算模块的数量为2至4个。
5. 根据权利要求3所述的麦克风阵列模组,其特征在于,每个所述运算模块与所述叠加模块之间均设置有滤波器。
6. 根据权利要求3所述的麦克风阵列模组,其特征在于,所述信号处理单元还包括分别与所述多个麦克风单元对应设置的多条信号处理路径,所述信号处理路径包括依次连接的自适应增量调制模块和降采样模块,所述麦克风单元输入的信号经所述信号处理路径处理后输入所述运算模块。
7. 根据权利要求6所述的麦克风阵列模组,其特征在于,所述信号处理路径还包括设置于所述自适应增量调制模块与所述麦克风单元之间的FIFO模块。
8. 根据权利要求5或7所述的麦克风阵列模组,其特征在于,所述信号处理单元包括配置模块,用于配置所述信号处理单元各模块的工作参数。
9. 根据权利要求3所述的麦克风阵列模组,其特征在于,所述信号处理单元上设置有音频接口,所述音频接口包括数字音频接口和/或模拟音频接口;
所述叠加模块输出的信号经所述数字音频接口输出,或经数字/模拟转换器转换后由所述模拟音频接口输出。
10. 根据权利要求9所述的麦克风阵列模组,其特征在于,所述信号处理单元还包括振荡器模块,用于在没有有效时钟信号输入时产生预定频率的时钟信号。

一种麦克风阵列模组

技术领域

[0001] 本实用新型涉及麦克风领域,具体涉及一种麦克风阵列模组。

背景技术

[0002] 通常的麦克风都是全向性的,来自各个方向的声音被同等地接收。然而在许多场合下希望只保留特定方向上的声音,比如说话人的语音;有的场合也希望抑制特定方向上的声音,比如已知固定声源的干扰。最为普遍而且有效的办法是使用多只麦克风组成麦克风阵列,利用来自不同方向的声波到达阵列中各麦克风的时间差异,实现有方向选择性的接收。

[0003] 麦克风阵列算法依麦克风阵列的结构不同而不同,基本的信号运算包括延迟、增益、求和,高级的信号处理可能包含滤波、傅立叶变换、自适应迭代等等。简单的处理可以用电路直接实现,复杂的处理需要CPU参与,或者是使用单独的数字信号处理器(digital signal processor,DSP)。

[0004] 图1示出现有的一个四路麦克风阵列系统中信号从麦克风单元1'到应用端经过的必要环节。如果A/D转换器4'集成在麦克风内部,则麦克风是数字麦克风;如果麦克风不包含A/D转换器4',则是模拟麦克风,需要配合模拟/数字转换器(Analog-to-Digital Converter,ADC)、编解码器(Codec)或者带有A/D转换的数字信号处理器使用。无论是用数字还是模拟麦克风,都需要数字信号处理环节2'进行阵列运算,依靠CPU参与或使用另外的数字信号处理器完成,因此现有的麦克风阵列不仅需要占用系统的处理资源进行阵列相关的运算,而且麦克风和核心的处理器件之间通过多路数字或者模拟音频接口连接,造成连接线路复杂等问题。

实用新型内容

[0005] 有鉴于此,本实用新型提供一种麦克风阵列模组,对外音频接口等价于一只麦克风,起到简化系统结构的作用。

[0006] 为达此目的,本实用新型采用以下技术方案:

[0007] 一种麦克风阵列模组,包括:

[0008] 呈阵列方式排列的多个麦克风单元;

[0009] 信号处理单元,分别与所述多个麦克风单元连接,用于将所述多个麦克风单元的信号组合为一个输出信号。

[0010] 优选的,还包括PCB板,所述麦克风单元和所述信号处理单元均设置于所述PCB板上,经所述信号处理单元组合的所述输出信号由所述PCB板输出。

[0011] 优选的,所述信号处理单元包括多个运算模块,每个所述运算模块均具有多个输入端,所述多个输入端分别与所述多个麦克风单元连接,所述运算模块用于对所述多个麦克风单元输入所述信号处理单元的信号进行加权求和运算以产生复合信号;

[0012] 所述信号处理单元还包括叠加模块,每个所述运算模块的输出端均与所述叠加模

块连接,多个所述运算模块产生的复合信号经所述叠加模块叠加形成所述输出信号。

[0013] 优选的,所述运算模块的数量为2至4个。

[0014] 优选的,每个所述运算模块与所述叠加模块之间均设置有滤波器。

[0015] 优选的,所述信号处理单元还包括分别与所述多个麦克风单元对应设置的多条信号处理路径,所述信号处理路径包括依次连接的自适应增量调制模块和降采样模块,所述麦克风单元输入的信号经所述信号处理路径处理后输入所述运算模块。

[0016] 优选的,所述信号处理路径还包括设置于所述自适应增量调制模块与所述麦克风单元之间的FIFO模块。

[0017] 优选的,所述信号处理单元包括配置模块,用于配置所述信号处理单元各模块的工作参数。

[0018] 优选的,所述信号处理单元上设置有音频接口,所述音频接口包括数字音频接口和/或模拟音频接口;

[0019] 所述叠加模块输出的信号经所述数字音频接口输出,或经数字/模拟转换器转换后由所述模拟音频接口输出。

[0020] 优选的,所述信号处理单元还包括振荡器模块,用于在没有有效时钟信号输入时产生预定频率的时钟信号。

[0021] 本实用新型还提供了采用上述麦克风阵列模组的移动终端,达到组装效率高、功耗低的效果。

[0022] 为达此目的,本实用新型采用以下技术方案:

[0023] 移动终端,包括如上所述的麦克风阵列模组。

[0024] 本实用新型的有益效果是:

[0025] 本实用新型提供的麦克风阵列模组将用于组合麦克风单元信号的信号处理单元集成于其内部,

[0026] 将阵列作为一个整体向系统输出单路的音频信号,无需占用系统的计算资源,方便了麦克风阵列的应用,也有利于降低系统功耗。

[0027] 另外,麦克风阵列模组作为一个整体部件,连线简单,方便了系统的空间设计和组装。

附图说明

[0028] 通过以下参照附图对本实用新型实施例的描述,本实用新型的上述以及其它目的、特征和优点将更为清楚,在附图中:

[0029] 图1是现有的麦克风阵列连接到应用端的结构示意图;

[0030] 图2是本实用新型具体实施方式提供的麦克风阵列模组的结构示意图;

[0031] 图3是本实用新型具体实施方式提供的信号处理单元的结构示意图。

[0032] 图中,1'、麦克风单元;2'、数字信号处理环节;4'、A/D转换器;

[0033] 1、麦克风单元;2、信号处理单元;201、麦克风接口;202、MCU控制接口;203、数字音频接口;204、模拟音频接口;205、运算模块;206、叠加模块;207、滤波器;208、FIFO模块;209、自适应增量调制模块;210、降采样模块;211、上采样模块;212、数字/模拟转换器;213、配置模块;214、振荡器模块;3、PCB板。

具体实施方式

[0034] 以下基于实施例对本实用新型进行描述,但是本实用新型并不仅仅限于这些实施例。在下文对本实用新型的细节描述中,详尽描述了一些特定的细节部分。对本领域技术人员来说没有这些细节部分的描述也可以完全理解本实用新型。为了避免混淆本实用新型的实质,公知的方法、过程、流程、元件并没有详细叙述。

[0035] 下面参照图2和图3说明本实用新型的麦克风阵列模組的实施例。

[0036] 本实用新型提供的麦克风阵列模組包括呈阵列方式排列的多个麦克风单元1,还包括分别与多个麦克风单元1连接的信号处理单元2,信号处理单元2用于将多个麦克风单元1的信号组合为一个输出信号。

[0037] 本实用新型提供的麦克风阵列模組将用于组合麦克风单元信号的信号处理单元2集成于其内部,将阵列作为一个整体向系统输出单路的音频信号,无需占用系统的计算资源,方便了麦克风阵列的应用,也有利于降低系统功耗。另外,麦克风阵列模組作为一个整体部件,连线简单,方便了系统的空间设计和组装。

[0038] 进一步的,如图2所示,麦克风单元1和信号处理单元2均设置于PCB板3上,通过PCB板3实现线路连接,经信号处理单元2组合的输出信号由PCB板3输出。

[0039] 多个麦克风单元1的阵列方式不限,例如,可以是如图2中所示的端射(endfire)阵列,或者侧射(broadside)阵列等等。

[0040] 下面以四个呈端射阵列的麦克风单元1为例具体介绍麦克风阵列模組的结构。

[0041] 如图2所示,PCB板3呈长条形,四个麦克风单元1依次排列设置在PCB板3上,信号处理单元2位于PCB板3的中部,信号处理单元2为一片ASIC(Application Specific Integrated Circuit)芯片。在信号处理单元2内部,多个麦克风单元1的信号经过必要的运算合成一路带有指向性的音频信号,连接到PCB板3上的焊盘输出。对于麦克风应用电路而言,使用这一模組和使用一个麦克风的操作方式是一样的,大大简化了系统设计。另外,由于在模組中已经集成算法,不再需要控制器、处理器的参与,可节省系统的功耗。

[0042] 图3示出了信号处理单元的结构示意图。如图所示,信号处理单元2具有多个接口,包括电源接口(图中未示出)、用于与音频系统连接的音频接口、用于与麦克风单元1连接的麦克风接口201以及用于与控制器连接的MCU控制接口202。

[0043] 以麦克风单元1为数字麦克风为例,通过麦克风接口201可向麦克风单元1提供数字时钟,并可接收麦克风单元1产生的信号。

[0044] 音频接口包括数字音频接口203和/或模拟音频接口204,模拟音频接口204是针对没有数字音频接口203的音频系统设置的,模拟音频接口204处需设置数字/模拟转换器212(DAC)对信号进行转换后方可输出。通过数字音频接口203可接收来自音频系统的时钟信号,并可向音频系统输出经过组合的输出信号。作为一个优选实施例,数字音频接口203为I²S接口,时钟信号包括位时钟(BCLK)信号和帧时钟(LRCK)信号,帧时钟(LRCK)信号是决定采样频率的时钟信号,例如,数字音频接口203输入的位时钟信号为64倍PCM采样频率的时钟信号时,麦克风接口201中的时钟信号由位时钟信号导出,因此,麦克风单元1也工作在64倍PCM采样频率下,具体的,例如PCM采样频率为48kHz时,位时钟信号为3.072MHz,麦克风单元1时钟频率也为3.072MHz。

[0045] MCU控制接口202可以是标准的SPI三线接口,也可以是两线的I²C接口,控制器可通过MCU控制接口202进行读写操作。

[0046] 信号处理单元2包括四个运算模块205,运算模块205具有四个输入端,分别与四个麦克风单元1连接。四个运算模块205分别用于对四个麦克风单元1产生的信号进行加权求和运算,产生四路复合信号,即,每一路复合信号的PCM字是四路麦克风单元1产生的信号对应的PCM字分别乘上一个权系数再相加得到的,权系数可根据具体需求设置。

[0047] 四个运算模块205的输出端均与叠加模块206连接。由四个运算模块205运算产生的四路复合信号通入叠加模块206,通过叠加模块206将四路复合信号叠加形成输出信号输出。

[0048] 进一步的,每个运算模块205与叠加模块206之间均设置有滤波器207,加权求和得到的四路复合信号分别通过滤波器207后再通入叠加模块206叠加。滤波器207具体结构不限,例如可以是FIR(Finite Impulse Response)滤波器,IIR(Infinite Impulse Response)滤波器等等,并且滤波器207的系数可根据具体需求设置。

[0049] 当然,可以理解的是,运算模块205的数量不局限于四个,优选范围为2至4个。

[0050] 进一步的,信号处理单元2包括分别与四个麦克风单元1对应设置的四条信号处理路径,分别用于处理四个麦克风单元1输入的信号。信号处理路径包括依次连接的FIFO模块208、自适应增量调制模块209(ADM)以及降采样模块210。

[0051] 其中,FIFO(First Input First Output)模块可起到信号延迟的作用,通过设置FIFO模块208的有效长度可设定每一路麦克风单元信号的延迟时间。

[0052] 麦克风单元1输出1bit的1、0信号,即ADM码流,ADM码流由FIFO模块208延迟后输入到自适应增量调制模块209,即ADM解码器,经ADM解码器处理后输出过采样的PCM编码,例如,输出64倍过采样的PCM编码。

[0053] ADM解码器输出的过采样的PCM码流经降采样模块210降采样后得到采样频率与数字音频接口203的帧时钟信号频率相同的PCM音频信号。四路PCM音频信号在进行后续的加权求和处理以及叠加运算,并且,后续的运算也是在相同的采样频率下进行的。叠加后的输出信号由数字音频接口203输出。

[0054] 进一步的,还包括配置模块213,通过配置模块213配置信号处理单元2各模块的工作参数,包括参数寄存器,所述参数包括各个运算模块205在进行加权求和运算时的权系数,各个滤波器207的系数,FIFO模块208的有效长度等等。参数寄存器可通过MCU控制接口202供控制器进行数据读写操作。

[0055] 在一个优选实施例中,叠加模块206的输出端还可依次经上采样模块211和数字/模拟转换器212与模拟音频接口204连接,经叠加后的信号经上采样模块211处理并经数字/模拟转换器212转换为模拟信号输出,适用于没有数字音频接口203,只有模拟音频接口204的音频系统。其中,上采样模块211的上采样倍数可以但不局限于是4倍、8倍、16倍、32倍或64倍。

[0056] 在一个优选实施例中,信号处理单元2还包括振荡器模块214,当外部没有有效的时钟信号输入时,振荡器模块214启用,为数字系统提供预定频率的时钟信号来替代为时钟信号,保证模拟音频接口204处能够正常的输出音频信号。例如,时钟信号的频率为2.4MHz。

[0057] 当然,本实用新型提供的麦克风阵列模组的也适用于模拟麦克风,即,麦克风单元

1可以为模拟麦克风,只需在信号处理单元2中增加相应的A/D转换模块即可。

[0058] 此外,本领域普通技术人员应当理解,在此提供的附图都是为了说明的目的,并且附图不一定是按比例绘制的。

[0059] 同时,应当理解,示例实施例被提供,以使本公开是全面的,并将其范围充分传达给本领域技术人员。很多特定细节(例如特定部件、设备和方法的示例)被给出以提供对本公开的全面理解。本领域技术人员将明白,不需要采用特定细节,示例实施例可以以很多不同的形式被实施,并且示例实施例不应被理解为限制本公开的范围。在一些示例实施例中,众所周知的设备结构以及众所周知的技术没有详细描述。

[0060] 当一元件或层被提及为在另一元件或层“上”、“被接合到”、“被连接到”或“被联接到”另一元件或层时,其可直接在另一元件或层上、被直接接合、连接或联接到另一元件或层,或者可存在中间元件或层。相比之下,当一元件被提及为“直接”在另一元件或层“上”、“直接被接合到”、“直接被连接到”或“直接被联接到”另一元件或层时,可不存在中间元件或层。用于描述元件之间关系的其它词语应该以相似方式被解释(例如,“之间”与“直接之间”,“邻近”与“直接邻近”等)。如在此使用的,术语“和/或”包括一个或更多关联的所列项目中的任一或全部组合。

[0061] 虽然术语第一、第二、第三等在此可被用于描述各个元件、部件、区域、层和/或区段,但是这些元件、部件、区域、层和/或区段不应该被这些术语限制。这些术语可仅用于将一个元件、部件、区域、层或区段与另一元件、区域、层或区段区分开。诸如“第一”、“第二”的术语和其它数值术语当在此使用时不意味着次序或顺序,除非上下文明确指出。因而,下面讨论的第一元件、部件、区域、层或区段可被称为第二元件、部件、区域、层或区段,而不背离示例实施例的教导。此外,在本实用新型的描述中,除非另有说明,“多个”的含义是两个或两个以上。

[0062] 以上所述仅为本实用新型的优选实施例,并不用于限制本实用新型,对于本领域技术人员而言,本实用新型可以有各种改动和变化。凡在本实用新型的精神和原理之内所作的任何修改、等同替换、改进等,均应包含在本实用新型的保护范围之内。

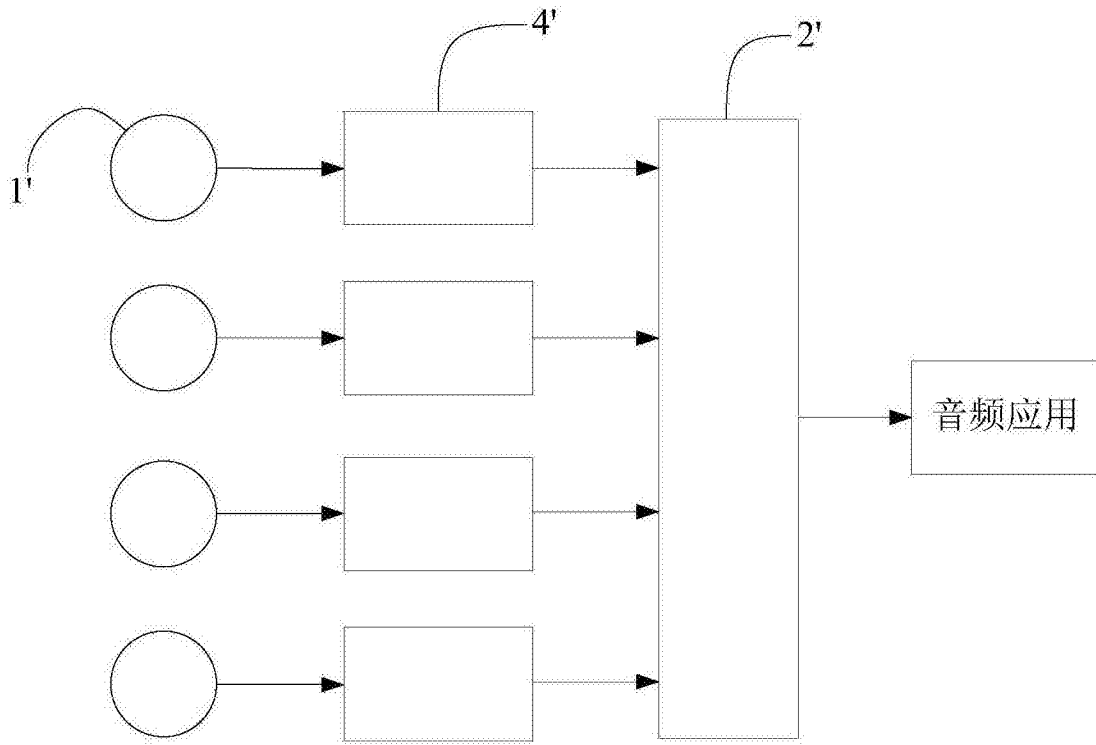


图1

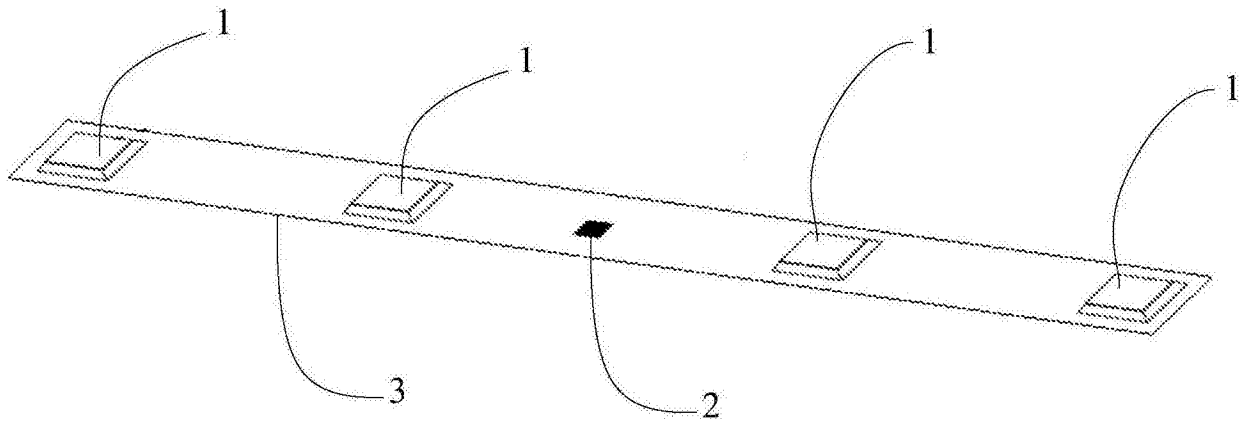


图2

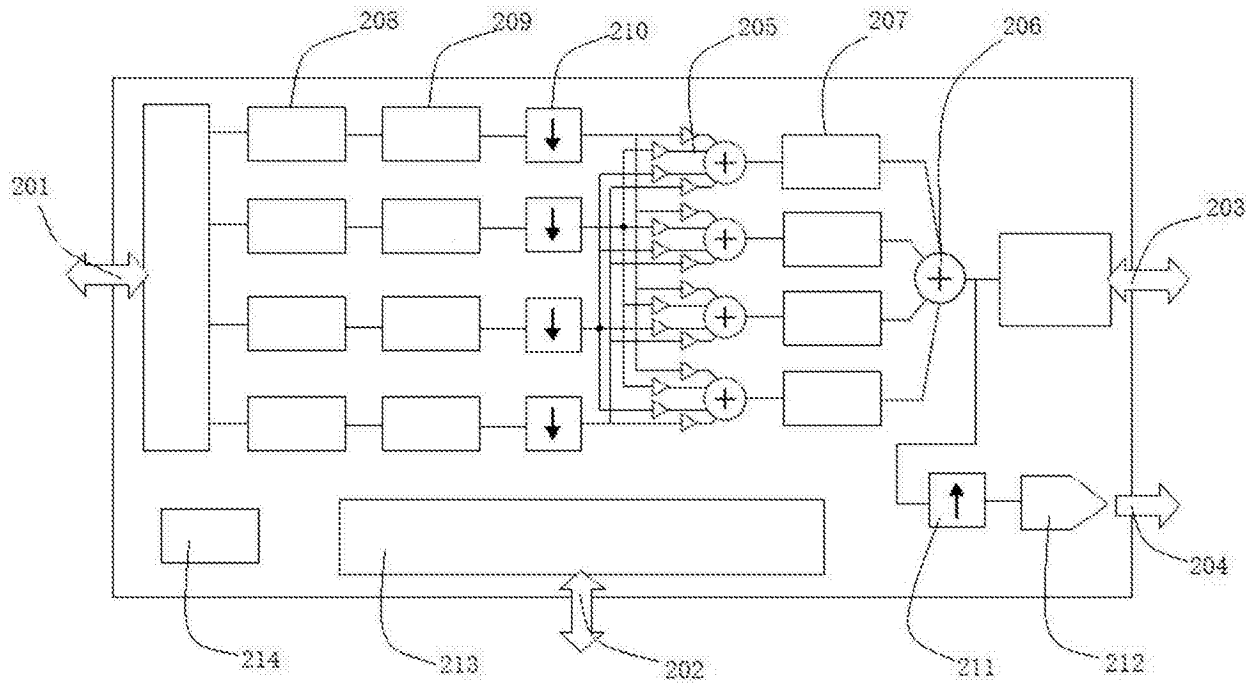


图3