



(12) 发明专利申请

(10) 申请公布号 CN 116405031 A

(43) 申请公布日 2023. 07. 07

(21) 申请号 202310226260.X

(22) 申请日 2023.03.03

(71) 申请人 北京智芯半导体科技有限公司  
地址 102200 北京市昌平区科技园区双营西路79号院12号楼一层  
申请人 北京智芯微电子科技有限公司  
复旦大学

(72) 发明人 沈红伟 原义栋 卢昱 张清松  
廖煜鑫 鲁浩然 闵昊 许玉洁

(74) 专利代理机构 北京润平知识产权代理有限公司 11283  
专利代理师 乔晓粉

(51) Int. Cl.  
H03M 1/00 (2006.01)  
H03M 1/12 (2006.01)

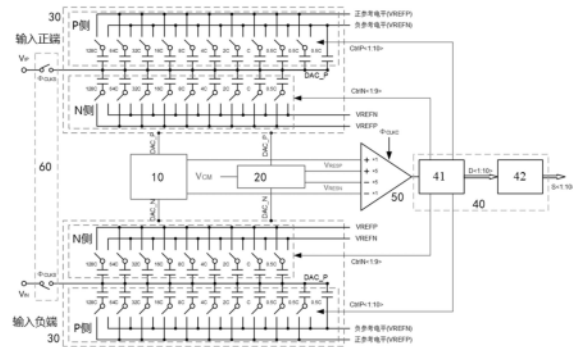
权利要求书2页 说明书11页 附图4页

(54) 发明名称

模数转换器及芯片

(57) 摘要

本发明涉及集成电路技术领域,公开一种模数转换器及芯片,所述模数转换器包括:第一、第二无源开关电容积分器;两个电容性模数转换阵列;控制逻辑电路,用于在所述阵列中的电容复位时,闭合第一无源开关电容积分器中的第一、第二开关组以输出第一残差电压,以及闭合第二无源开关电容积分器中的第三、第四开关组以使输出第二残差电压;以及双差分输入比较器,用于接收第一残差电压与当前预设周期的输入电压之和作为第一差分输入信号,接收第二残差电压作为第二差分输入信号,以及输出比较结果,所述控制逻辑电路还用于根据比较结果,输出多个开关控制信号至电容性模数转换阵列,以输出当前预设周期的数字数据,由此可有效抑制信号带内的量化噪声。



1. 一种模数转换器,其特征在于,所述模数转换器包括:

第一无源开关电容积分器,其包括:2Q个第一电容以及串联连接所述2Q个第一电容中的Q个电容的第一开关组以及串联连接所述2Q个第一电容中的另外的Q个电容的第二开关组;

第二无源开关电容积分器,其包括:2Q个第二电容以及串联连接所述2Q个第二电容中的Q个电容的第三开关组以及串联连接所述2Q个第二电容中的另外的Q个电容的第四开关组;

两个电容性模数转换阵列;

控制逻辑电路,用于在所述两个电容性模数转换阵列中的电容复位到初始状态的情况下,闭合所述第一开关组与所述第二开关组,以使所述第一无源开关电容积分器输出第一残差电压,以及闭合所述第三开关组与所述第四开关组,以使所述第二无源开关电容积分器输出第二残差电压,其中,所述第一残差电压为所述2Q个第一电容在上一预设周期的第一子残差电压之和,以及所述第二残差电压为所述2Q个第二电容在所述上一预设周期的第二子残差电压之和;以及

双差分输入比较器,用于接收所述第一残差电压与当前预设周期的输入电压之和作为第一差分输入信号,接收所述第二残差电压作为第二差分输入信号,以及输出比较结果,

所述控制逻辑电路还用于,根据所述比较结果,输出多个开关控制信号至所述两个电容性模数转换阵列,以输出与所述当前预设周期的输入电压相对应的当前预设周期的数字数据。

2. 根据权利要求1所述的模数转换器,其特征在于,所述第一无源开关电容积分器还包括:并联连接所述2Q个第一电容的第五开关组,

相应地,在输出与所述上一预设周期的输入电压相对应的所述上一预设周期的数字数据之后,所述控制逻辑电路还用于,通过闭合所述第五开关组来将所述两个电容性模数转换阵列的上极板的残差电压分配至所述2Q个第一电容,以使所述第一电容的电压为所述第一子残差电压。

3. 根据权利要求2所述的模数转换器,其特征在于,所述第二无源开关电容积分器还包括:并联连接所述2Q个第二电容的第六开关组,

相应地,在执行所述通过闭合所述第五开关组来将所述两个电容性模数转换阵列的上极板的残差电压分配至所述2Q个第一电容的步骤之后,所述控制逻辑电路还用于断开所述第五开关组,并通过闭合所述第六开关组来将所述两个电容性模数转换阵列的上极板的更新的残差电压分配至所述2Q个第二电容,以使所述第二电容的电压为所述第二子残差电压。

4. 根据权利要求1所述的模数转换器,其特征在于,所述数字数据为N位数据,以及所述模数转换器还包括:采样开关电路,

在所述两个电容性模数转换阵列中的电容复位到初始状态之前,所述控制逻辑电路还用于执行以下操作:

根据关于所述当前预设周期的预测值,将所述两个电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至不同的参考电压;

导通所述采样开关电路,以将所述当前预设周期的输入电压采样至所述电容性模数转

换阵列;以及

断开所述采样开关电路,并将所述电容性模数转换阵列中的各个电容复位至初始状态,以馈入与所述参考电压相应的预偏移补偿量及所述上一预设周期输出的N位数据中的低N-1位数据。

5. 根据权利要求4所述的模数转换器,其特征在于,在执行所述输出与所述当前预设周期的输入电压相对应的当前预设周期的数字数据的步骤之后,所述控制逻辑电路还用于执行以下操作:

将所述当前预设周期输出的N位数据减去所述上一预设周期输出的N位数据中的低N-1位数据,以获取N位差值;以及

将所述N位差值减去与所述预偏移补偿量相对应的数值,以输出与所述当前预设周期的输入电压对应的所述当前预设周期的补偿后的N位数据。

6. 根据权利要求5所述的模数转换器,其特征在于,所述控制逻辑电路还用于,将所述当前预设周期的补偿后的N位数据与所述当前预设周期输出的N位数据中的低N-1位数据相加,以获取关于下一预设周期的预测值。

7. 根据权利要求4所述的模数转换器,其特征在于,所述控制逻辑电路用于将所述两个电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至不同的参考电压包括:

在关于所述当前预设周期的预测值为1的情况下,将位于输入正端的所述电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至正参考电压,以及将位于输入负端的所述电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至负参考电压;或者

在关于所述当前预设周期的预测值为0的情况下,将位于输入正端的所述电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至负参考电压,以及将位于输入负端的所述电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至正参考电压。

8. 根据权利要求4所述的模数转换器,其特征在于,所述控制逻辑电路用于将所述电容性模数转换阵列中的各个电容复位至初始状态包括:

将所述电容性模数转换阵列中的正极侧的电容的下极板连接至正参考电压,以及将所述电容性模数转换阵列中的负极侧的电容的下极板接地。

9. 根据权利要求1所述的模数转换器,其特征在于,所述第一无源开关电容积分器包括4个第一电容;以及所述第二无源开关电容积分器包括4个第二电容,

其中,所述第一电容与所述第二电容的电容值等于所述电容性模数转换阵列的总电容值的1/2倍。

10. 一种芯片,其特征在于,所述芯片包括根据权利要求1-9中任一项所述的模数转换器。

## 模数转换器及芯片

### 技术领域

[0001] 本发明涉及集成电路技术领域,具体地涉及一种模数转换器及芯片。

### 背景技术

[0002] 逐次逼近型模数转换器因其低功耗且高效特性而被广泛应用于多种场景,但其内部各类非理想因素与各类噪声限制了其所能达到的信噪比,其中量化噪声最为突出。过采样与噪声整形技术可以通过构造相应的高通或带通噪声传递函数对量化噪声与比较器噪声进行噪声整形,从而有效提高模数转换器的带内信噪比。但为了实现对信号带内噪声的良好抑制,往往需要在噪声整形环路中使用功耗较大的有源电路模块进行电路的搭建,不利于低功耗系统的实现。

### 发明内容

[0003] 本发明的目的是提供一种模数转换器及芯片,其采用二阶无源混合型噪声整形技术通过两组无源开关电容积分器分别对于上一预设周期的残差电压进行采样与积分,并分别以误差反馈和前向相加的方式将两积分器输出馈入当前周期的输入采样信号一并并进行转换,从而将模数转换器的带内量化噪声与比较器噪声调制到高频段,实现二阶高通噪声整形效果而抑制信号带内的相关噪声。

[0004] 为了实现上述目的,本发明第一方面提供一种模数转换器,所述模数转换器包括:第一无源开关电容积分器,其包括:2Q个第一电容以及串联连接所述2Q个第一电容中的Q个电容的第一开关组以及串联连接所述2Q个第一电容中的另外的Q个电容的第二开关组;第二无源开关电容积分器,其包括:2Q个第二电容以及串联连接所述2Q个第二电容中的Q个电容的第三开关组以及串联连接所述2Q个第二电容中的另外的Q个电容的第四开关组;两个电容性模数转换阵列;控制逻辑电路,用于在所述两个电容性模数转换阵列中的电容复位到初始状态的情况下,闭合所述第一开关组与所述第二开关组,以使所述第一无源开关电容积分器输出第一残差电压,以及闭合所述第三开关组与所述第四开关组,以使所述第二无源开关电容积分器输出第二残差电压,其中,所述第一残差电压为所述2Q个第一电容在上一预设周期的第一子残差电压之和,以及所述第二残差电压为所述2Q个第二电容在所述上一预设周期的第二子残差电压之和;以及双差分输入比较器,用于接收所述第一残差电压与当前预设周期的输入电压之和作为第一差分输入信号,接收所述第二残差电压作为第二差分输入信号,以及输出比较结果,所述控制逻辑电路还用于,根据所述比较结果,输出多个开关控制信号至所述两个电容性模数转换阵列,以输出与所述当前预设周期的输入电压相对应的当前预设周期的数字数据。

[0005] 优选地,所述第一无源开关电容积分器还包括:并联连接所述2Q个第一电容的第五开关组,相应地,在输出与所述上一预设周期的输入电压相对应的所述上一预设周期的数字数据之后,所述控制逻辑电路还用于,通过闭合所述第五开关组来将所述两个电容性模数转换阵列的上极板的残差电压分配至所述2Q个第一电容,以使所述第一电容的电压为

所述第一子残差电压。

[0006] 优选地,所述第二无源开关电容积分器还包括:并联连接所述2Q个第二电容的第六开关组,相应地,在执行所述通过闭合所述第五开关组来将所述两个电容性模数转换阵列的上极板的残差电压分配至所述2Q个第一电容的步骤之后,所述控制逻辑电路还用于断开所述第五开关组,并通过闭合所述第六开关组来将所述两个电容性模数转换阵列的上极板的更新的残差电压分配至所述2Q个第二电容,以使所述第二电容的电压为所述第二子残差电压。

[0007] 优选地,所述数字数据为N位数据,以及所述模数转换器还包括:采样开关电路,在所述两个电容性模数转换阵列中的电容复位到初始状态之前,所述控制逻辑电路还用于执行以下操作:根据关于所述当前预设周期的预测值,将所述两个电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至不同的参考电压;导通所述采样开关电路,以将所述当前预设周期的输入电压采样至所述电容性模数转换阵列;以及断开所述采样开关电路,并将所述电容性模数转换阵列中的各个电容复位至初始状态,以馈入与所述参考电压相应的预偏移补偿量及所述上一预设周期输出的N位数据中的低N-1位数据。

[0008] 优选地,在执行所述输出与所述当前预设周期的输入电压相对应的当前预设周期的数字数据的步骤之后,所述控制逻辑电路还用于执行以下操作:将所述当前预设周期输出的N位数据减去所述上一预设周期输出的N位数据中的低N-1位数据,以获取N位差值;以及将所述N位差值减去与所述预偏移补偿量相对应的数值,以输出与所述当前预设周期的输入电压对应的所述当前预设周期的补偿后的N位数据。

[0009] 优选地,所述控制逻辑电路还用于,将所述当前预设周期的补偿后的N位数据与所述当前预设周期输出的N位数据中的低N-1位数据相加,以获取关于下一预设周期的预测值。

[0010] 优选地,所述控制逻辑电路用于将所述两个电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至不同的参考电压包括:在关于所述当前预设周期的预测值为1的情况下,将位于输入正端的所述电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至正参考电压,以及将位于输入负端的所述电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至负参考电压;或者在关于所述当前预设周期的预测值为0的情况下,将位于输入正端的所述电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至负参考电压,以及将位于输入负端的所述电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至正参考电压。

[0011] 优选地,所述控制逻辑电路用于将所述电容性模数转换阵列中的各个电容复位至初始状态包括:将所述电容性模数转换阵列中的正极侧的电容的下极板连接至正参考电压,以及将所述电容性模数转换阵列中的负极侧的电容的下极板接地。

[0012] 优选地,所述第一无源开关电容积分器包括4个第一电容;以及所述第二无源开关电容积分器包括4个第二电容,其中,所述第一电容与所述第二电容的电容值等于所述电容性模数转换阵列的总电容值的1/2倍。

[0013] 通过上述技术方案,本发明创造性地在所述两个电容性模数转换阵列中的电容复位到初始状态的情况下,通过控制逻辑电路闭合所述第一开关组与所述第二开关组,以使所述第一无源开关电容积分器输出第一残差电压,以及通过控制逻辑电路闭合所述第三开

关组与所述第四开关组,以使所述第二无源开关电容积分器输出第二残差电压;通过双差分输入比较器接收所述第一残差电压与当前预设周期的输入电压之和作为第一差分输入信号,接收所述第二残差电压作为第二差分输入信号,以及输出比较结果;然后通过所述控制逻辑电路根据所述比较结果,输出多个开关控制信号至所述两个电容性模数转换阵列,以输出与所述当前预设周期的输入电压相对应的当前预设周期的数字数据。由此,本发明采用二阶无源混合型噪声整形技术通过两组无源开关电容积分器分别对于上一预设周期的残差电压进行采样与积分,并分别以误差反馈和前向相加的方式将两积分器输出馈入当前周期的输入采样信号一并进行转换,从而将模数转换器的带内量化噪声与比较器噪声调制到高频段,实现二阶高通噪声整形效果而抑制信号带内的相关噪声。

[0014] 本发明第二方面提供一种芯片,所述芯片包括所述的模数转换器

[0015] 有关本发明实施例提供的芯片的具体细节及益处可参阅上述针对模数转换器的描述,于此不再赘述。

[0016] 本发明的其它特征和优点将在随后的具体实施方式部分予以详细说明。

## 附图说明

[0017] 附图是用来提供对本发明实施例的进一步理解,并且构成说明书的一部分,与下面的具体实施方式一起用于解释本发明实施例,但并不构成对本发明实施例的限制。在附图中:

[0018] 图1是本发明一实施例提供的逐次逼近型模数转换器的结构图;

[0019] 图2是本发明一实施例提供的第一无源开关电容积分器的结构图;

[0020] 图3是本发明一实施例提供的第二无源开关电容积分器的结构图;

[0021] 图4是本发明一实施例提供的第一无源开关电容积分器与第二无源开关电容积分器在不同时刻的两种构型图;

[0022] 图5是本发明一实施例提供的逐次逼近型模数转换器工作时序图;以及

[0023] 图6是本发明一实施例提供的模数转换器的工作机制流程图。

## 具体实施方式

[0024] 以下结合附图对本发明的具体实施方式进行详细说明。应当理解的是,此处所描述的具体实施方式仅用于说明和解释本发明,并不用于限制本发明。

[0025] 图1是本发明一实施例提供一种模数转换器的结构图,所述模数转换器可包括:第一无源开关电容积分器10;第二无源开关电容积分器20;两个电容性模数转换阵列(即CDAC)30;控制逻辑电路40以及双差分输入比较器50,如图1所示。

[0026] 其中,所述第一无源开关电容积分器10可包括:2Q个第一电容以及串联连接所述2Q个第一电容中的Q个电容的第一开关组以及串联连接所述2Q个第一电容中的另外的Q个电容的第二开关组。

[0027] 其中,Q为正整数。例如,所述第一无源开关电容积分器可包括4个第一电容(即, $C_{A1}-C_{A4}$ );第一开关组 $S_{A9}$ 、 $S_{A10}$ ;以及第二开关组 $S_{A11}$ 、 $S_{A12}$ ,如图2所示。其中,所述第一电容的电容值(例如, $1/2C_{DAC}$ )等于所述电容性模数转换阵列30的总电容值(例如, $C_{DAC}$ )的1/2倍。

[0028] 其中,所述第二无源开关电容积分器20可包括:2Q个第二电容以及串联连接所述

2Q个第二电容中的Q个电容的第三开关组以及串联连接所述2Q个第二电容中的另外的Q个电容的第四开关组。

[0029] 例如,所述第二无源开关电容积分器可包括4个第二电容(即, $C_{B1}-C_{B4}$ );第三开关组 $S_{B9}$ 、 $S_{B10}$ ;以及第四开关组 $S_{B11}$ 、 $S_{B12}$ ,如图3所示。其中,所述第二电容的电容值(例如, $1/2C_{DAC}$ )等于所述电容性模数转换阵列30的总电容值(例如, $C_{DAC}$ )的1/2倍。

[0030] 其中,所述控制逻辑电路40用于在所述电容性模数转换阵列30中的电容复位到初始状态的情况下,闭合所述第一开关组与所述第二开关组,以使所述第一无源开关电容积分器输出第一残差电压,以及闭合所述第三开关组与所述第四开关组,以使所述第二无源开关电容积分器输出第二残差电压。

[0031] 具体地,所述第一残差电压为所述2Q个第一电容在上一预设周期的第一子残差电压之和,以及所述第二残差电压为所述2Q个第二电容在所述上一预设周期的第二子残差电压之和。

[0032] 例如,在启动信号( $\Phi RST$ 信号)恢复为高(即,所述电容性模数转换阵列30中的电容复位到初始状态)并且转换控制信号( $\Phi CNV$ 信号)拉高(如图5所示)之后,将无源开关电容积分器10中的第一开关组和第二开关组(即开关 $S_{A9}-S_{A12}$ )与无源开关电容积分器20中的第三开关组和第四开关组开关(即开关 $S_{B9}-S_{B12}$ )闭合,此时,无源开关电容积分器10与无源开关电容积分器20的构型如图4的右侧内容所示。将无源开关电容积分器10中经过无源积分的上一预设周期的子残差电压 $V_{EF}$ 进行2倍无源倍增后(即,第一残差电压为 $2V_{EF}$ )与输入电压串接,并加在双差分输入比较器50的第一差分输入端;同时,将无源开关电容积分器20中经过无源积分的上一预设周期的子残差电压 $V_{C1FF}$ 进行2倍无源倍增后(即,第二残差电压为 $2V_{C1FF}$ )加在第二差分输入端,如图1所示。

[0033] 其中,所述双差分输入比较器50用于接收所述第一残差电压与当前预设周期的输入电压之和作为第一差分输入信号,接收所述第二残差电压作为第二差分输入信号,以及输出比较结果。

[0034] 例如,所述双差分输入比较器的第一差分输入端的放大倍数为1;以及所述双差分输入比较器的第二差分输入端的放大倍数为5。

[0035] 具体地,在信号 $\Phi CNV$ 为高的时间内,当比较器控制信号 $\Phi CLKC$ 为高时,所述双差分输入比较器50将无源开关电容积分器10输出的 $2V_{EF}$ 与输入电压之和作为第一差分输入信号;同时,将无源开关电容积分器10输出的 $2V_{C1FF}$ 作为第二差分输入信号,然后,根据上式表示的信号输出相应的比较结果:当比较器的两正差分端所接收信号之和大于比较器两负差分端所接收信号之和时,比较结果为正,反之则为负。

[0036] 在所述双差分输入比较器输出比较结果的情况下,所述控制逻辑电路40还用于,根据所述比较结果,输出多个开关控制信号至所述两个电容性模数转换阵列,以输出与所述当前预设周期的输入电压相对应的当前预设周期的数字数据。

[0037] 具体地,所述控制逻辑电路40可根据双差分输入比较器50输出的比较结果,按照拆分开关电容阵列的开关切换方案对两个电容性模数转换阵列30中对应位上的电容进行开关切换。

[0038] 例如,当比较结果为正时,第k位的比较(转换)结果为1,通过控制逻辑电路40中的逐次逼近控制电路41控制相应开关来将位于输入正端的电容性模数转换阵列30中的第k位

对应的P侧电容的下极板由正参考电压 $V_{REFP}$ 改接为负参考电压 $V_{REFN}$ ,使得输入正端的电容性模数转换阵列30中的电容的上极板上的电压值 $V_{DACP}$ 降低 $(1/4)^k(V_{REFP}-V_{REFN})$ ;而通过所述逐次逼近控制电路41控制相应开关来将位于输入负端的电容性模数转换阵列30中的N侧电容的下极板由负参考电压 $V_{REFN}$ 改接为正参考电压 $V_{REFP}$ ,使得输入负端的电容性模数转换阵列30中的电容的上极板上的电压值 $V_{DACN}$ 升高 $(1/4)^k(V_{REFP}-V_{REFN})$ 。反之,当比较结果为负时,第k位的比较(转换)结果为0,将位于输入正端的电容性模数转换阵列30中的第k位对应的N侧电容的下极板由负参考电压 $V_{REFN}$ 改接为正参考电压 $V_{REFP}$ ,使得输入正端的电容性模数转换阵列30中的电容的上极板上的电压值 $V_{DACP}$ 升高 $(1/4)^k(V_{REFP}-V_{REFN})$ ,而位于输入负端的电容性模数转换阵列30中的P侧电容的下极板由正参考电压 $V_{REFP}$ 改接为负参考电压 $V_{REFN}$ ,使得输入负端的电容性模数转换阵列30中的电容的上极板上的电压值 $V_{DACN}$ 降低 $(1/4)^k(V_{REFP}-V_{REFN})$ ,以实现共模电平保持不变的二进制逐次逼近。

[0039] 整个逐次逼近过程如下式所示,其中,N为模数转换器的位/比特数, $D_k$ 表示第k位的转换结果, $V_{IP}$ 与 $V_{IN}$ 分别表示采样阶段采样至位于输入正端的电容性模数转换阵列(即CDAC)30的电压值与位于输入负端的电容性模数转换阵列30的电压值, $V_{REFP}$ 、 $V_{REFN}$ 分别表示正参考电压/电平、负参考电压/电平, $V_{DACP}$ 、 $V_{DACN}$ 分别表示位于输入正端的电容性模数转换阵列(即CDAC)30的电压值与位于输入负端的电容性模数转换阵列30的电压值:

$$[0040] \quad V_{DACP} = V_{IP} - \sum_{k=1}^{N-1} \frac{1}{4^k} (2D_k - 1) (V_{REFP} - V_{REFN}) \quad (k \geq 1),$$

$$[0041] \quad V_{DACN} = V_{IN} - \sum_{k=1}^{N-1} \frac{1}{4^k} (1 - 2D_k) (V_{REFP} - V_{REFN}) \quad (k \geq 1),$$

$$[0042] \quad (V_{DACP} - V_{DACN}) = (V_{IP} - V_{IN}) - \sum_{k=1}^{N-1} \frac{1}{2^k} D_k (V_{REFP} - V_{REFN}) \quad (k \geq 1)。$$

[0043] 当比较进行至最后一位时,若比较结果为正,则将位于输入正端的电容性模数转换阵列(即CDAC)30中的最低位的正极(P)侧电容的下极板由正参考电压改接为负参考电压,以在差分的电容性模数转换阵列(即CDAC)30的电容的上极板上产生正确的余差电压( $V_{RES}$ ),完成逐次逼近转换;反之,则将位于输入负端的电容性模数转换阵列(即CDAC)30的最低位的正极(P)侧电容的下极板由正参考电压改接为负参考电压,并完成逐次逼近转换。

[0044] 下面分别对上述实施例中的第一电容在所述上一预设周期的第一子残差电压以及第二电容在所述上一预设周期的第二子残差电压进行介绍。

[0045] 所述第一无源开关电容积分器10还可包括:并联连接所述2Q个第一电容的第五开关组,相应地,在输出与所述上一预设周期的输入电压相对应的所述上一预设周期的数字数据之后,所述控制逻辑电路还用于,通过闭合所述第五开关组来将所述两个电容性模数转换阵列的上极板的残差电压分配至所述2Q个第一电容,以使所述第一电容的电压为所述第一子残差电压。

[0046] 例如,所述第一无源开关电容积分器10还可包括:并联连接4个第一电容的第五开关组(例如,图2所示的开关 $S_{A1}$ - $S_{A8}$ )。



[0047] 所述第二无源开关电容积分器20还可包括:并联连接所述2Q个第二电容的第六开关组,相应地,在执行所述通过闭合所述第五开关组来将所述两个电容性模数转换阵列的上极板的残差电压分配至所述2Q个第一电容的步骤之后,所述控制逻辑电路还用于断开所述第五开关组,并通过闭合所述第六开关组来将所述两个电容性模数转换阵列的上极板的更新的残差电压分配至所述2Q个第二电容,以使所述第二电容的电压为所述第二子残差电压。

[0048] 例如,所述第二无源开关电容积分器20还可包括:并联连接4个第二电容的第六开关组(例如,图2所示的开关 $S_{B1}$ - $S_{B8}$ )。

[0049] 具体地,在所述上一预设周期转换得到相应的数字数据之后,在模拟域上,控制逻辑电路40控制信号 $\Phi_{EF}$ 拉高以导通无源开关电容积分器10中的第五开关组(即,开关 $S_{A1}$ - $S_{A8}$ ,此时无源开关电容积分器10的构型如图4的左侧内容所示),从而可将所述电容性模数转换阵列30的所有电容的上极板上的残差电压以差分方式通过电容间的电荷重分配采样至积分电容 $C_{A1}$ - $C_{A4}$ 上,以实现一阶无源积分。这一过程满足下式,其中 $V_{EF}$ 为第一电容在上一预设周期的第一子残差电压:

$$[0050] \quad V_{EF} = V_{RES} \frac{0.2z^{-1}}{1 - 0.8z^{-1}},$$

[0051] 在 $\Phi_{EF}$ 恢复为低(断开开关 $S_{A1}$ - $S_{A8}$ )后,控制逻辑电路40控制信号 $\Phi_{C1FF}$ 拉高以导通无源开关电容积分器20中的第六开关组(即,开关 $S_{B1}$ - $S_{B8}$ ,此时无源开关电容积分器20的构型如图4的左侧内容所示)将所述电容性模数转换阵列30的所有电容的上极板上的更新的残差电压(即电容性模数转换阵列30经过无源开关电容积分器10采样后的残差电压,其数值等于电容 $C_{A1}$ - $C_{A4}$ 中的各个电容上的电压 $V_{EF}$ )以差分方式利用电荷重分配采样至积分电容 $C_{B1}$ - $C_{B4}$ 上,实现二阶无源积分。这一过程满足下式,其中 $V_{C1FF}$ 为第二电容在上一预设周期的第二子残差电压:

$$[0052] \quad V_{C1FF} = V_{EF} \frac{0.2z^{-1}}{1 - 0.8z^{-1}} = V_{RES} \left( \frac{0.2z^{-1}}{1 - 0.8z^{-1}} \right)^2。$$

[0053] 将无源开关电容积分器10输出的 $2V_{EF}$ 与输入电压之和作为所述双差分输入比较器50的第一差分输入信号;同时,将无源开关电容积分器10输出的 $2V_{C1FF}$ 作为第二差分输入信号,因此,逐次逼近控制电路41输出下式表示的信号(离散域的系统信号传递函数):

$$[0054] \quad D_{OUT}(z) = V_{INPUT}(z) + 4V_{EF}(z) + 5 \times 4V_{C1FF}(z) = V_{INPUT}(z) + (1 - 0.8z^{-1})^2 Q(z),$$

[0055] 其中, $z$ 为离散域的变量, $V_{C1FF}$ 所对应的5倍额外增益通过比较器的第二差分输入端的晶体管的尺寸与第一差分输入端的晶体管的尺寸成相应的倍数实现。

[0056] 上述二阶无源混合型噪声整形技术通过两组无源开关电容积分器分别对于转换后的残差电压进行采样与积分,而后分别以误差反馈和前向相加的方式将两积分器输出馈入下一周期的输入采样信号一并进行转换,从而将模数转换器的带内量化噪声与比较器噪声调制到高频段,实现二阶高通噪声整形效果。这一方案能够更有效地降低信号带宽内的量化噪声与比较器噪声,能够在进一步提高模数转换器带内信噪比的同时维持较小的芯片面积。

[0057] 对于电容性模数转换阵列(即CDAC)30,其包括: $N$ 对电容及相应的 $N$ 对开关。其中,每对电容与一个数据位相对应,具体地,所述 $N$ 对电容包括一对最高位电容(包括正极侧的

最高位电容与负极侧的最高位电容)和N-1对其他低位电容(包括正极侧的N-2个中间低位电容、负极侧的N-2个中间低位电容、及正极侧的1个最低位电容与1个补位电容),其依次对应最高位数据及低N-1位数据。

[0058] 尽管过采样与噪声整形技术可以有效提高模数转换器的带内信噪比,但无法降低电容阵列失配所引入的谐波失真对模数转换器的影响,而后者往往对高分辨率模数转换器的信噪比具有更大的影响。

[0059] 针对上述技术问题,在本实施例中,基于预测的输入信号预偏移技术针对于误差反馈式失配误差整形需要将上一预设周期低位转换结果馈入当次转换的机制,利用过采样的特点,根据上一预设周期的转换结果对下一周期馈入低位结果后的“待转换电压值”所处区间进行预测;并据此利用电容阵列的高位电容进行预切换而实现输入预偏移,从而使得待转换电压不超过输入信号范围的满摆幅,保证了输入的动态范围不受影响。需要注意的是,由于本方案采用的是两点预测技术,故其能够有效地避免引入新的谐波。

[0060] 在一实施例中,所述数字数据可为N位数据,以及所述模数转换器还可包括:采样开关电路60,如图1所示。

[0061] 在所述两个电容性模数转换阵列中的电容复位到初始状态之前,所述控制逻辑电路40还用于执行以下操作:根据关于所述当前预设周期的预测值,将所述两个电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至不同的参考电压;导通所述采样开关电路,以将所述当前预设周期的输入电压采样至所述电容性模数转换阵列;以及断开所述采样开关电路,并将所述电容性模数转换阵列中的各个电容复位至初始状态,以馈入与所述参考电压相应的预偏移补偿量及所述上一预设周期输出的N位数据中的低N-1位数据。

[0062] 其中,所述控制逻辑电路40用于将所述两个电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至不同的参考电压可包括:在关于所述当前预设周期的预测值为1的情况下,将位于输入正端的所述电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至正参考电压,以及将位于输入负端的所述电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至负参考电压;或者在关于所述当前预设周期的预测值为0的情况下,将位于输入正端的所述电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至负参考电压,以及将位于输入负端的所述电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至正参考电压。

[0063] 其中,所述控制逻辑电路40用于将所述电容性模数转换阵列中的各个电容复位至初始状态可包括:将所述电容性模数转换阵列中的正极侧的电容的下极板连接至正参考电压,以及将所述电容性模数转换阵列中的负极侧的电容的下极板接地。

[0064] 具体地,在获取关于所述当前预设周期的预测值之后,根据相应的预测结果控制两个所述电容性模数转换阵列30的最高位电容的下极板一并改接到正参考电压(预测结果为正)或负参考电压(结果为负)输入预偏移,以为输入预偏移做准备:结果为正时,正极(P)侧的最高位电容的下极板均改接到正参考电压,负极(N)侧的最高位电容的下极板均改接到负参考电压;而预测结果为负时,反之。

[0065] 在一预设周期开始时,控制逻辑电路40将采样控制信号 $\Phi$ CLKS拉高并保持4个时钟周期,以导通采样开关,从而可将输入信号差分采样至正负两端的所述电容性模数转换

阵列30上；其余的低位电容的下极板所连接的开关维持上一预设周期的连接不变，将上一预设周期的低位转换结果保持在对应位上，以实现（低位电容相较最高位电容的）失配误差整形。

[0066] 采用控制信号 $\Phi$ CLKS变为低（即断开采样开关电路60）后，经过一个短的延时，启动信号 $\Phi$ RST拉低一个时钟周期以将所述电容性模数转换阵列30中的所有电容复位到初始状态：将P侧的所有电容的下极板改接正参考电压，而N侧的所有电容的下极板改接到地。复位时，同时完成失配误差整形所需的上一预设周期的低位转换结果的馈入以及消除失配误差整形影响所需的输入预偏移补偿量 $\pm 1/2(V_{REFP} - V_{REFN})$ （在关于所述当前预设周期的预测值为1的情况下，将位于输入正端的所述电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至正参考电压，以及将位于输入负端的所述电容性模数转换阵列中的正极侧与负极侧的最高位电容的下极板连接至负参考电压，在此情况下，复位阶段引入的补偿量为负值，即， $-1/2(V_{REFP} - V_{REFN})$ ；反之，复位阶段引入的补偿量为正值，即， $+1/2(V_{REFP} - V_{REFN})$ ）的引入两个操作。预偏移操作可以将前次低位转换结果馈入所带来的输入信号过载抵消，使得馈入后的待转换信号仍然处于模数转换器的正常输入范围内，从而避免了采用失配误差整形所引起的输入动态范围损失。由于本方案仅需增加数组加法器，不需要额外的动态元件匹配电路，同时消除了原有失配误差整形方案对于输入动态范围的影响，实现简单且具有良好的鲁棒性。

[0067] 由于在转换之前（即模拟域上）引入了上一预设周期输出的低N-1位数据 $DAC_{LSB}(n-1)$ 和预偏移补偿量 $DAC_{PRE}(n)$ ，如图6所示，故可针对转换后的当前预设周期的N位数据进行相应的修正。

[0068] 在执行所述输出与所述当前预设周期的输入电压相对应的当前预设周期的数字数据的步骤之后，所述控制逻辑电路40还用于执行以下操作：将所述当前预设周期输出的N位数据减去所述上一预设周期输出的N位数据中的低N-1位数据，以获取N位差值；以及将所述N位差值减去与所述预偏移补偿量相对应的数值，以输出与所述当前预设周期的输入电压对应的所述当前预设周期的补偿后的N位数据。

[0069] 具体地，由于在模拟域上向输入信号中加入了上一预设周期的低位信号，故转换完成后，在数字域上，模数转换器输出的10位数据 $D\langle 1:10 \rangle$ （当前预设周期n的低9位数据 $D_{LSB}(n)$ 与当前预设周期n的最高位数据 $D_{MSB}(n)$ 之和）进入减法器，用 $D\langle 1:10 \rangle$ 减去对应寄存器中所存储的上一预设周期n-1的低9位转换结果（即， $D_{LSB}(n-1)$ ），如图6所示，从而对低位电容相较最高位的失配 $E(n)$ 构造相应的高通整形传递函数 $(1-z^{-1})$ ，实现一阶高通失配误差整形。

[0070] 理由如下：由于实际低位电容相较于最高位电容存在失配，模式转换器（DAC）的低位转换结果将携带着相应的失配误差 $E(n)$ （其中 $DAC_{LSB}(n)$ 表示留在CDAC相应电容下极板上的低位转换结果， $D_{LSB}(n)$ 表示输出的数字码中除最高位之外的低9位结果），

[0071]  $DAC_{LSB}(n) = D_{LSB}(n) + E(n)$ ；

[0072] 失配整形（MES）技术依靠将携带着失配误差 $E(n)$ 的上一周期的转换结果低位返回到当前周期，对 $E(n)$ 构造一个高通整形函数而实现。在模拟域上，只需要在采样期间仍将上一次转换的低位（LSB）结果保留在相应的电容下极板上，待采样完成后再进行复位即可实现输入信号与 $DAC_{LSB}(n)$ 的相加：

[0073]  $V_{\text{INPUT}}(n) + \text{DAC}_{\text{LSB}}(n-1) - \text{DAC}_{\text{MSB}}(n) - \text{DAC}_{\text{LSB}}(n) = 0$ ;

[0074] 由于在模拟域上向输入信号中加入了上一周期的低位信号,因此,转换完成后,在数字域上,模数转换器的10位输出 $D\langle 1:10 \rangle$ 进入减法器,减去对应寄存器中所存储的上一周期的低9位转换结果,以将所馈入的上一周期低位结果减去,对低位电容相较最高位的失配 $E(n)$ 构造相应的高通整形传递函数 $(1-z^{-1})$ ,实现一阶高通失配误差整形:

[0075]  $D_{\text{OUT}}(n) = D_{\text{MSB}}(n) + D_{\text{LSB}}(n) - D_{\text{LSB}}(n-1)$ 。

[0076] 将上述前两个公式代入第三个公式中,整理得到

[0077]  $D_{\text{OUT}}(n) = V_{\text{INPUT}}(n) + E(n-1) - E(n)$ ,

[0078] 也即:

[0079]  $D_{\text{OUT}}(z) = V_{\text{INPUT}}(z) + (1-z^{-1})E(z)$ ,

[0080] 其等效于对输出结果中所带的失配误差进行了一阶高通整形。

[0081] 而后,将上述减法结果送入加减法器,以减去与所述预偏移补偿量相对应的数值(即,图6所示的 $D_{\text{PRE}}(n)$ ),将输出结果作为与当前预设周期的补偿后的输出数字量 $S\langle 1:10 \rangle$ 。具体地,根据关于所述当前预设周期的预测值,在关于所述当前预设周期的预测值为1的情况下,复位阶段引入的补偿量为负值(即,  $-1/2(V_{\text{REFP}} - V_{\text{REFN}})$ ),则将上述减法结果加上 $1/2(V_{\text{REFP}} - V_{\text{REFN}})$ ;反之,在关于所述预设周期的预测值为0的情况下,复位阶段引入的补偿量为正值(即,  $+1/2(V_{\text{REFP}} - V_{\text{REFN}})$ ),则将上述减法结果减去 $1/2(V_{\text{REFP}} - V_{\text{REFN}})$ 。

[0082] 在获取当前预设周期的补偿后的N位数据之后,所述控制逻辑电路40还用于,将所述当前预设周期的补偿后的N位数据与所述当前预设周期输出的N位数据中的低N-1位数据相加,以获取关于下一预设周期的预测值。

[0083] 具体地,所述控制逻辑电路40中的输出处理与预测电路42将所述当前预设周期的补偿后的N位数据 $S\langle 1:10 \rangle$ 与所述当前预设周期输出的N位数据中的低N-1位数据 $D_{\text{LSB}}(n)$ 相加,以获取关于下一预设周期的预测值。

[0084] 根据关于所述下一预设周期的预测值的正负,所述输出处理与预测电路42进而将相应的控制位设为0(预测值为正)或1(预测值为负),而后在当前预设周期的最后一个时钟上升沿且 $\Phi_{\text{SET}}$ 信号为高时,将控制位的值送入最高位电容的控制开关,通过改接最高位电容的下极板来实现基于输入信号范围预测的输入信号预偏移。

[0085] 由于模数转换过程需要用到上一预设周期的相应结果,故在上述实施例中限定了相应的预设周期,但需要注意的是,上述各个实施例中的模数转换过程中的各个步骤不限于相应的预设周期(例如,当前预设周期),其可类似地适用于各个预设周期(例如,上一预设周期或下一预设周期)。

[0086] 下面对当前预设周期中的模数转换过程进行描述,其主要包括以下步骤S1-S8。

[0087] S1:在上一预设周期的最后一个时钟上升沿, $\Phi_{\text{SET}}$ 信号为高,根据上一预设周期对当前预设周期的相应预测结果,可控制电容性模数转换阵列30中的正极侧与负极侧的最高位电容的下极板一并改接到正参考电压(预测结果为正)或负参考电压(结果为负),以为输入预偏移做好准备。

[0088] S2:当前预设周期开始时,采样控制信号 $\Phi_{\text{CLKS}}$ 拉高并保持4个时钟周期,以导通采样开关,从而将输入信号差分采样至两个电容性模数转换阵列30上;其余的低位电容的下极板所连接的开关维持上一预设周期的连接不变,以将上一预设周期的低位转换结果保

持在对应位上,从而实现(低位电容相较最高位电容的)失配误差整形。

[0089] S3:控制信号 $\Phi\text{CLKS}$ 变为低后,经过一个短的延时,启动信号 $\Phi\text{RST}$ 拉低一个时钟周期,将两个电容性模数转换阵列30中的所有电容复位到初始状态。

[0090] S4: $\Phi\text{RST}$ 信号恢复为高后, $\Phi\text{CNV}$ 信号拉高以将无源开关电容积分器10中的开关 $S_{A9}-S_{A12}$ 与无源开关电容积分器20中的开关 $S_{B9}-S_{B12}$ 闭合,将无源开关电容积分器10中经过无源积分的上一预设周期的子残差电压 $V_{\text{EF}}$ 进行2倍无源倍增后(即,第一残差电压为 $2V_{\text{EF}}$ )与输入电压串接,并加在双差分输入比较器50的第一差分输入端;同时,将无源开关电容积分器20中经过无源积分的上一预设周期的子残差电压 $V_{\text{C1FF}}$ 进行2倍无源倍增后(即,第二残差电压为 $2V_{\text{C1FF}}$ )加在第二差分输入端。

[0091] S5:在控制信号 $\Phi\text{CNV}$ 为高的时间内,当比较器控制信号 $\Phi\text{CLKC}$ 为高时,双差分输入比较器50将无源开关电容积分器10输出的 $2V_{\text{EF}}$ 与输入电压之和作为第一差分输入信号;同时,将无源开关电容积分器10输出的 $2V_{\text{C1FF}}$ 作为第二差分输入信号,并输出比较结果。根据比较器的输出,按照拆分开关电容阵列的开关切换方案对两个电容性模数转换阵列30中对应位上的电容进行开关切换。

[0092] S6:转换完成后,在模拟域上,控制信号 $\Phi\text{EF}$ 拉高以导通无源开关电容积分器10中的开关 $S_{A1}-S_{A8}$ ,将电容性模数转换阵列30的上极板上的残差电压以差分方式通过电容间的电荷重分配采样至积分电容 $C_{A1}-C_{A4}$ 上,以实现一阶无源积分。 $\Phi\text{EF}$ 恢复为低后,控制信号 $\Phi\text{C1FF}$ 拉高以导通无源开关电容积分器20中的开关 $S_{B1}-S_{B8}$ ,将电容性模数转换阵列30的上极板上的残差电压以差分方式利用电荷重分配采样至积分电容 $C_{B1}-C_{B4}$ 上,实现二阶无源积分。

[0093] S7:由于在模拟域上向输入信号中加入了上一预设周期的低位信号,因此转换完成后,在数字域上,模数转换器输出的10位数据 $D\langle 1:10 \rangle$ 进入减法器,用 $D\langle 1:10 \rangle$ 减去对应寄存器中所存储的 $D_{\text{LSB}}(n-1)$ ,如图6所示,实现一阶高通失配误差整形。而后,将上述减法结果送入加减法器,根据所述当前预设周期的预测值减去与所述预偏移补偿量相对应的数值 $D_{\text{PRE}}(n)$ ,将输出结果作为与当前预设周期的补偿后的输出数字量 $S\langle 1:10 \rangle$ 。

[0094] S8:输出处理与预测电路42将所述当前预设周期的补偿后的N位数据 $S\langle 1:10 \rangle$ 与所述当前预设周期输出的N位数据中的低N-1位数据 $D_{\text{LSB}}(n)$ 相加,以获取关于下一预设周期的预测值。根据关于所述下一预设周期的预测值的正负,所述输出处理与预测电路42进而将相应的控制位设为0(预测值为正)或1(预测值为负),而后在当前预设周期的最后一个时钟上升沿且 $\Phi\text{SET}$ 信号为高时,将控制位的值送入最高位电容的控制开关,通过改接最高位电容的下极板来实现基于输入信号范围预测的输入信号预偏移。

[0095] 上述实施例主要采用无源混合型噪声整形技术与基于预测的输入信号预偏移技术两种技术以进一步提高模数转换器的信号带内信噪比,在较低的系统复杂度、较小的芯片面积与较低的功耗下实现较高的信噪比与无杂散动态范围(SFDR)。上述方案可被应用于低功耗传感器系统中,能够有效降低信号带宽内的量化噪声,提高模数转换器的带内信噪比,并可在具备良好的失配误差整形(消除)效果的同时消除失配误差整形技术对于模数转换器输入动态范围的影响,有效地提高系统中模数转换器的分辨率与线性度。

[0096] 综上所述,本发明创造性地在所述两个电容性模数转换阵列中的电容复位到初始状态的情况下,通过控制逻辑电路闭合所述第一开关组与所述第二开关组,以使所述第一

无源开关电容积分器输出第一残差电压,以及通过控制逻辑电路闭合所述第三开关组与所述第四开关组,以使所述第二无源开关电容积分器输出第二残差电压;通过双差分输入比较器接收所述第一残差电压与当前预设周期的输入电压之和作为第一差分输入信号,接收所述第二残差电压作为第二差分输入信号,以及输出比较结果;然后通过所述控制逻辑电路根据所述比较结果,输出多个开关控制信号至所述两个电容性模数转换阵列,以输出与所述当前预设周期的输入电压相对应的当前预设周期的数字数据。由此,本发明采用二阶无源混合型噪声整形技术通过两组无源开关电容积分器分别对于上一预设周期的残差电压进行采样与积分,并分别以误差反馈和前向相加的方式将两积分器输出馈入当前周期的输入采样信号一并进行转换,从而将模数转换器的带内量化噪声与比较器噪声调制到高频段,实现二阶高通噪声整形效果而抑制信号带内的相关噪声。

[0097] 本发明一实施例还提供一种芯片,所述芯片包括所述的模数转换器。

[0098] 有关本发明实施例提供的芯片的具体细节及益处可参阅上述针对模数转换器的描述,于此不再赘述。

[0099] 以上结合附图详细描述了本发明的优选实施方式,但是,本发明并不限于上述实施方式中的具体细节,在本发明的技术构思范围内,可以对本发明的技术方案进行多种简单变型,这些简单变型均属于本发明的保护范围。

[0100] 另外需要说明的是,在上述具体实施方式中所描述的各个具体技术特征,在不矛盾的情况下,可以通过任何合适的方式进行组合,为了避免不必要的重复,本发明对各种可能的组合方式不再另行说明。

[0101] 本领域技术人员可以理解实现上述实施例方法中的全部或部分步骤是可以通过程序来指令相关的硬件来完成,该程序存储在一个存储介质中,包括若干指令用以使得单片机、芯片或处理器(processor)执行本申请各个实施例所述方法的全部或部分步骤。而前述的存储介质包括:U盘、移动硬盘、只读存储器(ROM,Read-Only Memory)、随机存取存储器(RAM,Random Access Memory)、磁碟或者光盘等各种可以存储程序代码的介质。

[0102] 此外,本发明的各种不同的实施方式之间也可以进行任意组合,只要其不违背本发明的思想,其同样应当视为本发明所公开的内容。

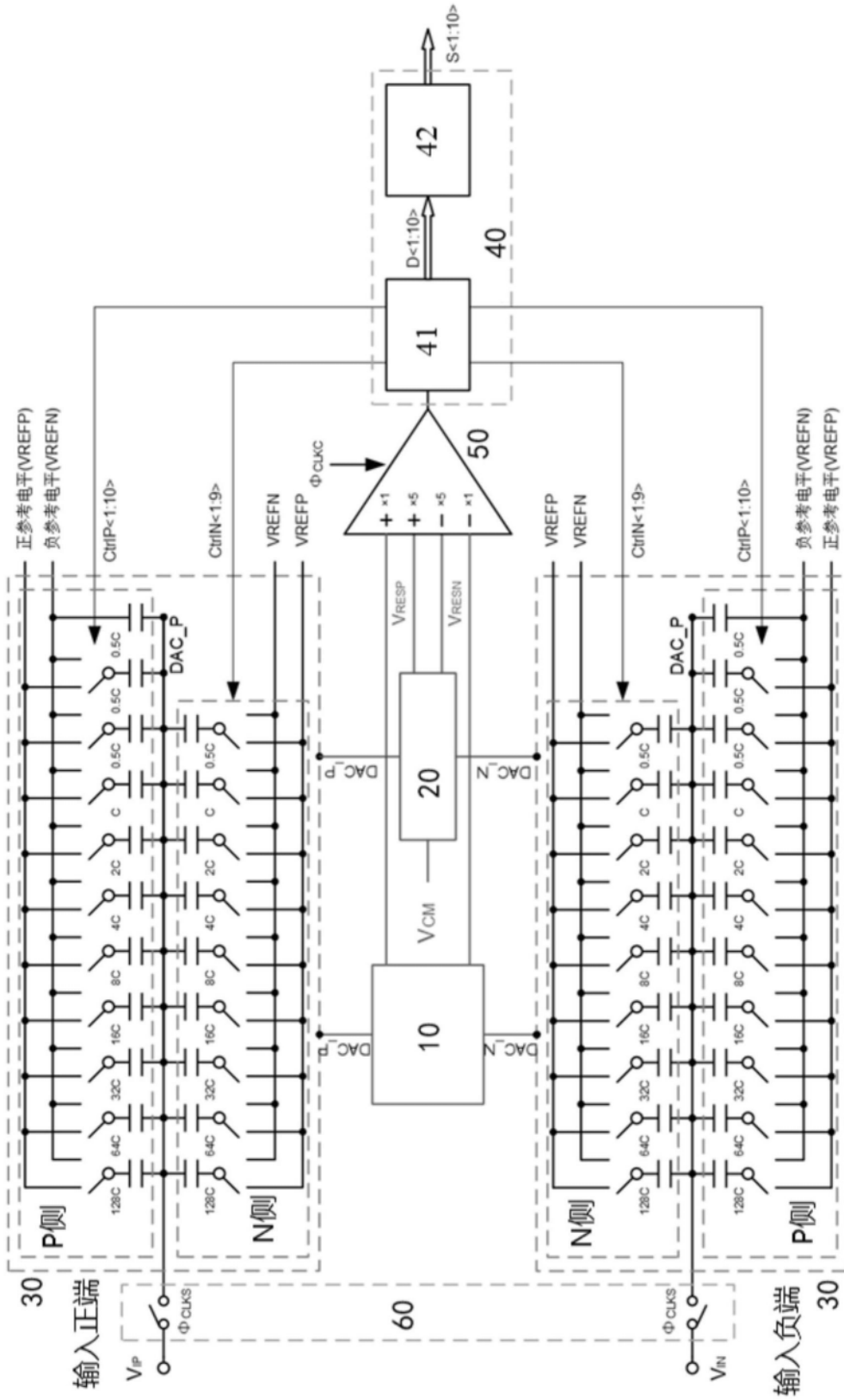


图1

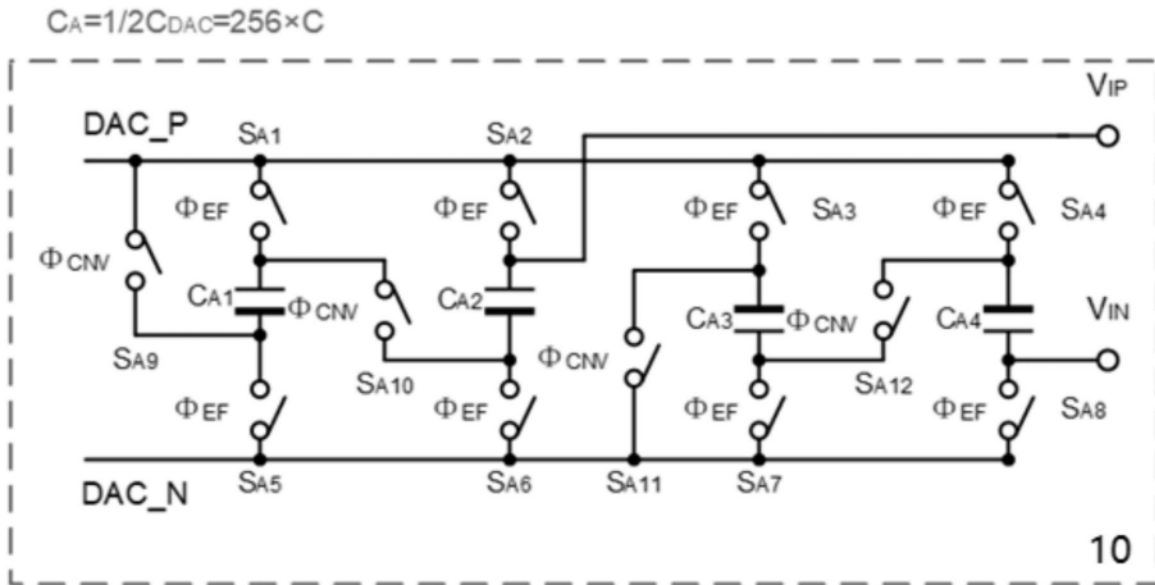


图2

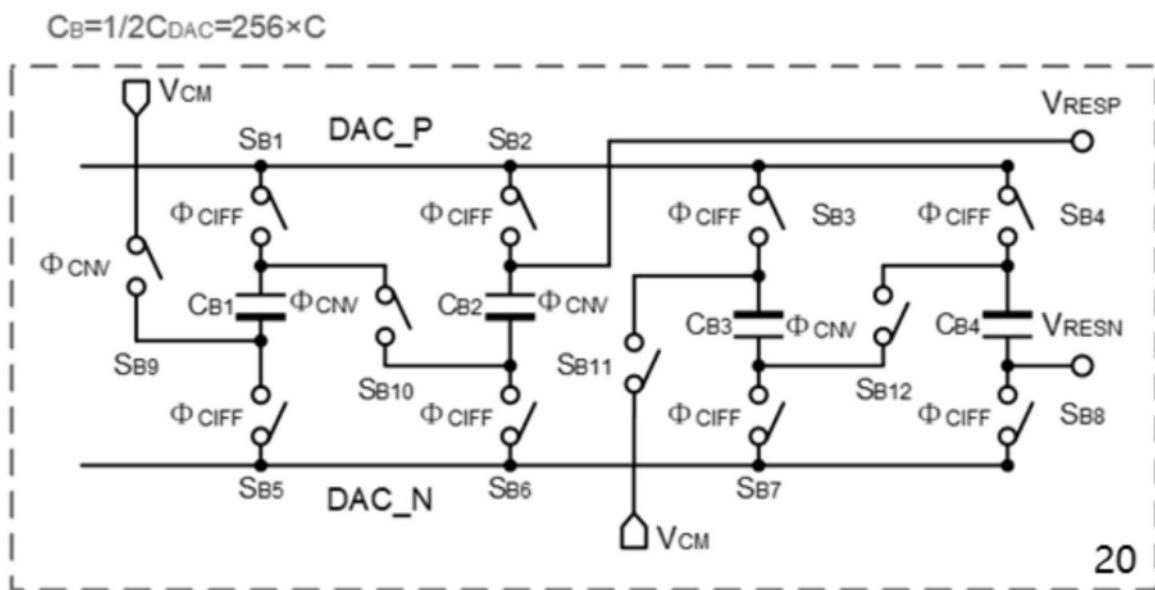


图3



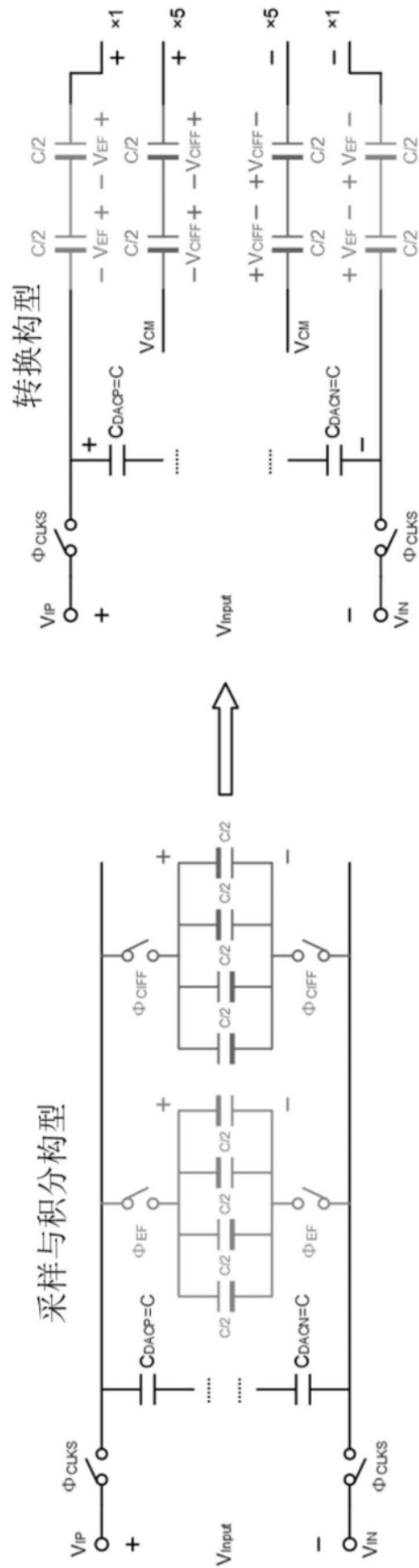


图4

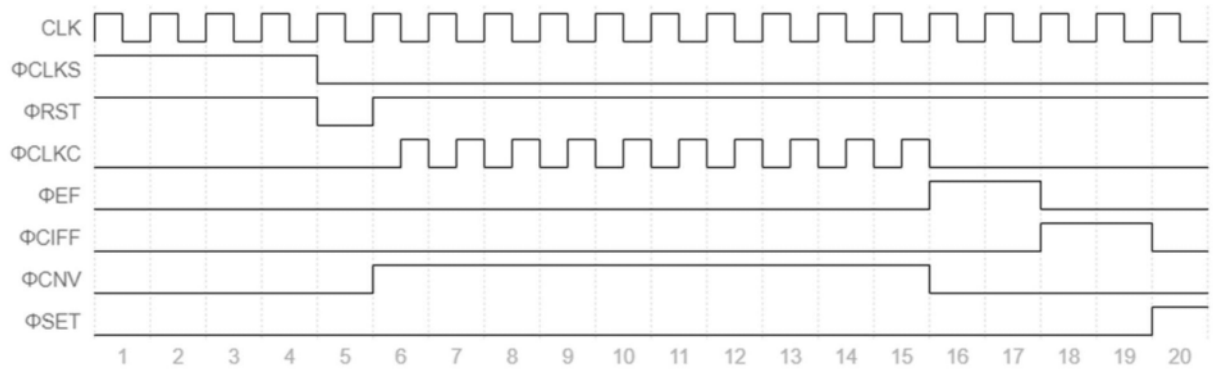


图5

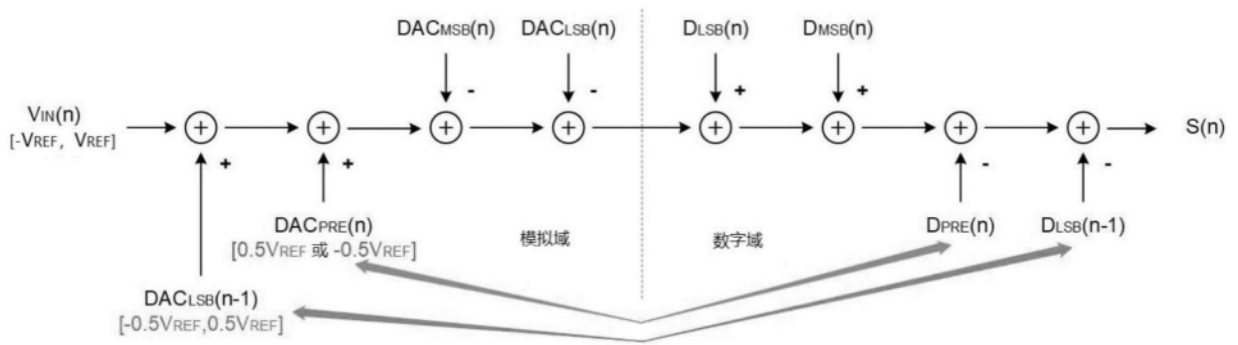


图6