



(21)申請案號：099102491

(22)申請日：中華民國 99 (2010) 年 01 月 29 日

(51)Int. Cl. : H01L25/10 (2006.01)

H01L25/18 (2006.01)

H01L23/48 (2006.01)

(71)申請人：財團法人國家實驗研究院國家晶片系統設計中心(中華民國) NATIONAL CHIP IMPLEMENTATION CENTER NATIONAL APPLIED RESEARCH LABORATORIES (TW)

新竹市科學園區展業一路 26 號 7 樓

(72)發明人：黃俊銘 HUANG, CHUN MING (TW)；魏慶隆 WEY, CHIN LONG (TW)；吳建明 WU, CHIEN MING (TW)；楊智喬 YANG, CHIH CHYAU (TW)；陳世綸 CHEN, SHIH LUN (TW)；陳麒旭 CHEN, CHI SHI (TW)；林棋勝 LIN, CHI SHENG (TW)

(74)代理人：傅尹坤

(56)參考文獻：

EP 0586888B1

US 5544017

US 6249052B1

US 2008/0036049A1

US 2008/0048309A1

US 2009/0236143A1

US 2004/00256709A1

審查人員：陳聖

申請專利範圍項數：11 項 圖式數：8 共 31 頁

(54)名稱

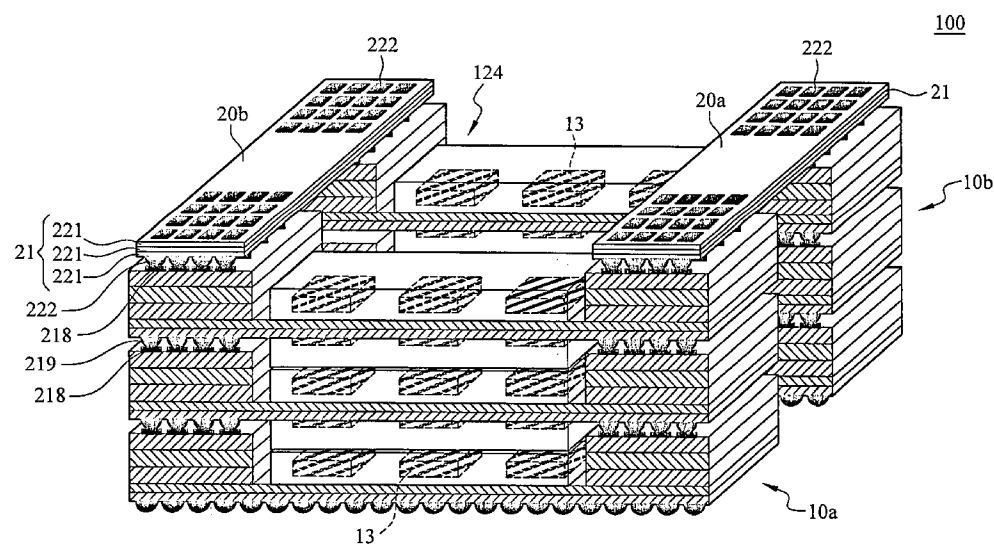
多基板晶片模組堆疊之三維系統晶片結構

THREE-DIMENSIONAL SOC STRUCTURE STACKING BY MULTIPLE CHIP MODULES

(57)摘要

本發明係為一種多基板晶片模組堆疊之三維系統晶片結構，其包括：垂直系統晶片模組以及連接模組，而連接模組係用以連接於兩垂直系統晶片模組之間，使其得以彼此電性連接。垂直系統晶片模組係由兩個以上的基板晶片模組相互垂直堆疊構成，並且每一基板晶片模組具有：模組電路板及預置元件，而模組電路板形成有凹部，並且在凹部內又設置有第一連接介面，可用以電性結合預置元件。垂直系統晶片模組可藉由連接模組堆疊結合，以構成具備完整功能的三維系統晶片結構。此外，模組電路板所形成得凹部可使得預置元件獲得良好的散熱效能。

The present invention discloses a three-dimensional SoC structure stacking by multiple chip modules. The three-dimensional SoC structure includes at least two vertical SoC modules and at least one connector module. Each connector module electrically connects two vertical SoC modules. The vertical SoC module is constructed by stacking at least two chip modules vertically. Each chip module includes a circuit board and at least one preset element. A recess is formed in the circuit board and a first connecting interface is disposed in the recess to configure to electrically connect to the preset element. The vertical SoC modules are stacked through the connector module to construct a three-dimensional SoC structure with complete functions. Besides, the recess formed in the circuit board can provide a better heat dissipation path of the preset element.



第 1 圖

- 100 . . . 多基板晶片  
模組堆疊之三維系統  
晶片
- 10a、10b . . . 垂直  
系統晶片模組
- 124 . . . 凹部
- 128 . . . 第二連接介  
面
- 129 . . . 第三連接介  
面
- 13 . . . 預置元件
- 20a、20b . . . 連接  
模組
- 21 . . . 連接電路板
- 211 . . . 線路層
- 212 . . . 第四連接介  
面

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99102491

※申請日：99.1.29

※IPC 分類：H01L 25/10 (2006.01)

一、發明名稱：(中文/英文)

H01L 25/18 (2006.01)

H01L 23/48 (2006.01)

多基板晶片模組堆疊之三維系統晶片結構

THREE-DIMENSIONAL SoC STRUCTURE STACKING BY MULTIPLE  
CHIP MODULES

## 二、中文發明摘要：

本發明係為一種多基板晶片模組堆疊之三維系統晶片結構，其包括：垂直系統晶片模組以及連接模組，而連接模組係用以連接於兩垂直系統晶片模組之間，使其得以彼此電性連接。垂直系統晶片模組係由兩個以上的基板晶片模組相互垂直堆疊構成，並且每一基板晶片模組具有：模組電路板及預置元件，而模組電路板形成有凹部，並且在凹部內又設置有第一連接介面，可用以電性結合預置元件。垂直系統晶片模組可藉由連接模組堆疊結合，以構成具備完整功能的三維系統晶片結構。此外，模組電路板所形成得凹部可使得預置元件獲得良好的散熱效能。

### 三、英文發明摘要：

The present invention discloses a three-dimensional SoC structure stacking by multiple chip modules. The three-dimensional SoC structure includes at least two vertical SoC modules and at least one connector module. Each connector module electrically connects two vertical SoC modules. The vertical SoC module is constructed by stacking at least two chip modules vertically. Each chip module includes a circuit board and at least one preset element. A recess is formed in the circuit board and a first connecting interface is disposed in the recess to configure to electrically connect to the preset element. The vertical SoC modules are stacked through the connector module to construct a three-dimensional SoC structure with complete functions. Besides, the recess formed in the circuit board can provide a better heat dissipation path of the preset element.

#### 四、指定代表圖：

(一)本案指定代表圖為：第( 1 )圖。

(二)本代表圖之元件符號簡單說明：

- 100 ..... 多基板晶片模組堆疊之三維系統晶片
- 10a、10b ..... 垂直系統晶片模組
- 124 ..... 凹部
- 128 ..... 第二連接介面
- 129 ..... 第三連接介面
- 13 ..... 預置元件
- 20a、20b ..... 連接模組
- 21 ..... 連接電路板
- 211 ..... 線路層
- 212 ..... 第四連接介面

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係為一種多基板晶片模組堆疊之三維系統晶片結構，特別為一種應用於系統晶片之多基板晶片模組堆疊之三維系統晶片結構。

### 【先前技術】

系統晶片(System-On-Chip, SoC)是一種系統級的整合晶片，其可包含運算功能元件，例如微處理器、數位訊號處理器、影像處理器…等，另外可再加上記憶體、邏輯電路、輸出入電路與其他連接電路。綜合來說，系統晶片是將原本分處在不同晶片上，負責不同功能的積體電路元件整合在單晶片上，而這種晶片則被視為一個已包含完整功能的系統。

綜觀目前系統晶片的開發流程，在前端設計階段中，是由系統開發者規劃所需的元件與架構，這些元件與架構可能出自系統開發者自己的設計，或是由第三方(Third Party)廠商所提供。在後端製造及驗證階段中，系統開發者仍必須自行設計生產並進行驗證。

從設計、製造與驗證的整體角度觀察，系統開發者除了在设计階段可以引入部分委外設計矽智產(silicon intellectual property, SIP)外，其餘大部分的步驟仍然無法引入委外設計。雖然如此一來系統開發者可擁有較大的自主權，並可對產品設計進行最佳化的調整，然而其代價卻是高昂的人力與時間成本。因此，對於系統開發者而言，若能將設計整合延伸至製造

及驗證階段，也就是將此系統晶片的部分實體採用預先製造與驗證完成的成品，而系統開發者只需專注於系統功能擴充部分的設計、製造與驗證，應可大幅縮短系統晶片的開發時間及測試流程，進而降低設計錯誤機率並可減少開發成本。

再者，由於消費者對電子產品在縮小其體積上的要求越來越高，因此若能有效減少系統晶片的體積，將可有助於縮小電子產品的體積，以符合消費者的需求。

### 【發明內容】

本發明係為一種多基板晶片模組堆疊之三維系統晶片結構，其係藉由連接模組電性連接於二垂直系統晶片模組之間，以構成三維結構的系統晶片，以使得系統晶片的整體體積可有效地縮小。

本發明係為一種多基板晶片模組堆疊之三維系統晶片結構，其係利用二個以上的基板晶片模組相互垂直堆疊而構成垂直系統晶片模組，以增加在單位面積中預置元件的數量。

本發明係為一種多基板晶片模組堆疊之三維系統晶片結構，其中垂直系統晶片模組及基板晶片模組皆可先行製造及驗證，以縮短系統晶片的驗證時程。

本發明係為一種多基板晶片模組堆疊之三維系統晶片結構，其可提供系統設計者組合具有不同功能的垂直系統晶片模組，以構成各種系統晶片結構。

本發明係為一種多基板晶片模組堆疊之三維系統晶片結構，由於垂直系統晶片模組可先行製造及驗證，因此系統設計

者僅需針對特殊規格進行功能擴充設計，進而達到節省研發時間及成本之功效。

本發明係為一種多基板晶片模組堆疊之三維系統晶片結構，其中模組電路板中可以形成凹部，以作為散熱通道，進而可提升系統晶片的散熱效能。

為達上述功效，本發明係提供一種多基板晶片模組堆疊之三維系統晶片結構，其包括：至少二垂直系統晶片模組，每一垂直系統晶片模組係由至少二基板晶片模組相互垂直堆疊構成，又每一基板晶片模組具有：一模組電路板，具有一第一表面及一第二表面，第一表面凹陷形成有一凹部，凹部之一第一區域及其相對側之一第二區域係設置有一第一連接介面，於第一表面上設置有一第二連接介面，於第二表面上設置有一第三連接介面；以及至少一預置元件電性結合於第一連接介面；以及至少一連接模組，其具有一連接電路板，其外表面設置有一第四連接介面，且每一連接模組係電性連接於二垂直系統晶片模組之間；其中任一基板晶片模組係以第二連接介面與另一基板晶片模組之第三連接介面相接觸以彼此電性連接，而構成垂直系統晶片模組。

為達上述功效，本發明又提供一種垂直系統晶片模組結構，其係由至少二基板晶片模組相互垂直堆疊構成，又每一基板晶片模組包括：一模組電路板，具有一第一表面及一第二表面，第一表面凹陷形成有一凹部，凹部之一第一區域及其相對側之一第二區域係設置有一第一連接介面，於第一表面上設置有一第二連接介面，於第二表面上設置有一第三連接介面；以



及至少一預置元件電性結合於第一連接介面；其中任一基板晶片模組係以第二連接介面與另一基板晶片模組之第三連接介面相接觸以彼此電性連接，而構成垂直系統晶片模組結構。

為達上述功效，本發明再提供一種基板晶片模組結構，其包括：一模組電路板，具有一第一表面及一第二表面，第一表面凹陷形成有一凹部，凹部之一第一區域及其相對側之一第二區域係設置有一第一連接介面，於第一表面上設置有一第二連接介面，於第二表面上設置有一第三連接介面；以及至少一預置元件電性結合於第一連接介面。

藉由本發明的實施，至少可達到下列進步功效：

- 一、藉由連接模組之設置，可隨需求增設垂直系統晶片模組，進而可輕易擴充系統晶片的功能。
- 二、由於垂直系統晶片模組及基板晶片模組皆可先行製造及驗證，因此可大幅縮短系統晶片的驗證時程，進而達到節省研發時間及成本之功效。
- 三、模組電路板中可形成凹部，以提供垂直系統晶片模組中預置元件散熱的通道，進而達到提升系統晶片散熱效能的功效。

為了使任何熟習相關技藝者了解本發明之技術內容並據以實施，且根據本說明書所揭露之內容、申請專利範圍及圖式，任何熟習相關技藝者可輕易地理解本發明相關之目的及優點，因此將在實施方式中詳細敘述本發明之詳細特徵以及優點。

**【實施方式】**

第 1 圖係為本發明之一種多基板晶片模組堆疊之三維系統晶片 100 結構之立體實施例圖。第 2A 圖係為本發明之一種垂直系統晶片模組 10 之立體實施例圖一。第 2B 圖係為本發明之一種垂直系統晶片模組 10 之立體實施例圖二。第 2C 圖係為本發明之一種垂直系統晶片模組 10 之立體實施例圖三。第 3A 圖係為本發明之一種基板晶片模組 11 之俯視立體實施例圖。第 3B 圖係為本發明之一種基板晶片模組 11 之仰視立體實施例圖。第 4 圖係為本發明之一種基板晶片模組 11 之第一實施態樣。第 5 圖係為本發明之一種基板晶片模組 11 之第二實施態樣。第 6 圖係為本發明之一種基板晶片模組 11 之第三實施態樣。第 7A 圖係為本發明之一種基板晶片模組 11 之第一剖視實施態樣。第 7B 圖係為本發明之一種基板晶片模組 11 之第二剖視實施態樣。第 7C 圖係為本發明之一種基板晶片模組 11 之第三剖視實施態樣。第 8A 圖係為本發明之一種多基板晶片模組堆疊之三維系統晶片 100 結構之應用實施例之示意圖。第 8B 圖係為本發明之一種多基板晶片模組堆疊之三維系統晶片 100 結構之應用實施例之電路方塊示意圖。

如第 1 圖所示，本實施例係為一種多基板晶片模組堆疊之三維系統晶片 100 結構，其包括：至少二垂直系統晶片模組 10a、10b；以及至少一連接模組 20a、20b。

如第 2A 圖至第 2C 圖所示，每一垂直系統晶片模組 10 係由至少二基板晶片模組 11 相互垂直堆疊構，其中基板晶片模組 11 可同時或先後製作並封裝完成，而系統設計者僅需將已

封裝好的基板晶片模組 11 垂直堆疊結合，即可完成垂直系統晶片模組 10 的製造。又因為每一基板晶片模組 11 已先行製造並且完成驗證，所以可大幅縮短系統晶片整體的驗證時程，進而達到節省研發時間及成本之功效。

其中，每一基板晶片模組 11 具有：一模組電路板 12；以及至少一預置元件 13。

如第 3A 圖所示，模組電路板 12，其係由至少兩層線路層 121 所構成，並且模組電路板 12 可以是一多層印刷電路板或一多層陶瓷電路板。模組電路板 12 中最外層的線路層 121 可分別構成一第一表面 122 及一第二表面 123，而第一表面 122 可以是模組電路板 12 的上表面，第二表面 123 便可以是模組電路板 12 的下表面。又每一線路層 121 可具有獨立之電路設計並可彼此電訊連接，以使得模組電路板 12 內可建置高密度之電路結構而符合更複雜之應用。

此外，可藉由線路層 121 結構上的設計，而使得第一表面 122 可凹陷形成有一凹部 124，並於凹部 124 上可定義有一第一區域 125，也就是可用以結合預置元件 13 的區域。又同時參照第 3B 圖，在第二表面 123 上且與第一區域 125 相對側則可定義有一第二區域 126，而且在第一區域 125 及第二區域 126 皆可設置有一第一連接介面 127。另外，於第一表面 122 上且在凹部 124 以外的部份更設置有一第二連接介面 128。又如第 3B 圖所示，於第二表面 123 上且在第二區域 126 以外的部份則設置有一第三連接介面 129。而上述第一連接介面 127、第二連接介面 128 及第三連接介面 129 皆分別可以是一錫球陣列、

一平面柵格陣列或一針腳陣列(圖未示)。

為了使模組電路板 12 可具有較佳的散熱效能，如第 4 圖所示，凹部 124 可形成於模組電路板 12 的中央位置，並使模組電路板 12 形成口型結構。又或者可如第 5 圖所示，凹部 124 可貫穿形成於模組電路板 12 之一側邊，並使模組電路板 12 形成 U 型結構。更或者如第 6 圖所示，更佳的是，凹部 124 可貫穿形成於模組電路板 12 直線相對應之二側邊，並使模組電路板 12 形成雙 I 型結構。

預置元件 13，其可以是一處理器元件、一記憶體元件、一輸入輸出元件、一無線裝置元件、一電源管理元件、一電源元件、一感測器元件、一散熱裝置元件、一顯示元件、一連線繞線元件或其組合，以使得基板晶片模組 11 可具有處理器元件、記憶體元件、輸入輸出元件、無線裝置元件、電源管理元件、電源元件、感測器元件、散熱裝置元件、顯示元件、連線繞線元件或其組合的功能。

預置元件 13 的類型可以分別是一單晶粒、一多晶粒或一非晶粒元件，而其中因為晶粒係為裸晶型式，因此可利用封裝體 131 封裝晶粒，以避免晶粒受到水氣影響或外力破壞(如第 7B 圖所示)。非晶粒則可以是利用堆疊封裝之技術所預先製造的一 PoP(Package-on-Package)堆疊元件(如第 7C 圖所示)。預置元件 13 亦可以是至少一晶片或複數個晶片，而晶片則是已封裝完成之晶片(如第 7A 圖所示)。

預置元件 13 可藉由覆晶、鐸線…等技術電性結合於第一連接介面 127(如第 3A 圖及第 4 圖所示)，以使得預置元件 13

可以與模組電路板 12 中的線路層 121 形成電訊連接。預置元件 13 可以電性結合於第一區域 125 的第一連接介面 127(如第 7A 圖所示)，或是結合於第二區域 126 的第一連接介面 127(如第 7B 圖所示)，更或是分別電性結合於第一區域 125 及第二區域 126 的第一連接介面 127(如第 7C 圖所示)。

如第 2A 圖所示，當具有口型結構模組電路板 12 的基板晶片模組 11 垂直堆疊構成垂直系統晶片模組 10 時，可藉由凹部 124 使得預置元件 13 及基板晶片模組 11 整體可與外界有較大的接觸面積，以使得預置元件 13 所產生的熱能可有效地散除。又如第 2B 圖所示，由於具有凹型結構的模組電路板 12 中的凹部 124 可使得預置元件 13 直接與外界有所接觸，因此可更有利於散熱。而如第 2C 圖所示，因為模組電路板 12 本身已形成雙 I 型結構，因此凹部 124 可在模組電路板 12 上形成一個可供空氣流通的散熱通道，所以可以達到更好的散熱效能。

上述三種不同結構的模組電路板 12 各具有其優缺點，具有口型結構的模組電路板 12 所構成的結構較為穩固，但是散熱效能較差，而雙 I 型結構的模組電路板 12 雖然散熱效能較佳，但是其結構性較弱。因此，系統設計者可視其系統晶片所需的用途及規格決定使用何種結構的模組電路板 12。

如第 1 圖所示，連接模組 20a、20b，其具有一連接電路板 21，並且連接電路板 21 本身也是由至少二層線路層 211 所構成，而且也可以是一多層印刷電路板或一多層陶瓷電路板。連接電路板 21 的外表面，也就是連接電路板 21 的上下兩表面皆設置有一第四連接介面 212。

第四連接介面 212 可用以與垂直系統晶片模組 10a、10b 中的第二連接介面 128 電性連接(如第 1 圖所示)或是與第三連接介面 129 電性連接(圖未示)，以使得連接模組 20a、20b 與垂直系統晶片模組 10a、10b 電性連接。此外，在同一連接電路板 21 中可以具有多個第四連接介面 212，以使得連接模組 20a、20b 不但可電性連接於兩個垂直系統晶片模組 10a、10b 之間，更可使多個垂直系統晶片模組 10a、10b、10c 彼此電性連接(如第 8A 圖所示)，以交換電訊號。

如第 2A 圖至第 2C 圖所示，垂直系統晶片模組 10 本身可由少二基板晶片模組 11 相互垂直堆疊構，也就是說，任一模組電路板 12 可以藉由第二連接介面 128 與另一模組電路板 12 的第三連接介面 129 相接觸，與彼此電性連接，以使得基板晶片模組 11 得以相互垂直堆疊構。此外，如第 1 圖所示，系統設計者可藉由連接模組 20a、20b 電性連接於任二垂直系統晶片模組 10a、10b 之間，以構成具有完整功能的系統晶片。

以目前電子產品常用的嵌入式系統為例，一個封裝好的垂直系統晶片模組 10 可包含一個處理器之單晶粒元件或包含多個處理器與其它晶粒(如記憶體)之多晶粒元件，而另一封裝好的垂直系統晶片模組 10 可具有特定功能的硬體設計或輸出輸入介面，例如記憶體、無線裝備與數位訊號處理器等。而這兩個垂直系統晶片模組 10 可於任意時間透過連接模組 20a、20b 電性結合，以構成一具備完整功能之嵌入式三維多層系統晶片模組。

另外，由於每一垂直系統晶片模組 10 皆可先行製造及驗

證，因此可大幅縮短系統晶片之驗證時程，以節省研發時間及成本。而且每一垂直系統晶片模組 10 皆具備不同的功能，因此也可根據功能的需求，藉由連接模組 20a、20b 增設具有所需功能的垂直系統晶片模組 10，以達到輕易擴充系統晶片功能之功效。

舉例來說，如第 8A 圖所示，其表示由三垂直系統晶片模組 10a、10b、10c(包括第一垂直系統晶片模組 10a、第二垂直系統晶片模組 10b 及第三垂直系統晶片模組 10c)及二連接模組 20a、20b(包括第一連接模組 20a 及第二連接模組 20b)所組成的三維系統晶片 100 結構。

其中，第一垂直系統晶片模組 10a 中，有一基板晶片模組 11a 內所設置的預置元件 13 為一處理器元件，另一基板晶片模組 11b 內所設置的預置元件 13 為一動態隨機存取記憶體 (Dynamic Random Access Memory, DRAM) 元件、而另一基板晶片模組 11c 內所設置的預置元件 13 則為一北橋晶片元件。

類似的，第二垂直系統晶片模組 10b 中的基板晶片模組 11d、11e、11f 內所設置的預置元件 13 分別為一南橋晶片元件、一微型硬碟元件及一快閃記憶體 (flash memory) 元件，而第三垂直系統晶片模組 10c 中的基板晶片模組 11g、11h、11i 內所設置的預置元件 13 則分別為一顯示晶片元件、一網路裝置元件及一輸入輸出元件。

每一垂直系統晶片模組 10a、10b、10c 內的預置元件 13 間可藉由各模組電路板 12a、12b 的線路層 121、第三連接介面 129 與另一模組電路板 12b、12c 的第二連接介面 128 彼此電性

連接，並藉此交換電訊號。

第 8B 圖係為上述垂直系統晶片模組 10a、10b、10c 及連接模組 20a、20b 間的電路方塊圖，而如第 8A 圖及第 8B 圖所示，處理器元件 31、動態隨機存取記憶體元件 32 及北橋晶片元件 33 可藉由模組電路板 12a 的線路層 121、第三連接介面 129 與另一模組電路板 12b 的第二連接介面 128 彼此電性連接以交換電訊號，而北橋晶片元件 33 又可藉由連接模組 20a、20b 與第二垂直系統晶片模組 10b 中的南橋晶片元件 34 交換電訊號，因此處理器元件 31 及動態隨機存取記憶體元件 32 可透過北橋晶片元件 33 與南橋晶片元件 34 進行電訊號交換。

在第二垂直系統晶片模組 10b 中，亦可藉由模組電路板的線路層、第三連接介面與另一模組電路板的第二連接介面電性連接，以使得南橋晶片元件 34 可與微型硬碟元件 35 及快閃記憶體元件 36 電性連接。

類似地，第三垂直系統晶片模組 10c 中的顯示晶片元件 37、網路裝置元件 38 與輸入輸出元件 39 可透過連接模組 20a、20b 與第二垂直系統晶片模組 10b 中的南橋晶片元件 34 電性連接，並藉此可構成一個完整具有個人電腦功能的系統晶片。

藉由先行設計並製造具有各種不同功能的垂直系統晶片模組 10，並可預先進行驗證，因此可縮短系統晶片的驗證時程。而系統設計者僅需利用連接模組 20a、20b 結合具有不同功能的垂直系統晶片模組 10 即可完成系統晶片的製造，所以可以大幅縮短系統晶片的開發時間及測試流程，進而降低設計錯誤機率並可減少開發成本。



再者，利用垂直系統晶片模組 10 的結構設計，可以增加在單位面積中預置元件 13 的數量，並可有效縮小系統晶片整體的體積，以利於將系統晶片應用在各類型的電子產品中。

惟上述各實施例係用以說明本發明之特點，其目的在使熟習該技術者能瞭解本發明之內容並據以實施，而非限定本發明之專利範圍，故凡其他未脫離本發明所揭示之精神而完成之等效修飾或修改，仍應包含在以下所述之申請專利範圍中。

### 【圖式簡單說明】

第 1 圖係為本發明之一種多基板晶片模組堆疊之三維系統晶片結構之立體實施例圖。

第 2A 圖係為本發明之一種垂直系統晶片模組之立體實施例圖一。

第 2B 圖係為本發明之一種垂直系統晶片模組之立體實施例圖二。

第 2C 圖係為本發明之一種垂直系統晶片模組之立體實施例圖三。

第 3A 圖係為本發明之一種基板晶片模組之俯視立體實施例圖。

第 3B 圖係為本發明之一種基板晶片模組之仰視立體實施例圖。

第 4 圖係為本發明之一種基板晶片模組之第一實施態樣。

第 5 圖係為本發明之一種基板晶片模組之第二實施態樣。

第 6 圖係為本發明之一種基板晶片模組之第三實施態樣。

第 7A 圖係為本發明之一種基板晶片模組之第一剖視實施態樣。

第 7B 圖係為本發明之一種基板晶片模組之第二剖視實施態樣。

第 7C 圖係為本發明之一種基板晶片模組之第三剖視實施態樣。

第 8A 圖係為本發明之一種多基板晶片模組堆疊之三維系統晶片結構之應用實施例之示意圖。

第 8B 圖係為本發明之一種多基板晶片模組堆疊之三維系統晶片結構之應用實施例之電路方塊示意圖。

### 【主要元件符號說明】

100 .....	三維系統晶片
10、10a、10b、10c.....	垂直系統晶片模組
11、11a~11i .....	基板晶片模組
12、12a~12c.....	模組電路板
121 .....	線路層
122 .....	第一表面
123 .....	第二表面
124 .....	凹部
125 .....	第一區域
126 .....	第二區域
127 .....	第一連接介面
128 .....	第二連接介面
129 .....	第三連接介面
13.....	預置元件
131 .....	封裝體
20a、20b.....	連接模組
21.....	連接電路板

211 .....	線路層
212 .....	第四連接介面
31 .....	處理器元件
32 .....	動態隨機存取記憶體元件
33 .....	北橋晶片元件
34 .....	南橋晶片元件
35 .....	微型硬碟元件
36 .....	快閃記憶體元件
37 .....	顯示晶片元件
38 .....	網路裝置元件
39 .....	輸入輸出元件

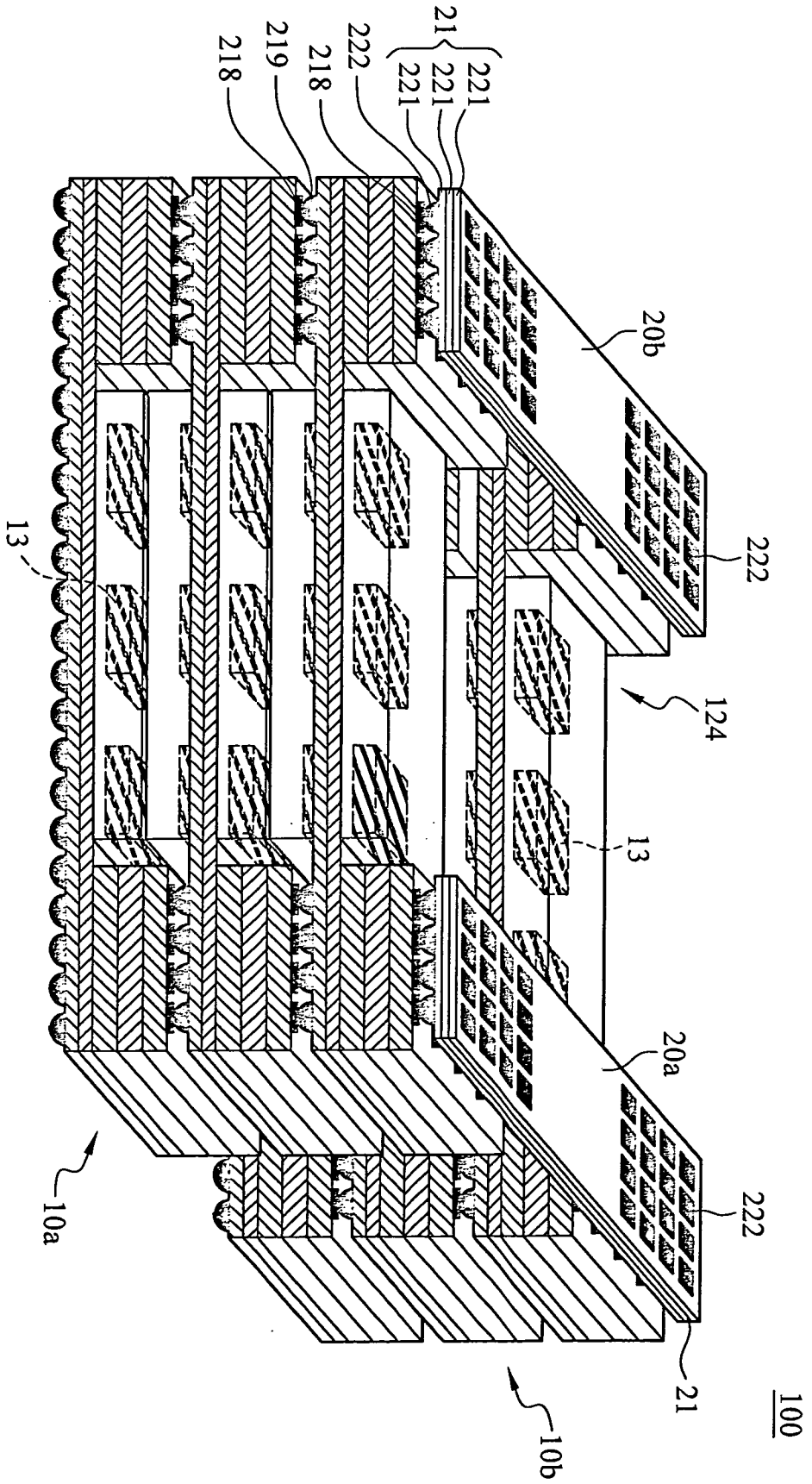
## 七、申請專利範圍：

1. 一種多基板晶片模組堆疊之三維系統晶片結構，其包括：  
至少二垂直系統晶片模組，每一該垂直系統晶片模組係由至少二基板晶片模組相互垂直堆疊構成，又每一該基板晶片模組具有：  
一模組電路板，具有一第一表面及一第二表面，該第一表面凹陷形成有一凹部，該凹部之一第一區域及其相對側之一第二區域係設置有一第一連接介面，於該第一表面上設置有一第二連接介面，於該第二表面上設置有一第三連接介面；以及  
至少一預置元件電性結合於該第一連接介面；以及  
至少一連接模組，其具有一連接電路板，其外表面設置有一第四連接介面，且每一該連接模組係電性連接於二該垂直系統晶片模組之間；  
其中任一該基板晶片模組係以該第二連接介面與另一該基板晶片模組之該第三連接介面相接觸以彼此電性連接，而構成該垂直系統晶片模組。
2. 如申請專利範圍第 1 項所述之三維系統晶片結構，其中任一該模組電路板及任一該連接電路板分別為一多層印刷電路板或一多層陶瓷電路板。
3. 如申請專利範圍第 1 項所述之三維系統晶片結構，其中該凹部係形成於該模組電路板之中央位置，並使該模組電路板形成口型結構。
4. 如申請專利範圍第 1 項所述之三維系統晶片結構，其中該

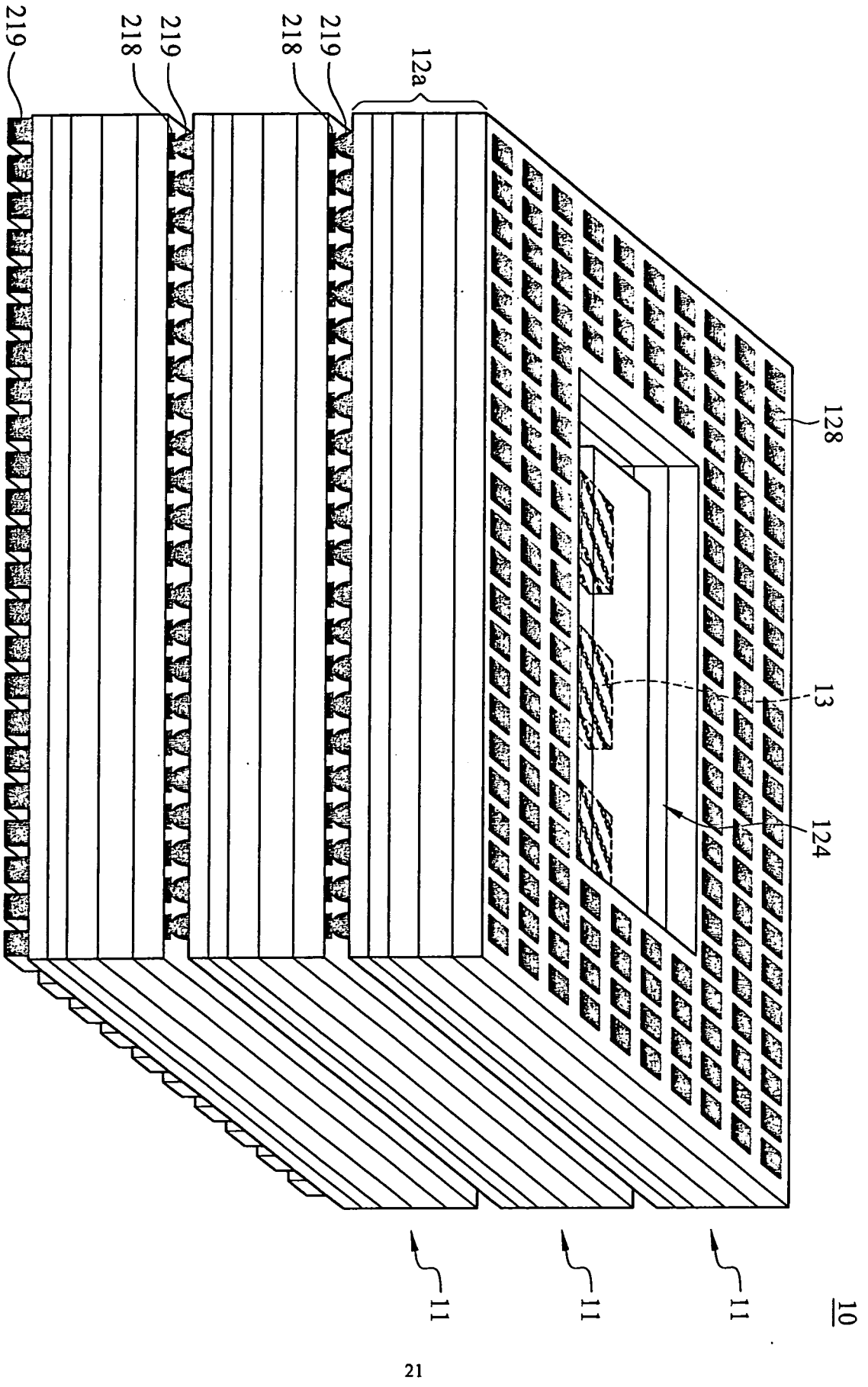
凹部係貫穿形成於該模組電路板之一側邊，並使該模組電路板形成口型結構。

5. 如申請專利範圍第 1 項所述之三維系統晶片結構，其中該凹部係貫穿形成於該模組電路板直線相對應之二側邊，並使該模組電路板形成雙 I 型結構。
6. 如申請專利範圍第 1 項所述之三維系統晶片結構，其中該預置元件係為一處理器元件、一記憶體元件、一輸入輸出元件、一無線裝置元件、一電源管理元件、一電源元件、一感測器元件、一散熱裝置元件、一顯示元件、一連線繞線元件或其組合。
7. 如申請專利範圍第 1 項所述之三維系統晶片結構，其中該預置元件係以一封裝體封裝。
8. 如申請專利範圍第 1 項所述之三維系統晶片結構，其中該預置元件電性結合於該第一區域或該第二區域之該第一連接介面。
9. 如申請專利範圍第 1 項所述之三維系統晶片結構，其中至少二該預置元件分別電性結合於該第一區域及該第二區域之該第一連接介面。
10. 如申請專利範圍第 1 項所述之三維系統晶片結構，其中該預置元件為一單晶粒、一多晶粒或一非晶粒元件、一封裝好之晶片或一 PoP(Package-on-Package)堆疊元件。
11. 如申請專利範圍第 1 項所述之三維系統晶片結構，其中該第一連接介面、該第二連接介面及該第三連接介面分別為一錫球陣列、一平面柵格陣列或一針腳陣列。

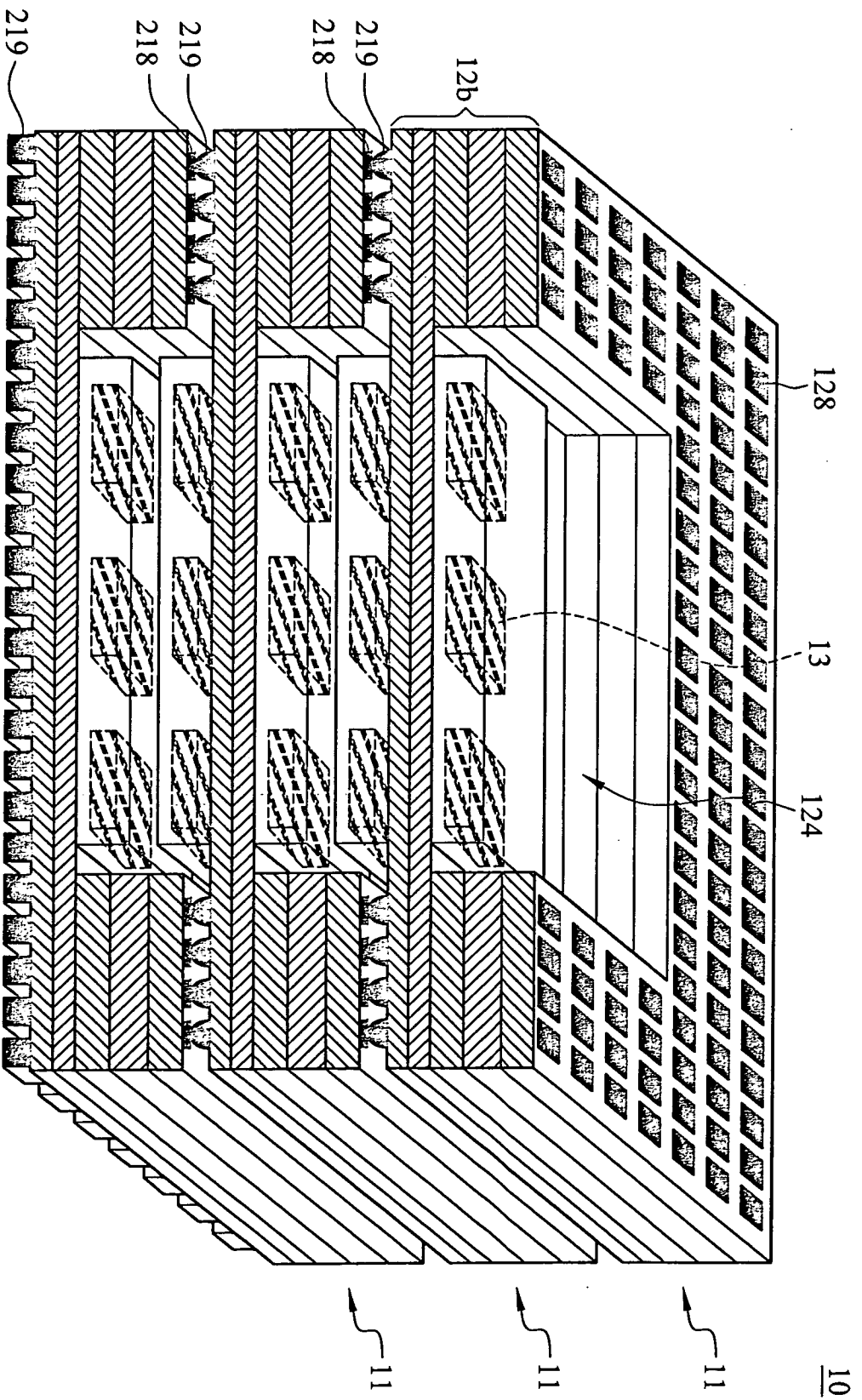
八、圖式：



第 1 圖

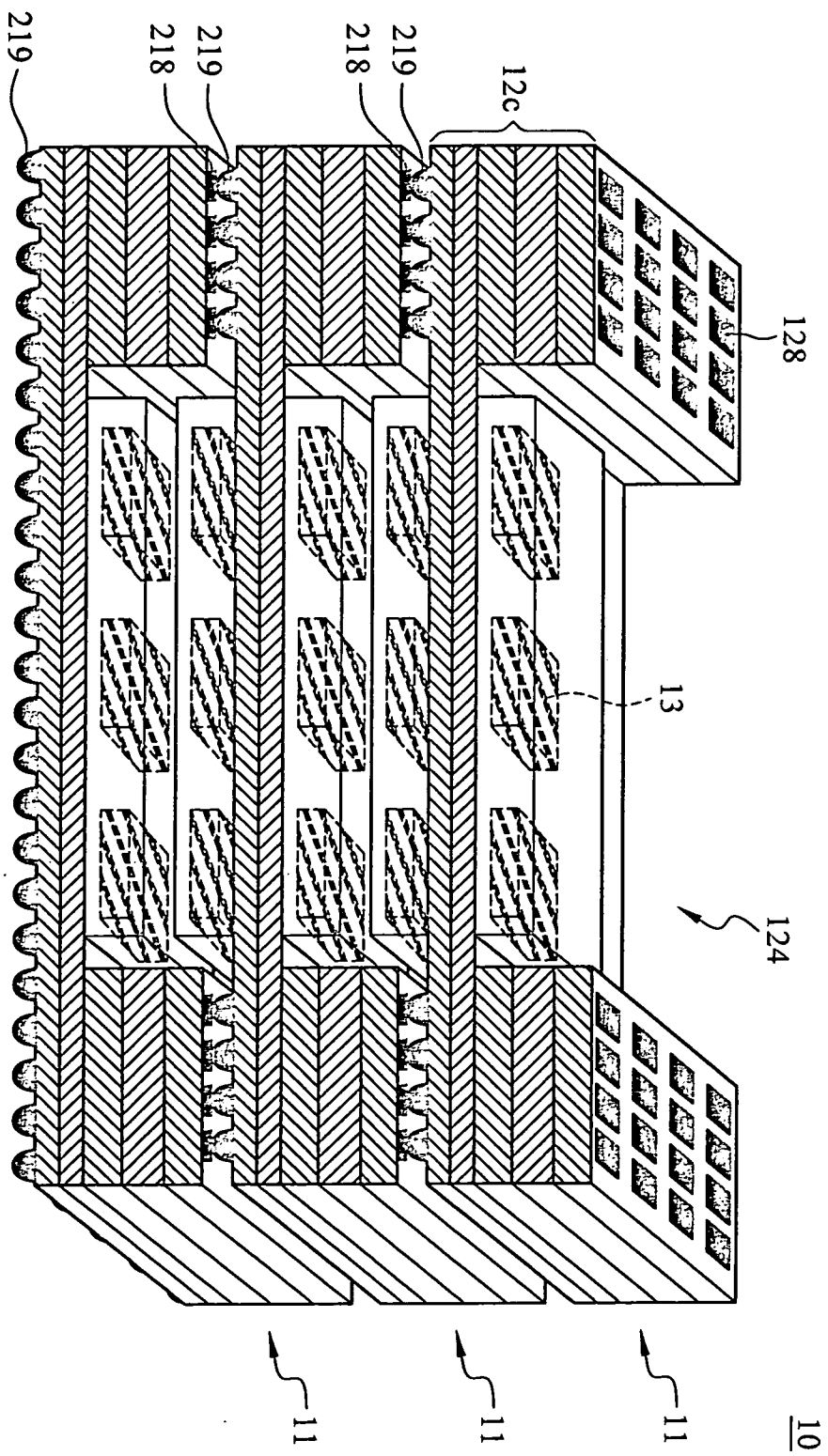


第 2A 圖

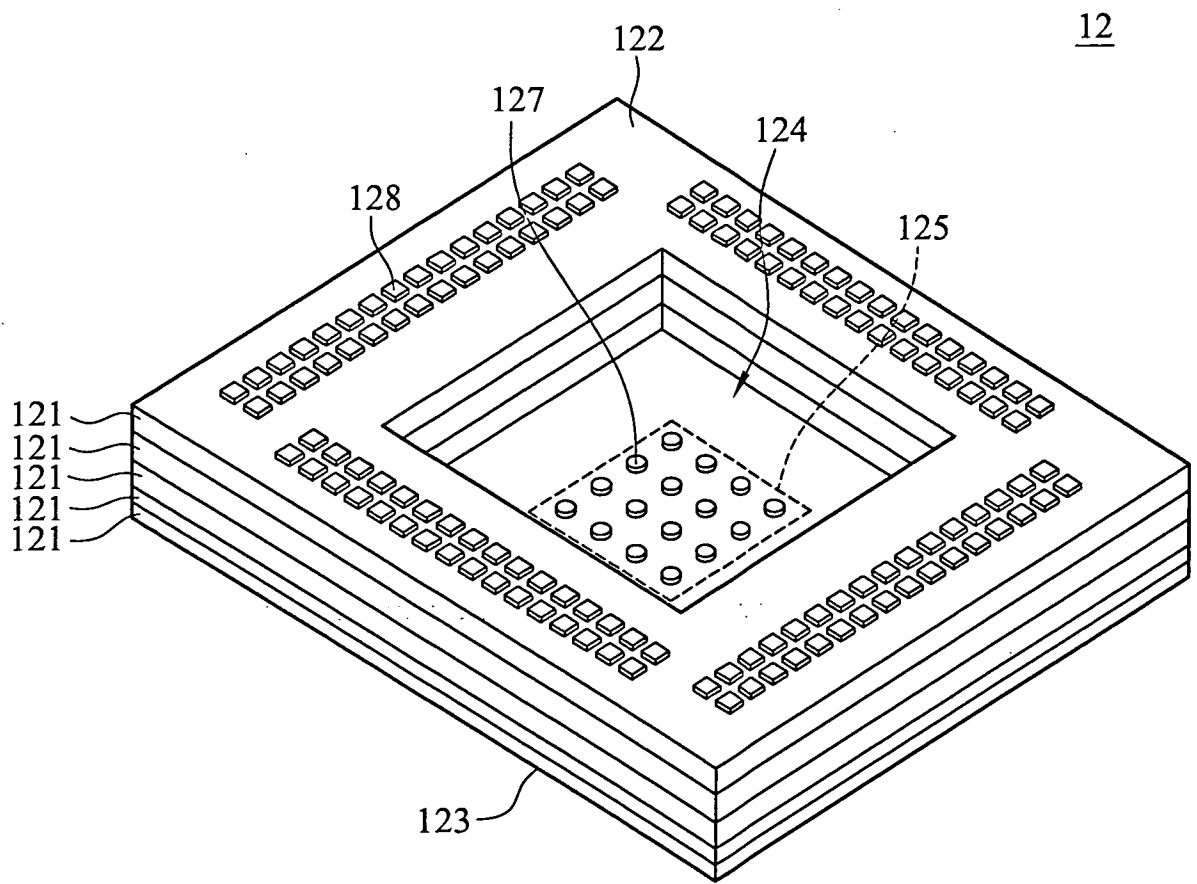


第 2B 圖

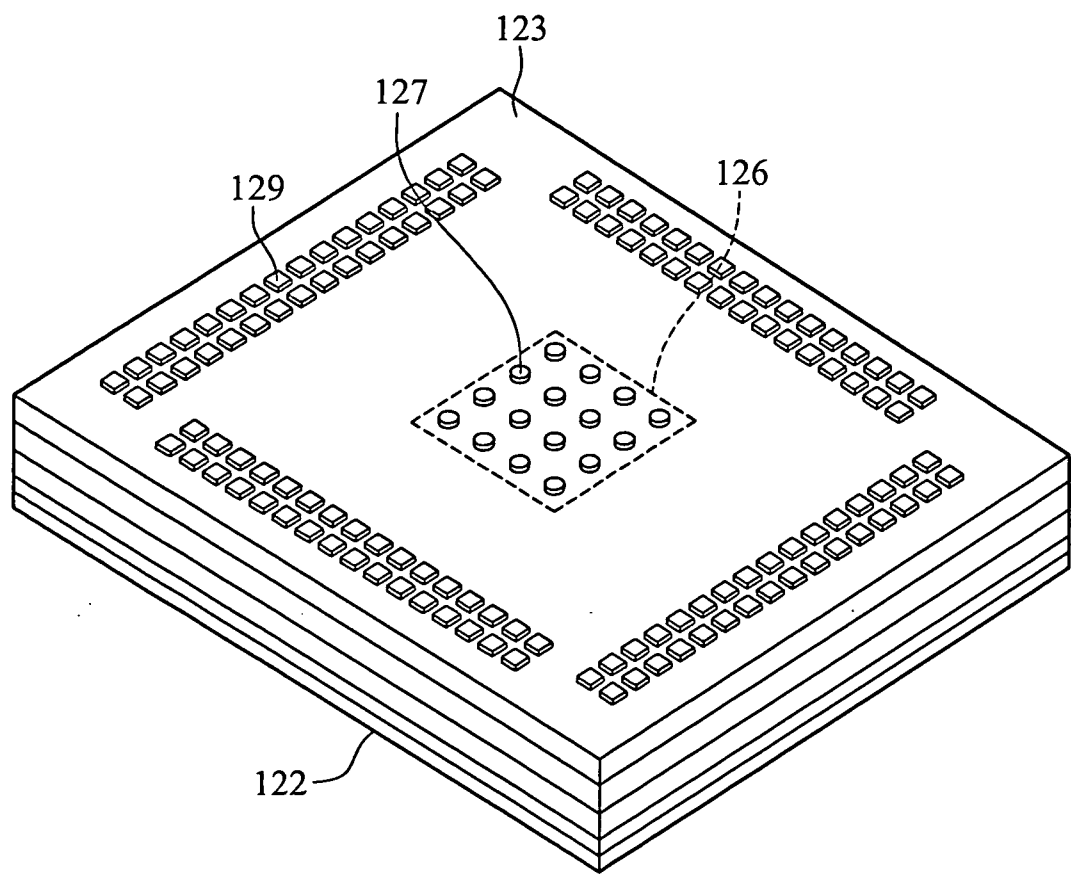




第 2C 圖

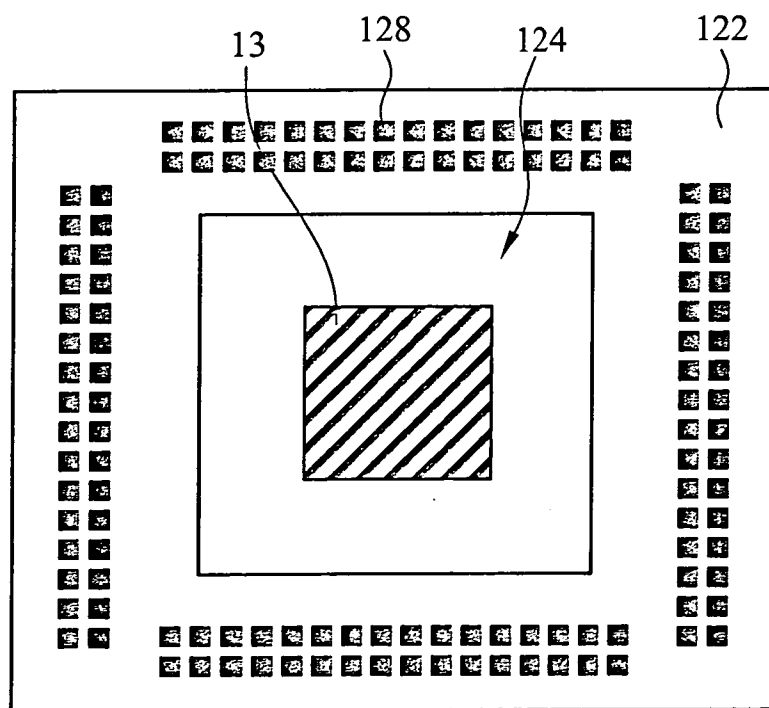


第 3A 圖



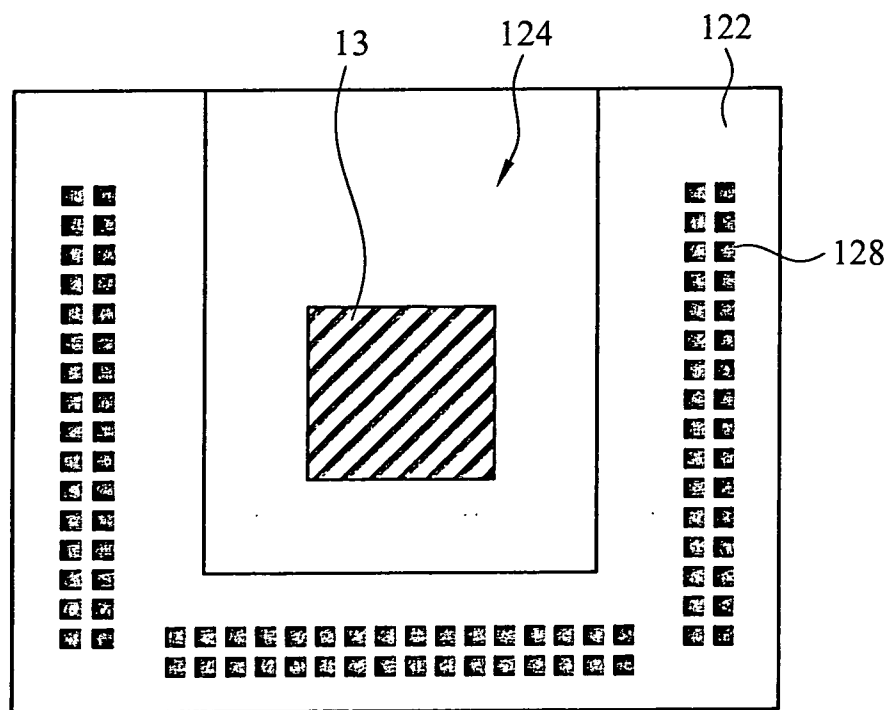
第 3B 圖

12a

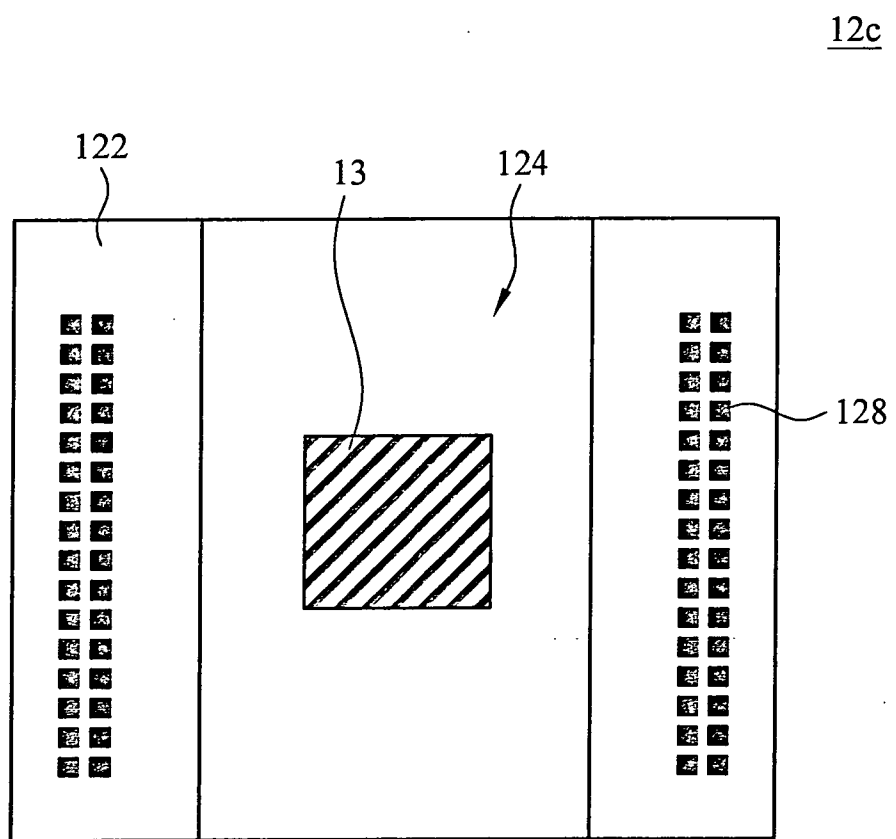


第 4 圖

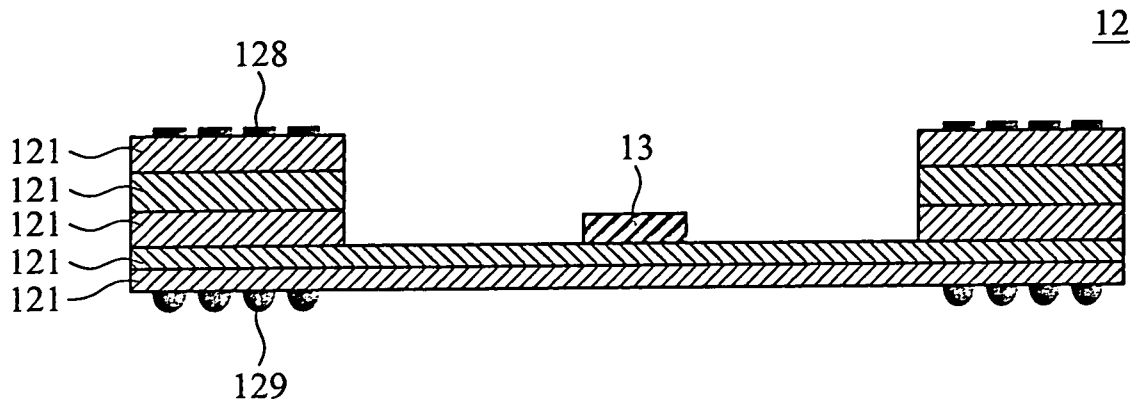
12b



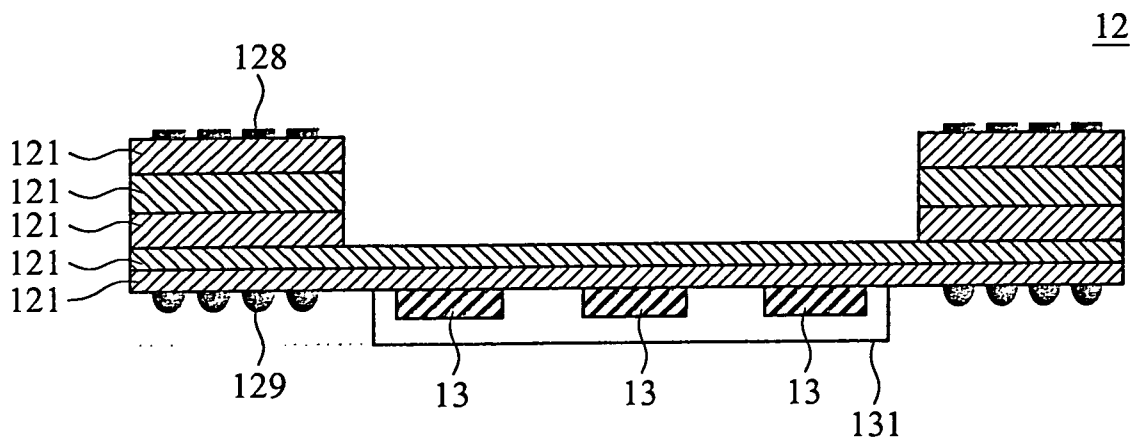
第 5 圖



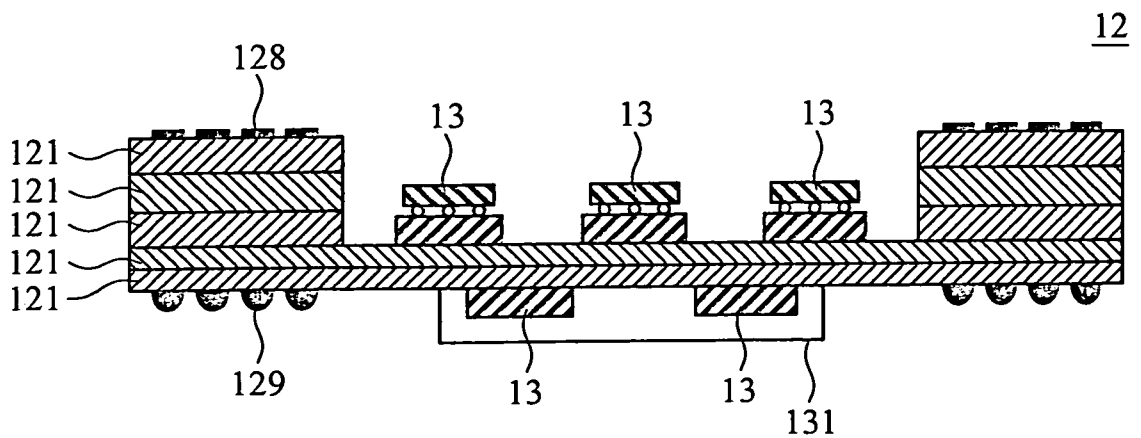
第 6 圖



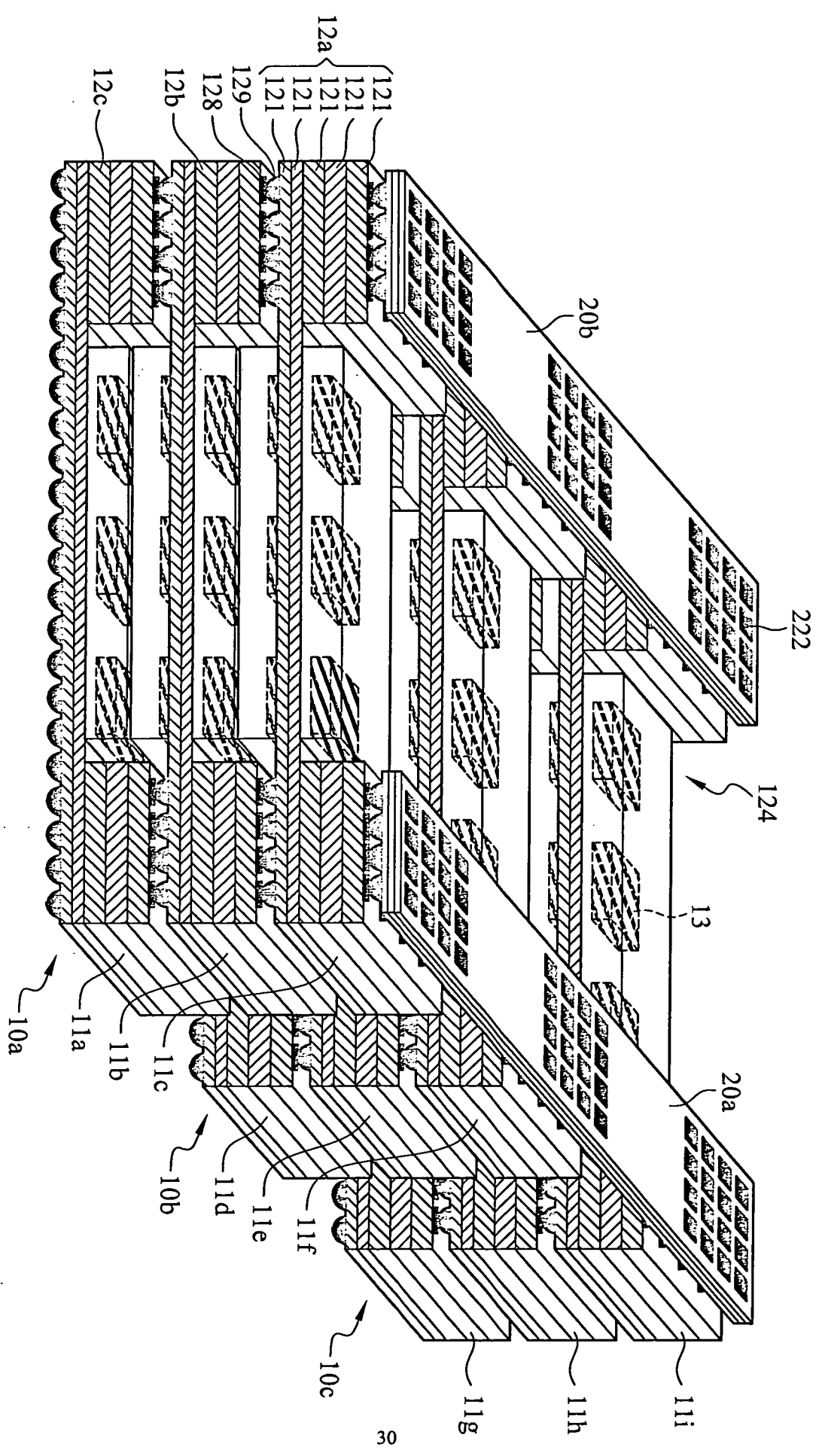
第 7A 圖



第 7B 圖

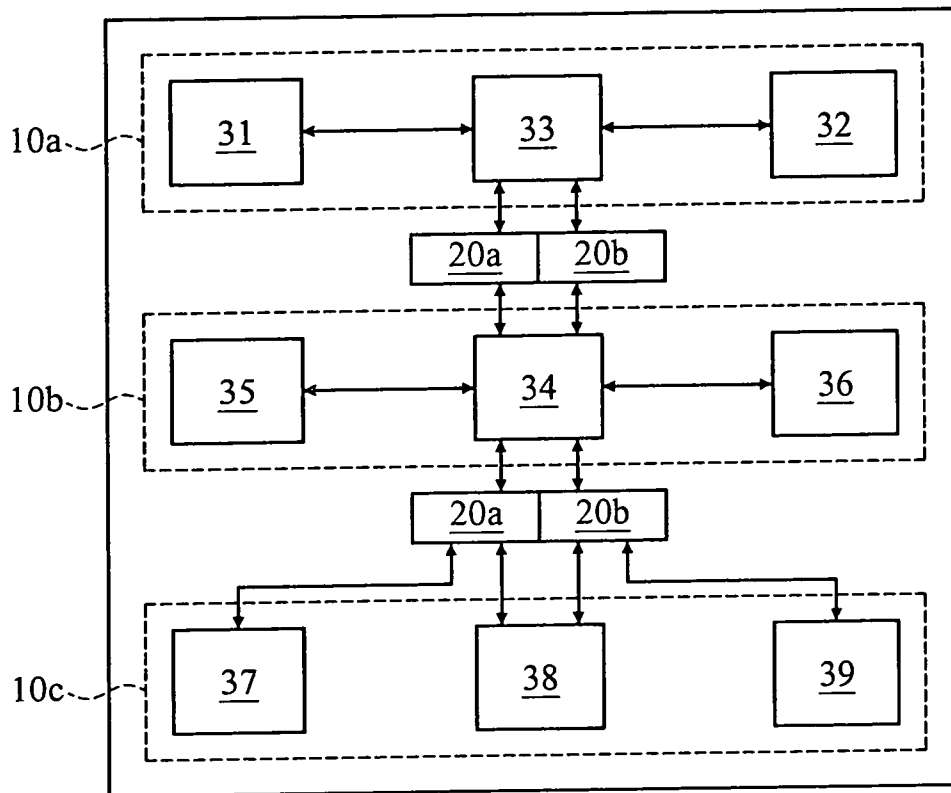


第 7C 圖



第 8A 圖





第 8B 圖