

發明專利說明書 公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 97102368

※申請日期： 97.1.22

※IPC 分類：C11C 16/02 (2006.01)
G11C 16/06 (2006.01)

一、發明名稱：(中文/英文)

半導體記憶裝置及其寫入方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商東芝股份有限公司
KABUSHIKI KAISHA TOSHIBA

代表人：(中文/英文)

西田 厚聰
NISHIDA, ATSUTOSHI

住居所或營業所地址：(中文/英文)

日本國東京都港區芝浦1丁目1番1號
1-1, SHIBAURA 1-CHOME, MINATO-KU, TOKYO 105-8001, JAPAN

國籍：(中文/英文)

日本 JAPAN

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 荒井 史隆
ARAI, FUMITAKA
2. 上垣內 岳司
KAMIGAICHI, TAKESHI
3. 佐藤 敦祥
SATO, ATSUHIRO

國 籍：(中文/英文)

1. 日本 JAPAN
2. 日本 JAPAN
3. 日本 JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2007年01月23日；特願2007-012941

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明之半導體記憶裝置，其特徵在於包括：記憶胞陣列，其係包含由分別具有電荷儲存層及連接於字元線之控制電極之複數記憶胞所組成之分頁，並具備複數串聯連接有前述複數記憶胞之電流路徑之記憶胞行；位元線，其係電性連接於前述記憶胞行之電流路徑之一端；源極線，其係電性連接於前述記憶胞行之電流路徑之另一端；感測放大器，其係包含設於各前述位元線，且可讀出寫入於前述記憶胞之資料之複數感測放大器電路；資料緩衝器，其係包含設於各前述位元線，電性連接於前述感測放大器電路，且可保持應寫入於前述記憶胞之資料之複數第一閃鎖電路；電壓產生電路，其係產生寫入電壓；及控制電路，其係控制前述電壓產生電路及前述資料緩衝器；前述控制電路係進行第一寫入，其係於電性連接於各個前述複數第一閃鎖電路之前述位元線之複數前述記憶胞，整批寫入由前述複數第一閃鎖電路所保持之寫入資料；前述第一寫入後，使前述複數第一閃鎖電路再度保持前述寫入資料；於前述記憶胞進行驗證讀出，於藉由前述驗證讀出所取得之前述複數感測放大器電路之讀出資料與使前述複數第一閃鎖電路再度保持之前述寫入資料不一致之情況時，進行第二寫入，其係於前述複數記憶胞再度整批寫入前述已保持之前述寫入資料。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

10	NAND型快閃記憶體
11	控制信號及控制電壓產生電路
12	記憶胞陣列
13	列解碼器
14	行解碼器
15	資料輸出入端子
17	位元線控制電路
18	感測放大器
19	NAND胞行(記憶胞行)
20	資料緩衝器
21	電壓產生電路
22	控制電路
BL0~BLm+1	位元線
Block n-1,	區塊
Block n,	
Block n+1	
CG	控制電極
D1	第一閃鎖電路
FG	浮游電極
MT0~MTm+1	記憶胞電晶體
PAGE2	分頁
S/A	感測放大器電路

SGD, SGS	選擇閘極線
SRC	源極線
ST1, ST2	選擇電晶體
TR0~TR31	傳輸電晶體
TG	傳輸閘極線
TGTD, TGTS	傳輸閘極電晶體
WL0~WL31	字元線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於半導體記憶裝置及其寫入方法，其適用於例如 NAND 型快閃記憶體等。

本申請案是根據 2007 年 1 月 23 日申請的日本專利申請案第 2007-012941 號，並主張其優先權權利，該案之全文以引用的方式併入本文中。

【先前技術】

以往，例如 NAND 型快閃記憶體係由於製造過程中之記憶胞之加工形狀或製造時之熱過程等，於各個記憶胞 (Memory cell) 間存在有寫入特性之偏差。NAND 型快閃記憶體之讀出動作 (read) 即使對於所選擇之 NAND 串內之讀出非選擇胞，仍會給予通過電位 (V_{pass})。因此，即使上述特性偏差已存在，仍必須將所有胞之寫入電壓 (V_{pgm}) 精度良好地控制在讀出電壓 (V_{read}) 以下。

NAND 型快閃記憶體為了抑制寫入特性之上述偏差，通常於每記憶胞 (每位元) 進行驗證 (Verify) 寫入。該驗證 (Verify) 寫入首先於進行寫入動作後，於每記憶胞 (每位元) 進行判斷是否已達到特定臨限值電壓 V_{th} 之驗證讀出 (Verify Read)。接著，限於藉由驗證讀出判斷寫入不足之記憶胞，再度進行驗證寫入。驗證寫入係對於先前進行之驗證寫入動作，將寫入脈衝之電壓僅增加特定值而進行 (升壓寫入)。

上述驗證讀出係對於非選擇胞給予通過電位，且對於選擇胞給予判斷電位。其結果，於流有特定胞電流之情況

時，判斷於記憶胞寫入之資料為例如"0"。

此時之胞電流係受到周邊電路之內部電阻、位元線電阻、位元線接觸電阻、NAND串之擴散層電阻、非選擇胞之通道電阻、源極線接觸電阻、源極線電阻等各種寄生電阻之影響。其中，起因於源極線之寄生電阻之源極線雜訊之影響甚大。

源極線雜訊係由於流於源極線之電流變化而產生。而且，源極線雜訊係於存取1個分頁之情況時，胞電流因應胞之臨限值電壓而變化，故其大小會取決於周圍胞之臨限值電壓 V_{th} 之模式而變動。因此，若周圍胞之臨限值電壓 V_{th} 變動，則該胞之讀出臨限值電壓 V_{th} 亦變動。

源極線雜訊之影響係於資料寫入初期特別顯著地出現，其為早寫入之胞在晚寫入之胞之臨限值電壓 V_{th} 尚低(胞電流多)之狀態下被驗證讀出(Verify Read)之情況。此情況下，於驗證讀出(Verify Read)時，源極線之電位下降甚大，該胞之臨限值電壓 V_{th} 會於看似較高之狀態下受判斷，因此誤判斷為符合驗證電壓之胞。

另一方面，若寫入接近結束，分頁內所有胞之臨限值電壓接近特定臨限值電壓。因此，源極線之電位下降減少，源極線雜訊之影響少，接近驗證電壓而判斷各胞之臨限值電壓。此類寫入動作之情況時，上述誤判斷之胞(早寫入之胞)不會符合驗證電壓。其結果，於胞所設定之臨限值電壓比特定臨限值電壓低，讀出邊限減低。

作為與本申請發明相關連之習知文獻有如下之日本特開2000-48582號公報。於該日本特開2000-48582號公報記載

一種半導體記憶裝置，其係有關防止起因於記憶胞之共同源極線之電位浮升之寫入不良。

【發明內容】

關於本發明之一態樣之半導體記憶裝置之特徵為包括：記憶胞陣列，其係包含由分別具有電荷儲存層及連接於字元線之控制電極之複數記憶胞所組成之分頁，並具備複數串聯連接有前述複數記憶胞之電流路徑之記憶胞行；位元線，其係電性連接於前述記憶胞行之電流路徑之一端；源極線，其係電性連接於前述記憶胞行之電流路徑之另一端；感測放大器，其係包含設於各前述位元線，且可讀出寫入於前述記憶胞之資料之複數感測放大器電路；資料緩衝器，其係包含設於各前述位元線，電性連接於前述感測放大器電路，且可保持應寫入於前述記憶胞之資料之複數第一門鎖電路；電壓產生電路，其係產生寫入電壓；及控制電路，其係控制前述電壓產生電路及前述資料緩衝器；

前述控制電路係進行第一寫入，其係於電性連接於各個前述複數第一門鎖電路之前述位元線之複數前述記憶胞，整批寫入由前述複數第一門鎖電路所保持之寫入資料；前述第一寫入後，使前述複數第一門鎖電路再度保持前述寫入資料；於前述記憶胞進行驗證讀出，於藉由前述驗證讀出所取得之前述複數感測放大器電路之讀出資料與使前述複數第一門鎖電路再度保持之前述寫入資料不一致之情況時，進行第二寫入，其係於前述複數記憶胞再度整批寫入前述已保持之前述寫入資料。

關於本發明之一態樣之半導體記憶裝置之資料寫入方法

之特徵為進行：第一寫入，其係於電性連接於各個複數第一門鎖電路之位元線之複數記憶胞，整批寫入由複數第一門鎖電路所保持之寫入資料；及第二寫入，其係於前述第一寫入後，使前述複數第一門鎖電路再度保持前述寫入資料，及於前述記憶胞進行驗證讀出，於藉由前述驗證讀出所取得之複數感測放大器電路之讀出資料與使前述複數第一門鎖電路再度保持之前述寫入資料不一致之情況時，於前述複數記憶胞再度整批寫入前述已保持之前述寫入資料。

【實施方式】

以下，參考圖式來說明關於本發明之實施型態。此外，於此說明中，遍及全圖於共同之部分附上共同之參考符號。

[第一實施型態]

<1.全體結構例(NAND型快閃記憶體)>

首先，利用圖1及圖2來說明關於本發明之第一實施型態之半導體記憶裝置之全體結構例。圖1及圖2係表示NAND型快閃記憶體10作為關於本實施型態之半導體記憶裝置之方塊圖。於本實施型態，舉NAND型快閃記憶體為例作為半導體記憶裝置之一結構例，進行以下說明。

如圖1所示，關於本實施型態之NAND型快閃記憶體10具備：控制信號及控制電壓產生電路11、記憶胞陣列12、列解碼器13、行解碼器14、資料輸出入端子15及位元線控制電路17。

如圖2所示，控制信號及控制電壓產生電路11具備：電壓產生電路21及控制電路22，並構成為控制記憶胞陣列12、列解碼器13、位元線控制電路17。控制信號及控制電壓產生電路11係電性連接於例如控制信號輸入端子(未圖示)，並由例如從主控機器經由控制信號輸入端子所輸入之控制信號ALE(位址門鎖致能)等控制。

電壓產生電路21係構成為按照控制電路22之控制，來產生寫入電壓 V_{pgm} 等特定電壓。

控制電路22係構成為控制電壓產生電路21及位元線控制電路17。

位元線控制電路17係藉由感測放大器18及資料緩衝器20構成。感測放大器18係藉由分別連接於位元線 $BL_0 \sim BL_{m+1}$ 之複數感測放大器電路S/A構成。

資料緩衝器20係藉由連接於各感測放大器電路S/A之複數第一門鎖電路D1構成。

行解碼器14連接於位元線控制電路17。行解碼器14係構成為，將從資料輸出入端子15輸入之寫入資料供給至資料緩衝器20中之特定第一門鎖電路D1。

記憶胞陣列12係藉由複數區塊(..., Block n-1, Block n, Block n+1, ...)構成。例如各區塊(..., Block n-1, Block n, Block n+1, ...)係作為可於1個記憶胞電晶體 $MT_0 \sim MT_{m+1}$ ，記錄1位元資料之SLC(Single Level Cell：單值胞)區域而構成之2值NAND型快閃記憶體。而且，如後述之第三實施型態，上述各區塊(..., Block n-1, Block n, Block n+1, ...)

作為可於1個記憶胞電晶體 $MT_0 \sim MT_{m+1}$ ，記錄多位元資料之MLC(Multi Level Cell：多值胞)區域而構成之多值NAND型快閃記憶體之情況亦可。

本例之情況下，區塊Block n係於32條字元線 $WL_0 \sim WL_{31}$ 與 $m+2$ 條位元線 $BL_0 \sim BL_{m+1}$ 之交叉位置，具備配置為矩陣狀之複數記憶胞電晶體 $MT_0 \sim MT_{m+1}$ 。

記憶胞電晶體 $MT_0 \sim MT_{m+1}$ 之各個為疊層構造，其係具備有設置於半導體基板(例如p型矽基板)上之通道絕緣膜、設置於通道絕緣膜上之浮游電極FG、設置於浮游電極FG上之閘極間絕緣膜、及設置於閘極間絕緣膜上之控制電極CG。配置於各列之記憶胞電晶體 $MT_0 \sim MT_{m+1}$ 之控制電極CG係共同連接於字元線 $WL_0 \sim WL_{31}$ 之任一。

分別連接於各字元線 $WL_0 \sim WL_{31}$ 之複數記憶胞電晶體 $MT_0 \sim MT_{m+1}$ 係構成1分頁。例如連接於圖2中以虛線表示之字元線 WL_2 之複數記憶胞電晶體 $MT_0 \sim MT_{m+1}$ 係構成1分頁(PAGE2)。

配置於各行之記憶胞電晶體係共有電流路徑之源極/汲極，各個電流路徑之一端及另一端串聯連接以構成NAND胞行(記憶胞行)19。於本例中，NAND胞行(記憶胞行)19配置為連接32個。NAND胞行(記憶胞行)19係由選擇電晶體ST1, ST2選擇。

選擇電晶體ST1之閘極係共同連接於選擇閘極線SGD，選擇電晶體ST2之閘極係共同連接於選擇閘極線SGS。選擇電晶體ST1之汲極連接於位元線 $BL_0 \sim BL_{m+1}$ 之任一。選

擇電晶體 ST2 之源極連接於源極線 SRC。

源極線 SRC 係於鄰接於位元線方向(行方向)之區塊 Block 共有。例如圖示之源極線 SRC 係於區塊 Block n 與區塊 Block n+1 共有。

此外，配置於行之記憶胞電晶體之個數不限於本例之 32 個，亦可為例如 8 個、16 個等或其以上。而且，選擇電晶體 ST1, ST2 若為可選擇 NAND 胞行 19 之結構，則僅設有選擇電晶體 ST1, ST2 之任一方亦可。

而且，為了於每上述 1 分頁 (PAGE) 將資料進行寫入、讀出，分頁 (PAGE) 為寫入單位及讀出單位。抹除動作係以區塊 Block n 單位整批進行。亦即，藉由於區塊 Block n-1~Block n+1 內之所有控制電極 CG 施加抹除電壓 Vera，將浮游電極 FG 中之電子釋放至半導體基板中來進行。

列解碼器 13 電性連接於記憶胞陣列 12，構成為選擇記憶胞陣列 12 中之字元線 WL0~WL31，於選擇之字元線 WL0~WL31 施加讀出、寫入或抹除所必要之電壓。本例之情況下，列解碼器 13 具備閘極共同連接於傳輸閘極線 TG 之傳輸閘極電晶體 TGTD, TGTS，及傳輸電晶體 TR0~TR31。傳輸閘極電晶體 TGTD, TGTS 連接於選擇閘極線 SGS, SGD。傳輸電晶體 TR0~TR31 係構成為，對於各字元線 WL0~WL31 傳輸抹除電壓 Vera、寫入電壓 Vpgm 等特定電壓。

位元線控制電路 17 係構成為，經由位元線 BL0~BLm+1 來讀出記憶胞陣列 12 中之記憶胞電晶體 MT0~MTm+1 之資

料，或經由位元線BL0~BLm+1來檢測記憶胞電晶體MT0~MTm+1之狀態，或經由位元線BL0~BLm+1來將寫入電壓施加於記憶胞電晶體MT0~MTm+1，以於記憶胞電晶體MT0~MTm+1進行寫入。

各第一閃鎖電路D1係保持從行解碼器14供給之寫入資料。而且，各第一閃鎖電路D1係保持由感測放大器18所讀出之來自記憶胞電晶體MT0~MTm+1之資料。由資料緩衝器20之各第一閃鎖電路D1所保持之資料係經由行解碼器14，從資料輸出入端子15輸出往外部。

<2.寫入動作>

接著，利用圖3至圖15來說明有關本實施型態之半導體記憶裝置之寫入動作。以下，此說明係依照圖3之流程圖來說明。本例中，將寫入記憶胞陣列12中以虛線所示之1分頁(PAGE2)之情況舉作一例來說明。

(步驟ST1(寫入資料載入))

首先，如圖3及圖4所示，行解碼器14係控制資料緩衝器20，以便將從輸出入端子15輸入之寫入資料(分頁資料)取入第一閃鎖電路D1之任一(資料載入(data load))。

(步驟ST2(驗證寫入))

接著，如圖5所示，控制電路22係按照第一閃鎖電路D1中之寫入資料，來使電壓產生電路21產生特定寫入電壓Vpgm等，於分頁PAGE2之記憶胞電晶體MT0~MTm+1進行資料寫入。更具體而言，控制電路22係對於選擇NAND胞行19之非選擇胞，施加通過電位(Vpass)，控制為使NAND

胞行 19 之電流路徑導通。接著，控制電路 22 係於分頁 PAGE2 中之寫入胞 MT0, MTm 之控制電極 CG 施加寫入電壓 V_{pgm} ，控制為將電子注入寫入胞 MT0, MTm 之浮游電極 FG("0" 寫入)。

於此，於各個記憶胞電晶體 MT0~MTm+1 間，由於製造過程中之胞形狀或製造步驟時之熱過程等變動要因，存在有寫入特性之偏差。因此，於該分頁 PAGE2 中之寫入胞 MT0~MTm+1 中，亦存在有早寫入之胞群 MTfast(例如於此為記憶胞電晶體 MT0) 與晚寫入之胞群 MTlate(例如於此為記憶胞電晶體 MTm)。

接著，進行整批讀出分頁 PAGE2 之分頁資料之驗證讀出 (Verify Read)。如圖 6 所示，於該寫入之初期，如前述由於源極線雜訊甚大，因此相較於實際之臨限值分布 26，由感測放大器電路 S/A 所測定到之臨限值分布 25 係其臨限值電壓 V_{th} 被較大地測定。

因此，早寫入之胞群 MTfast(MT0) 之臨限值電壓係於寫入之初期，被誤判斷為超過驗證電壓 V_{verify} (既已寫入結束)。因此，對於早寫入之胞群 MTfast(MT0) 未進行驗證寫入動作。

另一方面，於步驟 ST2 之初期時，晚寫入之胞群 Mtlate (記憶胞電晶體 MTm) 之臨限值電壓尚未超過驗證電壓 V_{verify} ，被判斷為寫入尚未結束。

因此，接著如圖 7 所示，對於晚寫入之胞群 Mtlate (MTm) 重複進行與上述同樣之驗證寫入及驗證讀出，直到

達到特定驗證電壓 V_{verify} 。具體而言，如上述，於感測放大器 S/A，進行整批讀出分頁資料之驗證讀出，於每位元判斷是否達到特定驗證電壓 V_{verify} 。僅於被判斷寫入不足之位元進行上述驗證寫入。於該驗證寫入時，亦可施加進一步加上使先前資料寫入時之寫入電壓 V_{pgm} 之脈衝之電壓，恰增加特定值之具有升壓幅度之電壓 ΔV_{pgm} 之寫入電壓 ($V_{pgm} + \Delta V_{pgm}$) 而進行。此外，使該驗證寫入時之寫入脈衝之電壓增加何程度，係與最終獲得之臨限值 V_{th} 之分布幅度之廣度、及到使所有記憶體胞電晶體 MT 之寫入結束之時間相關，藉由因應必要之參數來決定。

然而，於該寫入結束時，由於源極線雜訊小，因此由感測放大器電路 S/A 所測定到之臨限值分布約略與實際之臨限值分布一致。其結果，晚寫入之胞群 $MT_{late}(MT_m)$ 之臨限值電壓被正確判斷為超過特定驗證電壓 V_{verify} 。故，晚寫入之胞群 $MT_{late}(MT_m)$ 由於源極線雜訊之影響小，因此不易產生如上述早寫入之胞群 $MT_{fast}(MT_0)$ 之誤判斷。

重複此類驗證寫入及驗證讀出，使分頁 PAGE2 成為特定臨限值分布。然而，如圖 7 所示，早寫入之胞群 $MT_{fast}(MT_0)$ 係由於源極線雜訊而被誤判斷，尚未符合驗證電壓 V_{verify} 。

<關於源極線雜訊>

接著，利用圖 8 至圖 12，來更詳細說明上述寫入動作(步驟 ST2)之驗證讀出時所產生之源極線雜訊。

該源極線雜訊主要起因於源極線 SRC 之布線電阻之寄生

電容，因此依流於源極線 SRC 之胞電流之多寡而變動。結果，該源極線雜訊係於驗證讀出時，在感測放大器電路 S/A 之判斷中發揮作用以使早寫入之胞群 MTfast(MT0) 之臨限值電壓 V_{th} 變大。

亦即，如圖 8 所示，於上述步驟 ST2 初期時之驗證讀出時，首先於位元線 BL0~BLm+1 施加特定電壓，進行充電。接著，於 NAND 胞行 19 中之非選擇胞施加通過電位 (V_{pass})，於分頁 PAGE2 中之選擇胞 MT0~MTm+1 之控制電極 CG 施加判斷電壓。接著，將選擇胞 MT0~MTm+1 之電流路徑之胞電流放電至位元線 BL0~BLm+1，並依位元線 BL0~BLm+1 之電壓是否超過特定判斷電壓 V_{sense} 來進行。

例如圖 9 所示係該 ST2 之初期，即驗證讀出時之位元線 BL0~BLm+1 電壓。如圖示，於時刻 t1 至 t2 間，感測放大器電路 S/A 係藉由測定位元線 BL0~BLm+1 之電壓下降，來判斷記憶胞電晶體 MT0~MTm+1 是否結束寫入。

於此，於早寫入之胞群 MTfast 之寫入結束時，由於周圍記憶胞 MT1~MTm+1 之寫入未結束，因此臨限值電壓 V_{th} 尚低，於胞電流 $IMT1 \sim IMTm+1$ 多之狀態下進行驗證讀出。因此，於源極線 SRC 流入許多胞電流 $IMT1 \sim IMTm+1$ ，產生甚大之源極線雜訊，源極線 SRC 之電壓大幅上升。

因此，如圖 9 所示，被判斷早寫入之胞群 MTfast(MT0) 之實線 0 資料位元線電壓 $V_{BL} "0"$ 係隨著源極線雜訊所造成之源極線 SRC 之電壓 31 大幅上升而上升，其結果會超過判斷電壓 V_{sense} 。因此，早寫入之胞群 MTfast(MT0) 即使原本

未寫入，仍由感測放大器電路S/A誤判斷為寫入結束。

其後，如圖8所示，連接於早寫入之胞群MTfast(MT0)之感測放大器電路S/A之值係視作寫入結束而被反轉("0"→"1")。因此，以後對於早寫入之胞群MTfast(MT0)不進行驗證寫入。

另一方面，接著如圖10所示，於寫入動作結束時(步驟ST2結束時)，晚寫入之胞群MTlate(MTm)係於周圍胞MT0~MTm+1之寫入結束之狀態下被進行驗證讀出。

因此，此時，由於周圍記憶胞MT0~MTm+1之寫入已結束，因此臨限值電壓Vth高，於胞電流IMT0~IMTm+1少之狀態下被進行驗證讀出。故，於源極線SRC流入少許胞電流IMT0~IMTm+1，未產生甚大之源極線雜訊，源極線SRC之電壓上升幅度少。

因此，如圖11所示，晚寫入之胞群MTlate(MTm)不會由於源極線雜訊致使源極線SRC之電壓大幅上升，因此藉由實線0資料位元線電壓VBL"0"來判斷，未由感測放大器電路S/A進行誤判斷。

另一方面，此時若進行驗證讀出，則早寫入之胞群MTfast(MT0)係從虛線實線0資料位元線電壓VBL"0"，藉由實線0資料位元線電壓VBL"0"來判斷，判斷為尚未結束寫入。

因此，按照以下步驟ST3至ST5(源極線雜訊用)進行追加寫入，使讀出邊限增大。

此外，如上述，源極線雜訊之大小係依上述胞電流

IMT0~IMT_{m+1}之值而變動。亦即，源極線雜訊係依流入何程度之胞電流IMT0~IMT_{m+1}來決定電壓下降值。因此，依源極線雜訊大小所決定之源極線電壓31之上升幅度係取決於周圍記憶胞電晶體MT0~MT_{m+1}之寫入資料模式。決定該源極線雜訊大小之記憶胞電晶體MT0~MT_{m+1}之寫入資料模式係藉由外部位址等來決定。故，源極線雜訊大小難以事先預測。

(步驟ST3(寫入資料再載入(reload)))

接著，如圖12所示，於步驟ST3時，控制電路22係控制資料緩衝器20，以便從輸出入端子15，再度將寫入資料(分頁資料)取入第一閃鎖電路D1之各個(reload)。

(步驟ST4(驗證讀出(Verify Read 1)))

接著，如圖13所示，於步驟ST4時，進行與上述同樣之驗證讀出。例如分別於感測放大器S/A讀出分頁PAGE2之記憶胞電晶體MT0~MT_{m+1}之寫入資料，並進行驗證讀出。

然後，所讀出之臨限值電壓V_{th}符合特定驗證電壓V_{verify}之情況時，不進行以後之(源極線雜訊用)追加寫入(ST5)並結束該寫入動作。此係源極線雜訊大小所造成之源極線電壓31之上升幅度取決於周圍記憶胞電晶體MT0~MT_{m+1}之寫入資料模式。因此，依寫入資料模式，即使是早寫入之胞群MT_{fast}(MT0)仍有未被誤判斷之情況所致。

另一方面，讀出之臨限值電壓V_{th}因上述源極線雜訊而

未符合特定驗證電壓 V_{verify} 之情況時，進行以下(源極線雜訊用)追加寫入(ST5)。於本例之情況下，讀出早寫入之胞群 $MT_{fast}(MT0)$ 之資料之感測放大器 S/A 之值 "1"、與上述步驟 ST3 時再載入之第一閃鎖電路 D1 之值 "0" 不一致。因此，不符合驗證電壓 V_{verify} 。

(步驟 ST5(源極線雜訊用追加寫入(Verify Write 2: 驗證寫入 2)))

接著，如圖 14 所示，控制電路 22 係按照步驟 ST3 時之第一閃鎖電路 D1 中再度取入之寫入資料，來控制電壓產生電路 21 之電壓值，於與上述同樣之分頁 PAGE2 之記憶胞電晶體 $MT0 \sim MT_{m+1}$ 整批進行追加之驗證寫入。接著，進行同樣之驗證讀出。如此，重複追加之驗證寫入及驗證讀出，直到分頁 PAGE2 之記憶胞電晶體 $MT0 \sim MT_{m+1}$ 符合驗證電壓。

其結果，可增大圖 14 中以虛線所示之早寫入之胞群 $MT_{fast}(MT0)$ 之臨限值電壓 V_{th} ，以成為符合特定驗證電壓 V_{verify} 之臨限值電壓。

並且，如圖 15 所示，於該追加寫入(步驟 ST5)時，可比上述驗證寫入(步驟 ST2)時更減低寫入電壓 V_{pgm} 之最大值 V_{pgm_max}' (或脈衝施加次數)(最大電壓值 $V_{pgm_max}' <$ 最大電壓值 V_{pgm_max})。因此，該追加寫入(步驟 ST5)時所必要之寫入時間可比上述驗證寫入(步驟 ST2)時更減低。故，可使該追加寫入(步驟 ST5)所造成之寫入動作之增大時間為最小限度。例如本例之情況時，相較於上述驗證寫

入(步驟ST2)時之寫入電壓之最大值 V_{pgm_max} (脈衝施加次數)，該追加寫入(步驟ST5)時之寫入電壓之最大值 V_{pgm_max}' (脈衝施加數)可為 $1/3 \sim 1/2$ 程度。

此係如上述，源極線雜訊之影響係由於上述胞群 MT_{fast} (本例為 MT_0)寫入早，因此由於早寫入之胞群 MT_{fast} (本例為 MT_0)而顯著。另一方面，晚寫入之胞群 MT_{late} (本例為 MT_m)係由於寫入特性晚，因此晚寫入之胞群 MT_{late} (MT_m)之臨限值分布 V_{th} 之移動少。其結果，可僅使早寫入之胞群 MT_{fast} (MT_0)之臨限值分布移動，以符合特定驗證電壓 V_{verify} ，且可減少該追加寫入ST5之臨限值分布 V_{th} 全體之移動，因此可防止可靠性減低。

<3.關於本實施型態之效果>

若根據關於本實施型態之半導體記憶裝置及其寫入方法，至少可獲得下述(1)至(3)之效果。

(1)即使是產生源極線雜訊之情況下，仍可增大讀出邊限。

如上述，關於本實施型態之半導體記憶裝置具備控制電路22。該控制電路22係將由複數第一門鎖電路D1所保持(ST1)之寫入資料，整批寫入電性連接於各個複數第一門鎖電路D1之前述位元線 $BL_0 \sim BL_{m+1}$ 之複數前述記憶胞 $MT_0 \sim MT_{m+1}$ (ST2)。接著，整批寫入後，使複數第一門鎖電路D1再度保持寫入資料(ST3)。接著，於記憶胞 $MT_0 \sim MT_{m+1}$ 進行驗證讀出，於驗證讀出所獲得之複數感測放大器電路S/A之讀出資料、與使複數第一門鎖電路所

再度保持之寫入資料不一致之情況(ST5)時，可於複數記憶胞MT0~MTm+1再度整批寫入所保持之寫入資料(ST5)。

因此，如圖14所示，可增大由於源極線雜訊而錯誤判斷之早寫入之胞群MTfast(本例為MT0)之臨限值電壓Vth，以成為符合特定驗證電壓Vverify之臨限值電壓。

結果，如圖16所示，可於去除起因於源極線雜訊之雜訊電壓 ΔV_{nol} 之狀態下，進行分頁讀出動作(read)，因此可使讀出邊限電壓從邊限電壓 ΔV_{m1} 增大至邊限電壓 $\Delta m1'$ 。

例如本例般，記憶胞陣列12作為2值NAND型快閃記憶體而構成之情況時，讀出邊限之增大率為雜訊電壓值 ΔV_{nol} /邊限電壓值 $\Delta V_{m'}$ ，成為10%程度。

另一方面，如後述之第三實施型態，記憶胞陣列12作為多值NAND型快閃記憶體而構成之情況時，臨限值分布間之邊限電壓更窄，但由於雜訊電壓 ΔV_{nol} 之大小不變，因此可更擴大讀出邊限之增大率。

於此，由於上述源極線雜訊所造成之源極線SRC之電壓上升31之大小取決於分頁之記憶胞電晶體MT0~MTm+1之寫入資料模式，因此難以預測。故，即使為產生源極線雜訊之情況，為了增大讀出邊限，進行如本例之追加寫入動作(ST5)仍為有效。

而且，隨著記憶胞電晶體MT0~MTm+1之微細化及記憶胞陣列12之大容量化，配置於同一分頁之胞數增加，且源極線電位上升之情況下，胞之臨限值電壓Vth上升(反偏壓效果)之影響逐漸擴大。因此，源極線雜訊之影響增大。

故，本發明係對於記憶胞電晶體 $MT_0 \sim MT_{m+1}$ 之微細化及記憶胞陣列12之大容量化有利。

(2)可減低追加寫入(步驟ST5)之寫入時間。

而且，如圖15所示，於該追加寫入(步驟ST5)時，可比上述驗證寫入(步驟ST2)時更減低寫入電壓 V_{pgm} 之最大值 $V_{pgm_max'}$ (施加次數)。因此，可減低該追加寫入(步驟ST5)時所必要之寫入時間。故，可使因該追加寫入(步驟ST5)而增大之寫入動作全體之時間增大為最小限度。

此係如上述，源極線雜訊之影響係由於早寫入之胞群 $MT_{fast}(MT_0)$ 而顯著，上述胞群 $MT_{fast}(MT_0)$ 之寫入早所致。另一方面，晚寫入之胞群 $MT_{late}(MT_m)$ 係由於寫入特性晚，因此晚寫入之胞群 $MT_{late}(MT_m)$ 之臨限值分布 V_{th} 之移動少。其結果，可僅使早寫入之胞群 $MT_{fast}(MT_0)$ 之臨限值分布移動，以符合特定驗證電壓 V_{verify} ，且可減少該追加寫入ST5之臨限值分布 V_{th} 全體之移動，因此可防止可靠性減低。

(3)對於製造成本減低亦有利。

若欲減低上述源極線雜訊之情況時，認為例如於源極線SRC進行用以減低電阻值之襯裏等即可。然而，為了於源極線SRC進行用以減低電阻值之襯裏等，會因其另外發生製造過程，製造成本增大。

於本例之情況下，由於不須對於源極線進行該襯裏等，因此完全不會另外發生新製造過程，並可減低源極線雜訊，因此對於減低製造成本有利。

[第二實施型態(進一步具備資料門鎖電路之一例)]

接著，利用圖 17 至圖 19 來說明關於第二實施型態之半導體記憶裝置。本實施型態係關於進一步具備第二門鎖電路 D2 之一例。於此說明中，省略與上述第一實施型態重複部分之詳細說明。

<結構例>

如圖示，關於第二實施型態之半導體記憶裝置與上述第一實施型態之相異點為，資料緩衝器 20 進一步具備第二門鎖電路 D2。

第二門鎖電路 D2 之各個係輸入電性連接於行解碼器 14，輸出連接於第一門鎖電路 D1 之輸入。

<寫入動作>

接著，說明有關本實施型態之半導體記憶裝置之寫入動作。於此說明中，依照圖 18 之流程圖來說明。本例中，與上述第一實施型態之相異點為，於步驟 ST1 時，將寫入資料分別取入第一、第二門鎖電路 D1, D2，於步驟 ST3 時，將第二門鎖電路 D2 之寫入資料(分頁資料)複製至第一門鎖電路 D1。

(步驟 ST3(寫入資料複製(資料門鎖 D2→資料門鎖 D1)))

亦即，如圖 19 所示，於步驟 ST3 時，控制電路 22 係控制資料緩衝器 20，以便將由第二門鎖電路 D2 所保持之寫入資料，複製至第一門鎖電路 D1 之各個(資料複製(data copy))。

此係由於即使是驗證寫入(步驟 ST2)後，寫入資料仍由

第二門鎖電路D2保持。因此，由於不須從資料輸出入端子15，再度將寫入資料(分頁資料)取入第一門鎖電路D1之各個，故對於高速寫入有利。

如上述，若根據關於本實施型態之半導體記憶裝置及其寫入方法，可獲得與上述(1)至(3)同樣之效果。並且，若根據本例，至少可獲得以下(4)之效果。

(4)對於高速寫入有利。

關於本例之半導體記憶裝置係於資料緩衝器20中進一步具備第二門鎖電路D2。

因此，於步驟ST3時，可將由第二門鎖電路D2所保持之寫入資料，複製至第一門鎖電路D1之各個。其結果，於不須從資料輸出入端子15，再度將寫入資料(分頁資料)取入第一門鎖電路D1之各個方面，對於高速寫入有利。

[變形例1(增大升壓幅度之一例)]

接著，利用圖20來說明關於變形例1之半導體記憶裝置。本變形例1係關於增大寫入電壓之升壓幅度 ΔV_{pgm} 之一例。於此說明中，省略與上述第一實施型態重複部分之詳細說明。

如圖示，於本變形例1，與上述第一實施型態之相異點係於上述(源極線雜訊用)追加寫入(步驟ST5)時，控制電路22控制電壓產生電路21，以便更增大升壓幅度 $\Delta V_{pgm}'$ 。圖20中以實線所示之升壓幅度 $\Delta V_{pgm}'$ 係控制為大於關於上述第一實施型態之升壓幅度 ΔV_{pgm} ($\Delta V_{pgm}' > \Delta V_{pgm}$)。

如上述，若根據關於本實施型態之半導體記憶裝置及其

寫入方法，可獲得與上述(1)至(3)同樣之效果。

並且，關於本例之控制電路22與上述第一實施型態之相異點係於上述步驟ST5(源極線雜訊減低用追加寫入)時，控制電壓產生電路21，以便更增大升壓幅度 $\Delta V_{pgm}'$ 。

此係如上述，源極線雜訊之影響由於驗證電壓 V_{verify} 附近之早寫入之胞群MTfast等而顯著，上述驗證電壓 V_{verify} 附近之胞群MTfast等立即超過上述驗證電壓 V_{verify} 。因此，即使為更增大升壓幅度 $\Delta V_{pgm}'$ (粗糙地進行寫入)之情況，仍可符合特定臨限值電壓 V_{th} 所致。

因此，相較於上述第一實施型態，於可更減低追加寫入時(步驟ST5時)之寫入時間方面有利。

[變形例2(進一步具備驗證讀出步驟之一例)]

接著，利用圖21來說明有關變形例2之半導體記憶裝置。本變形例2係關於進一步具備驗證讀出步驟ST6之一例。於此說明中，省略與上述第一實施型態重複部分之詳細說明。

如圖示，關於變形例2之半導體記憶裝置之寫入動作與上述第一實施型態之相異點為，進一步具備驗證讀出步驟ST6。

(步驟ST6(驗證讀出(Verify Read 2)))

亦即，接續於步驟ST5，感測放大器S/A進行驗證讀出(Verify Read 2)。例如於感測放大器S/A中之閃鎖電路D1分別讀出分頁PAGE2之記憶胞電晶體MT0~MTm之寫入資料，並再度進行驗證讀出。

然後，於讀出之臨限值電壓 V_{th} 符合特定驗證電壓 V_{verify} 之情況時，結束寫入動作。

另一方面，於讀出之臨限值電壓 V_{th} 尚未符合特定驗證電壓 V_{verify} 之情況時，再度進行上述源極線雜訊減低用之追加寫入 (ST3 至 ST5)。

如上述，若根據關於本變形例 2 之半導體記憶裝置及其寫入方法，可獲得與上述 (1) 至 (3) 同樣之效果。

並且，關於變形例 2 之半導體記憶裝置之寫入動作進一步具備驗證讀出步驟 ST6。因此即使為步驟 ST6 時所讀出之臨限值電壓 V_{th} 尚未符合特定驗證電壓 V_{verify} 之情況時，仍可進行上述源極線雜訊減低用之追加寫入 (ST3 至 ST5)。其結果，於可進一步減低讀出邊限，提升可靠性方面有利。

[第三實施型態(多值 NAND 型快閃記憶體之一例)]

接著，利用圖 22 來說明有關第三實施型態之半導體記憶裝置。本例係關於記憶胞陣列 12 作為可於 1 個記憶胞電晶體 $MT_0 \sim MT_{m+1}$ 記錄多位元資料之 MLC (Multi Level Cell: 多值胞) 區域來構成之多值 NAND 型快閃記憶體之情況下之一例。於此說明中，省略與上述第一實施型態重複部分之詳細說明。

於上述第一實施型態之說明中，作為半導體記憶裝置之一例係舉出記憶胞陣列 12 作為 2 值 NAND 型快閃記憶體來構成之情況下之一例來說明。然而，不限於 2 值 NAND 型快閃記憶體，對於多值 NAND 型快閃記憶體亦可同樣地適用，

可進一步增大讀出邊限之增大率。本第三實施型態係記憶胞陣列12作為多值NAND型快閃記憶體來構成之情況下之一例。於此，作為多值之一例係舉例說明4值之情況。

關於本例之多值NAND型快閃記憶體之臨限值分布係如圖22所示。如圖示，本例之記憶胞電晶體 $MT_0 \sim MT_{m+1}$ 係依低臨限值電壓 V_{th} 之順序，可保持"11"、"01"、"10"、"00"4個資料。保持資料"11"之記憶胞電晶體 $MT_0 \sim MT_{m+1}$ 之臨限值電壓 V_{th} 為 $V_{th} < V_{th1}$ (本例為0V)。保持資料"01"之記憶胞電晶體 $MT_0 \sim MT_{m+1}$ 之臨限值電壓 V_{th} 為 $V_{th1} < V_{th} < V_{th2}$ 。保持資料"10"之記憶胞電晶體之臨限值電壓 V_{th} 為 $V_{th2} < V_{th} < V_{th3}$ 。保持資料"00"之記憶胞電晶體之臨限值電壓 V_{th} 為 $V_{th} < V_{th3}$ 。

若與上述2值NAND型快閃記憶體之寫入模式(以下稱為2值模式)比較，本例之4值NAND型快閃記憶體之寫入模式(以下稱為4值模式)可謂利用低位位元及高位位元之動作模式。

而且，關於對於記憶胞電晶體 $MT_0 \sim MT_{m+1}$ 以2值模式寫入資料，亦或以4值模式寫入資料，係由例如NAND型快閃記憶體10之外部控制器等(未圖示)控制。具體而言，對於2位元資料之低位位元分配有低位分頁位址，對於高位位元分配有高位分頁位址。對於記憶胞電晶體 $MT_0 \sim MT_{m+1}$ 以2值模式寫入資料之情況時，控制器等係僅使用此等分頁位址中之低位分頁位址來寫入資料。對於記憶胞電晶體 $MT_0 \sim MT_{m+1}$ 以4值模式寫入資料之情況時，控制器等可使

用高位分頁位址及低位分頁位址雙方來寫入資料。

本例之4值模式之資料寫入首先從低位位元來進行。若抹除狀態設為"11"("--"，-意味非特定)，首先藉由寫入有低位位元，記憶胞電晶體 $MT_0 \sim MT_{m+1}$ 保持"11"("-1")或"10"("-0")。2值模式之情況時，至以上結束寫入。以4值模式寫入之情況時，接著寫入有高位位元。其結果，保持"11"("-1")之記憶胞電晶體 $MT_0 \sim MT_{m+1}$ 係保持"11"或"01"，保持"10"("-0")之記憶胞電晶體 $MT_0 \sim MT_{m+1}$ 係保持"10"或"00"。

即使為本例之4值模式之資料寫入時，仍進行依照上述圖3所說明之步驟ST1~ST5等之同樣之寫入動作。因此，如圖22所示，可於去除起因於源極線雜訊之雜訊電壓 ΔV_{no1} ， ΔV_{no2} ， ΔV_{no3} 全部之狀態下，進行分頁讀出動作(read)。結果，即使為產生甚大之源極線雜訊之情況，仍可增大讀出邊限電壓 $\Delta V_{m1'}$ ， $\Delta V_{m2'}$ ， $\Delta V_{m3'}$ 。

例如本例般，記憶胞陣列12作為4值NAND型快閃記憶體來構成之情況下，讀出邊限之增大率為雜訊電壓值 ΔV_{no1} /邊限電壓值 $\Delta V_{m1'}$ 、雜訊電壓值 ΔV_{no2} /邊限電壓值 $\Delta V_{m2'}$ 、雜訊電壓值 ΔV_{no3} /邊限電壓值 $\Delta V_{m3'}$ ，分別為20%程度。如此，記憶胞陣列12作為4值NAND型快閃記憶體來構成之情況下，臨限值分布間之邊限電壓更窄，另一方面由於雜訊電壓 ΔV_{no1} ， ΔV_{no2} ， ΔV_{no3} 不變，因此可更增大讀出邊限之增大率。

此外，於本第三實施型態，作為多值NAND型快閃記憶

體之一例係舉出4值之情況為一例來說明。然而，作為多值不限於4值，例如8值、16值等情況亦可同樣地適用，適用之情況時，可進一步增大讀出邊限之增大率。

例如記憶胞陣列12作為8值之多值NAND型快閃記憶體來構成，並適用於該8值之多值NAND型快閃記憶體之情況時，同樣可去除起因於源極線雜訊之雜訊電壓 ΔV_{no1} , ΔV_{no2} , ..., ΔV_{no7} 全部。此情況下，同樣臨限值分布間之邊限電壓 $\Delta V_{m1'}$, $\Delta V_{m2'}$, ..., $\Delta V_{m7'}$ 更窄，另一方面，雜訊電壓 ΔV_{no1} , ΔV_{no2} , ..., ΔV_{no7} 則不變。其結果，8值之情況下，可使讀出邊限之增大率為例如30%以上。

於以上說明中，作為電荷儲存層係說明浮游電極FG之情況為一例，但不限於此。亦即，作為電荷儲存層，使用例如氮化矽膜(Si_3N_4 膜)來取代浮游電極FG之金屬-氧化物-氮-氧化物-矽(metal-oxide-nitride-oxide-silicon)(MONOS)型、或將氮化鉭膜之控制電極與高介電率絕緣膜之例如氧化鋁膜(Al_2O_3 膜)作為電荷儲存層使用之鉭氮-鋁 氧化物-氮-氧化物-矽(tantalum nitride-aluminum oxide-nitride-oxide-silicon)(TANOS)型等亦可同樣地適用。

附加優點及修訂將附隨於已成熟之技藝產生。因此，本發明中之廣義態樣不得受限於本申請書中所揭示與描述之特定細節及代表性實施型態。因此，在不違背附加之申請專利範圍及其同質文件中所定義之一般發明概念之精神或領域內，得進行各種修訂。

【圖式簡單說明】

圖 1 係表示關於本發明之第一實施型態之半導體記憶裝置之方塊圖；

圖 2 係表示關於第一實施型態之半導體記憶裝置之方塊圖；

圖 3 係表示關於第一實施型態之半導體記憶裝置之寫入動作之流程圖；

圖 4 係用以說明關於第一實施型態之寫入動作之一步驟 ST1(資料載入)之方塊圖；

圖 5 係用以說明關於第一實施型態之寫入動作之一步驟 ST2(驗證寫入)之方塊圖；

圖 6 係表示關於第一實施型態之寫入動作之一步驟 ST2 初期時之臨限值分布之圖；

圖 7 係表示關於第一實施型態之寫入動作之一步驟 ST2 結束時之臨限值分布之圖；

圖 8 係用以說明關於第一實施型態之寫入動作之一步驟 ST2 初期時之驗證讀出之方塊圖；

圖 9 係表示關於第一實施型態之寫入動作之一步驟 ST2 初期時之位元線電壓之圖；

圖 10 用以說明關於第一實施型態之寫入動作之一步驟 ST2 結束時之驗證讀出之方塊圖；

圖 11 係表示關於第一實施型態之寫入動作之一步驟 ST2 結束時之位元線電壓之圖；

圖 12 係用以說明關於第一實施型態之寫入動作之一步驟 ST3(再載入)時之方塊圖；

圖 13 係用以說明關於第一實施型態之寫入動作之一步驟 ST4(驗證讀出)時之方塊圖；

圖 14 係表示關於第一實施型態之寫入動作之一步驟 ST5 時之臨限值分布之圖；

圖 15 係表示關於第一實施型態之寫入動作之一步驟 ST5 時之寫入電壓之圖；

圖 16 係表示關於第一實施型態之半導體記憶裝置之讀出動作時之臨限值分布之圖；

圖 17 係表示關於本發明之第二實施型態之半導體記憶裝置之方塊圖；

圖 18 係表示關於第二實施型態之半導體記憶裝置之寫入動作之流程圖；

圖 19 係用以說明關於第二實施型態之寫入動作之一步驟 ST3(資料複製)時之方塊圖；

圖 20 係表示關於本發明之變形例 1 之寫入動作之一步驟 ST5 時之寫入電壓之圖；

圖 21 係表示關於本發明之變形例 2 之半導體記憶裝置之寫入動作之流程圖；及

圖 22 係表示關於本發明之第三實施型態之半導體記憶裝置之讀出動作時之臨限值分布之圖。

【主要元件符號說明】

10	NAND 型快閃記憶體
11	控制信號及控制電壓產生電路
12	記憶胞陣列

13	列解碼器
14	行解碼器
15	資料輸出入端子
17	位元線控制電路
18	感測放大器
19	NAND胞行(記憶胞行)
20	資料緩衝器
21	電壓產生電路
22	控制電路
25, 26	臨限值分布
31	源極線電壓
BL0~BL _{m+1}	位元線
Block n-1, Block n, Block n+1	區塊
CG	控制電極
D1	第一閃鎖電路
D2	第二閃鎖電路
FG	浮游電極
IMT0~IMT _{m+1}	胞電流
MT0~MT _{m+1}	記憶胞電晶體
MTfast	早寫入之胞群
MTlate	晚寫入之胞群
PAGE2	分頁
S/A	感測放大器電路

SGD, SGS	選擇閘極線
SRC	源極線
ST1, ST2	選擇電晶體
t1, t2	時刻
TR0~TR31	傳輸電晶體
TG	傳輸閘極線
TGTD, TGTS	傳輸閘極電晶體
VBL"0"	實線0資料位元線電壓
VBL"0"'	實線0資料位元線電壓、虛線實線0 資料位元線電壓
Vpgm	寫入電壓
Vpgm_max,	最大電壓值
Vpgm_max'	
Vsense	判斷電壓
Vth, Vth1, Vth2,	臨限值電壓
Vth3	
Vverify	驗證電壓
WL0~WL31	字元線
$\Delta Vm1$	邊限電壓
$\Delta Vm1'$	讀出邊限電壓
$\Delta Vno1, \Delta Vno2,$	雜訊電壓
$\Delta Vno3$	
$\Delta Vpgm, \Delta Vpgm'$	升壓幅度

十、申請專利範圍：

101年6月8日修正(本)

1. 一種半導體記憶裝置，其係包含：

記憶胞陣列，其係包含分別沿第一方向配置之複數記憶胞行，每一前述記憶胞行包括複數記憶胞，其具有沿與第一方向垂直之第二方向串聯連接之電流路徑，每一前述記憶胞具有電荷儲存層及控制電極，前述控制電極於第一方向延伸並連接至配至於鄰接之記憶胞行之記憶胞；

複數位元線，其係於第二方向延伸，每一前述位元線係電性連接於前述記憶胞行之電流路徑之一端；

源極線，其係於第一方向延伸並電性連接於前述記憶胞行之前述電流路徑之另一端；

感測放大器，其係包含複數感測放大器電路，每一前述感測放大器電路係分別電性連接於前述複數位元線中之一者；

資料緩衝器，其係包含複數第一閘鎖電路，每一前述第一閘鎖電路係電性連接於前述複數位元線中之一者；

輸入端子，其係保持來自外部裝置之資料；及

控制電路，其係進行第一驗證寫入動作及第二驗證寫入動作；

上述第一驗證寫入動作包含：

自前述輸入端子下載資料至前述複數第一閘鎖電路之每一者；

分別將前述複數第一閘鎖電路中之下載之資料之

每一者寫入至連接於前述複數位元線中之一者之前述複數記憶胞中之一者；

將前述複數記憶胞中之寫入之前述資料讀出至前述複數感測放大器電路；

驗證基於寫入之前述資料之臨限值電壓是否大於特定電壓；及

再度寫入至儲存有具有小於前述特定值之臨限值電壓之寫入之前述資料之記憶胞；

上述第二驗證寫入動作包含：

自前述輸入端子再度下載資料至前述複數第一門鎖電路之每一者；

將前述複數記憶胞中之寫入之前述資料再度儲存至前述複數感測放大器電路；

比較儲存於前述複數第一門鎖電路之再度下載之前述資料之第一值與儲存於前述複數感測放大器電路之再度儲存之前述資料之第二值；及

當前述第一值與前述第二值不相同時，分別將每一再度下載之資料再度寫入至連接於前述複數位元線之一者之前述複數記憶胞之一者。

2. 如請求項1之裝置，其中前述控制電路將前述電壓產生電路控制成：前述第二驗證寫入動作時之寫入電壓之最大值，比前述第一驗證寫入動作時之寫入電壓之最大值小。
3. 如請求項1之裝置，其中前述控制電路將前述電壓產生

電路控制成：前述第二驗證寫入動作時之寫入電壓之升壓幅度比前述第一驗證寫入動作之寫入電壓之升壓幅度大。

4. 如請求項1之裝置，其中前述控制電路將前述電壓產生電路控制成：前述第二驗證寫入動作時之升壓次數比前述第一驗證寫入動作之升壓次數少。
5. 如請求項1之裝置，其中前述記憶胞陣列係可於前述記憶胞之各個記錄多位元資料之區域。
6. 如請求項2之裝置，其中前述第二驗證寫入動作時之寫入電壓之最大值為前述第一驗證寫入動作時之寫入電壓之最大值之 $1/3\sim 1/2$ 倍。
7. 如請求項1之裝置，其中進一步包含列解碼器，其係選擇前述記憶胞陣列中之前述複數字元線，並施加必要之電壓。
8. 如請求項1之裝置，其中進一步包含行解碼器，其係將從前述資料輸出入端子輸入之資料供給至前述資料緩衝器中之特定第一門鎖電路。
9. 如請求項1之裝置，其中前述記憶胞陣列包含第一、第二選擇電晶體，其係連接於前述記憶胞行之電流路徑之一端及另一端，並選擇前述記憶胞行。
10. 一種半導體記憶裝置之寫入方法，其係包含：
進行第一驗證寫入動作，其包含：
自輸出入端子下載資料至複數第一門鎖電路之每一者；

分別將前述複數第一門鎖電路中之下載之資料之每一者寫入至連接於複數位元線中之一者之複數記憶胞中之一者；

將前述複數記憶胞中之寫入之前述資料讀出至複數感測放大器電路，前述複數感測放大器電路之每一者分別連接於前述複數位元線中之一者；

驗證基於寫入之前述資料之臨限值電壓是否大於特定電壓；及

再度寫入至儲存有具有小於前述特定值之臨限值電壓之寫入之前述資料之記憶胞；以及
進行第二驗證寫入動作，其包含：

自前述輸出入端子再度下載前述資料至前述複數第一門鎖電路之每一者；

將前述複數記憶胞中之寫入之前述資料再度儲存至前述複數感測放大器電路；

比較儲存於前述複數第一門鎖電路之再度下載之前述資料之第一值與儲存於前述複數感測放大器電路之再度儲存之前述資料之第二值；及

當前述第一值與前述第二值不相同時，分別將每一再度下載之資料再度寫入至連接於前述複數位元線之一者之前述複數記憶胞之一者。

11. 如請求項10之寫入方法，其中前述第二驗證寫入動作時之寫入電壓之最大值比前述第一驗證寫入動作之寫入電壓之最大值小。

12. 如請求項10之寫入方法，其中前述第二驗證寫入動作時之寫入電壓之升壓幅度比前述第一驗證寫入動作之寫入電壓之升壓幅度大。
13. 如請求項10之寫入方法，其中前述第二驗證寫入動作時之升壓次數比前述第一驗證寫入動作之升壓次數少。
14. 如請求項10之寫入方法，其中進一步包含於進行前述第二驗證寫入動作後，進一步於前述記憶胞進行驗證讀出。
15. 如請求項14之寫入方法，其中進一步包含進行第三驗證寫入動作，其包含：

自前述輸入端子再度下載資料至前述第一閃鎖電路之每一者；

將前述記憶胞中之寫入之前述資料再度儲存至前述感測放大器電路；

比較儲存於前述第一閃鎖電路之再度下載之前述資料之第一值與儲存於前述感測放大器電路之再度儲存之前述資料之第二值；及

當前述第一值與前述第二值不相同時，分別將每一再度下載之資料再度寫入至連接於前述複數位元線之一者之前述複數記憶胞之一者。

16. 一種半導體記憶裝置，其係包含：

記憶胞陣列，其係包含分別沿第一方向配置之複數記憶胞行，每一前述記憶胞行包括複數記憶胞，其具有沿與第一方向垂直之第二方向串聯連接之電流路徑，每一

前述記憶胞具有電荷儲存層及控制電極，前述控制電極於第一方向延伸並連接至配至於鄰接之記憶胞行之記憶胞；

複數位元線，其係於第二方向延伸，每一前述位元線係電性連接於前述記憶胞行之電流路徑之一端；

源極線，其係於第一方向延伸並電性連接於前述記憶胞行之前述電流路徑之另一端；

感測放大器，其係包含複數感測放大器電路，每一前述感測放大器電路係分別電性連接於前述複數位元線中之一者；

第一資料緩衝器，其係包含複數第一門鎖電路，每一前述第一門鎖電路係分別電性連接於前述複數位元線中之一者；

第二資料緩衝器，其係包含複數第二門鎖電路，每一前述第二門鎖電路係分別電性連接於前述複數第一門鎖電路中之一者；及

控制電路，其係進行第一驗證寫入動作及第二驗證寫入動作；

上述第一驗證寫入動作包含：

自外部裝置下載資料至前述第一及第二門鎖電路；

分別將下載之前述資料之每一者寫入至連接於前述複數位元線中之一者之前述複數記憶胞中之一者；

將前述記憶胞中之寫入之前述資料讀出至前述感

測放大器電路，前述複數感測放大器電路之每一者分別連接於前述複數位元線中之一者；

驗證基於寫入之前述資料之臨限值電壓是否大於特定電壓；及

再度寫入至儲存有具有小於前述特定值之臨限值電壓之寫入之前述資料之記憶胞；

上述第二驗證寫入動作包含：

自前述第二門鎖電路再度下載前述資料至前述第一門鎖電路；

將前述記憶胞中之寫入之前述資料再度儲存至前述感測放大器電路；

比較儲存於前述第一門鎖電路之再度下載之前述資料之第一值與儲存於前述感測放大器電路之再度儲存之前述資料之第二值；及

當前述第一值與前述第二值不相同時，分別將每一再度下載之資料再度寫入至連接於前述複數位元線之一者之前述複數記憶胞之一者。

17. 如請求項16之裝置，其中前述控制電路將前述電壓產生電路控制成：前述第二驗證寫入動作時之寫入電壓之最大值，比前述第一驗證寫入動作時之寫入電壓之最大值小。
18. 如請求項16之裝置，其中前述控制電路將前述電壓產生電路控制成：前述第二驗證寫入動作時之寫入電壓之升壓幅度比前述第一驗證寫入動作之寫入電壓之升壓幅度

大。

19. 如請求項16之裝置，其中前述控制電路將前述電壓產生電路控制成：前述第二驗證寫入動作時之升壓次數比前述第一驗證寫入動作之升壓次數少。

20. 一種半導體記憶裝置之寫入方法，其係包含：

進行第一驗證寫入動作，其包含：

下載資料至複數第一閃鎖電路及第二閃鎖電路；

分別將前述複數第一閃鎖電路中之下載之資料之每一者寫入至連接於前述複數位元線中之一者之複數記憶胞中之一者；

將前述複數記憶胞中之寫入之前述資料讀出至前述複數感測放大器電路，前述複數感測放大器電路之每一者分別連接於前述複數位元線中之一者；

驗證基於寫入之前述資料之臨限值電壓是否大於特定電壓；及

再度寫入至儲存有具有小於前述特定值之臨限值電壓之寫入之前述資料之記憶胞；以及

進行第二驗證寫入動作，其包含：

自前述第二閃鎖電路再度下載前述資料至前述第一閃鎖電路；

將前述複數記憶胞中之寫入之前述資料再度儲存至前述複數感測放大器電路；

比較儲存於前述複數第一閃鎖電路之再度下載之前述資料之第一值與儲存於前述複數感測放大器電路

之再度儲存之前述資料之第二值；及

當前述第一值與前述第二值不相同時，分別將每一再度下載之資料再度寫入至連接於前述複數位元線之一者之前述複數記憶胞之一者。

21. 如請求項20之寫入方法，其中進一步包含於進行前述第二驗證寫入動作後，進一步於前述複數記憶胞進行驗證讀出。

22. 如請求項20之寫入方法，其中進一步包含進行第三驗證寫入動作，其包含：

自前述輸出入端子再度下載資料至前述複數第一門鎖電路之每一者；

將前述複數記憶胞中之寫入之前述資料再度儲存至前述複數感測放大器電路；

比較儲存於前述複數第一門鎖電路之再度下載之前述資料之第一值與儲存於前述複數感測放大器電路之再度儲存之前述資料之第二值；及

當前述第一值與前述第二值不相同時，分別將每一再度下載之資料再度寫入至連接於前述複數位元線之一者之前述複數記憶胞之一者。

十一、圖式：

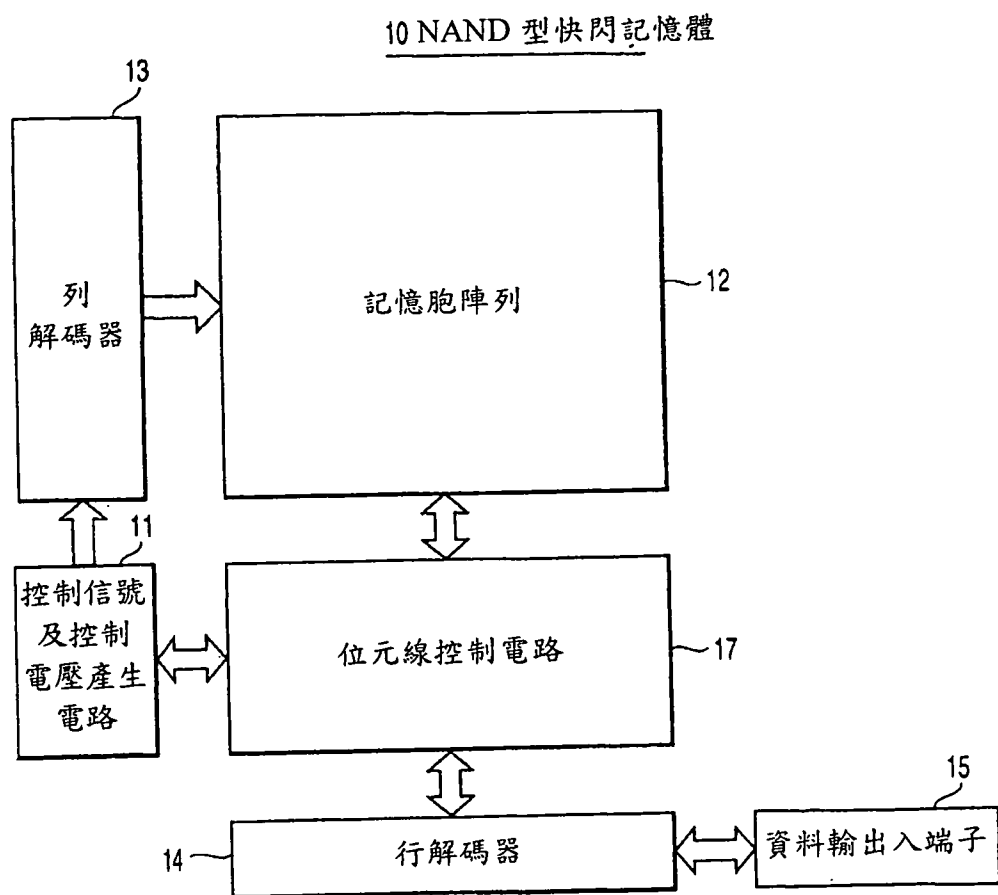


圖 1

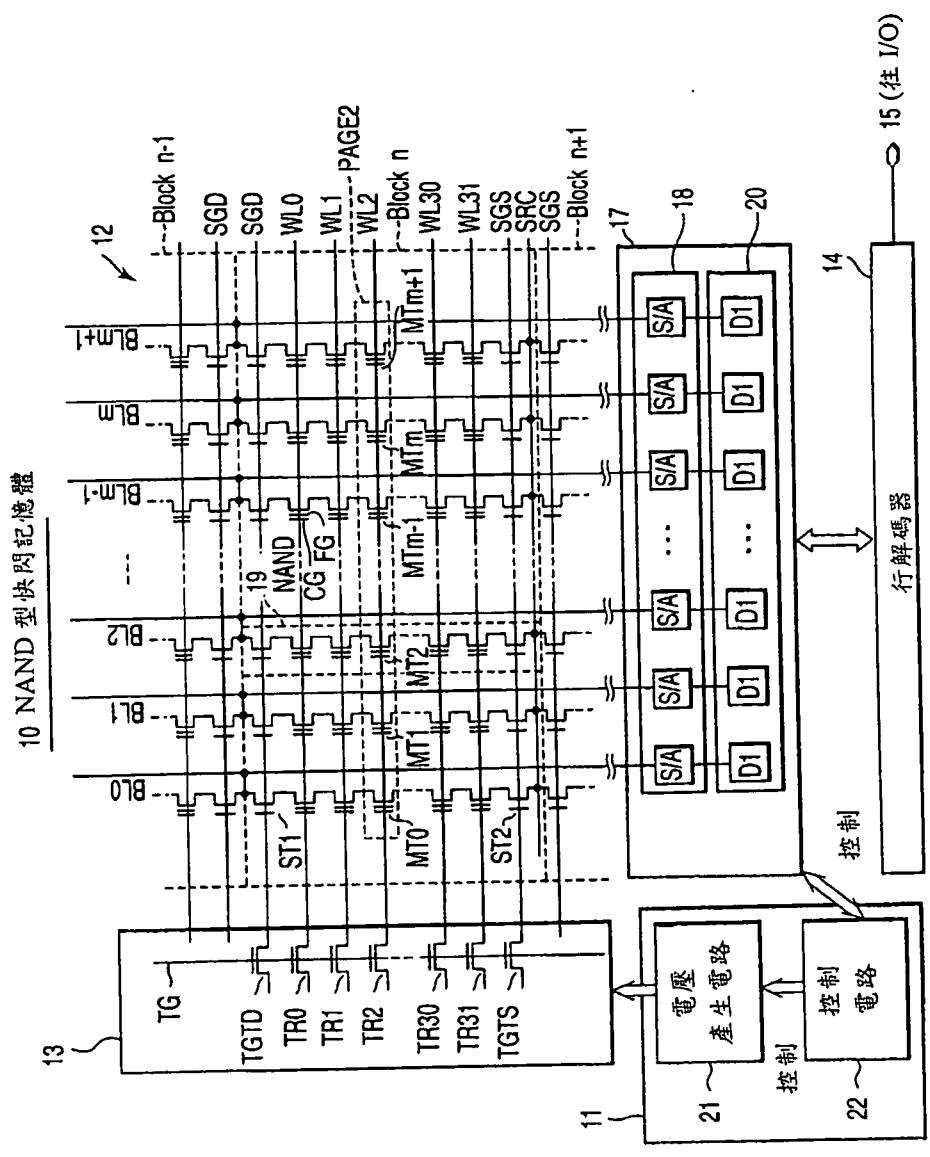


圖 2

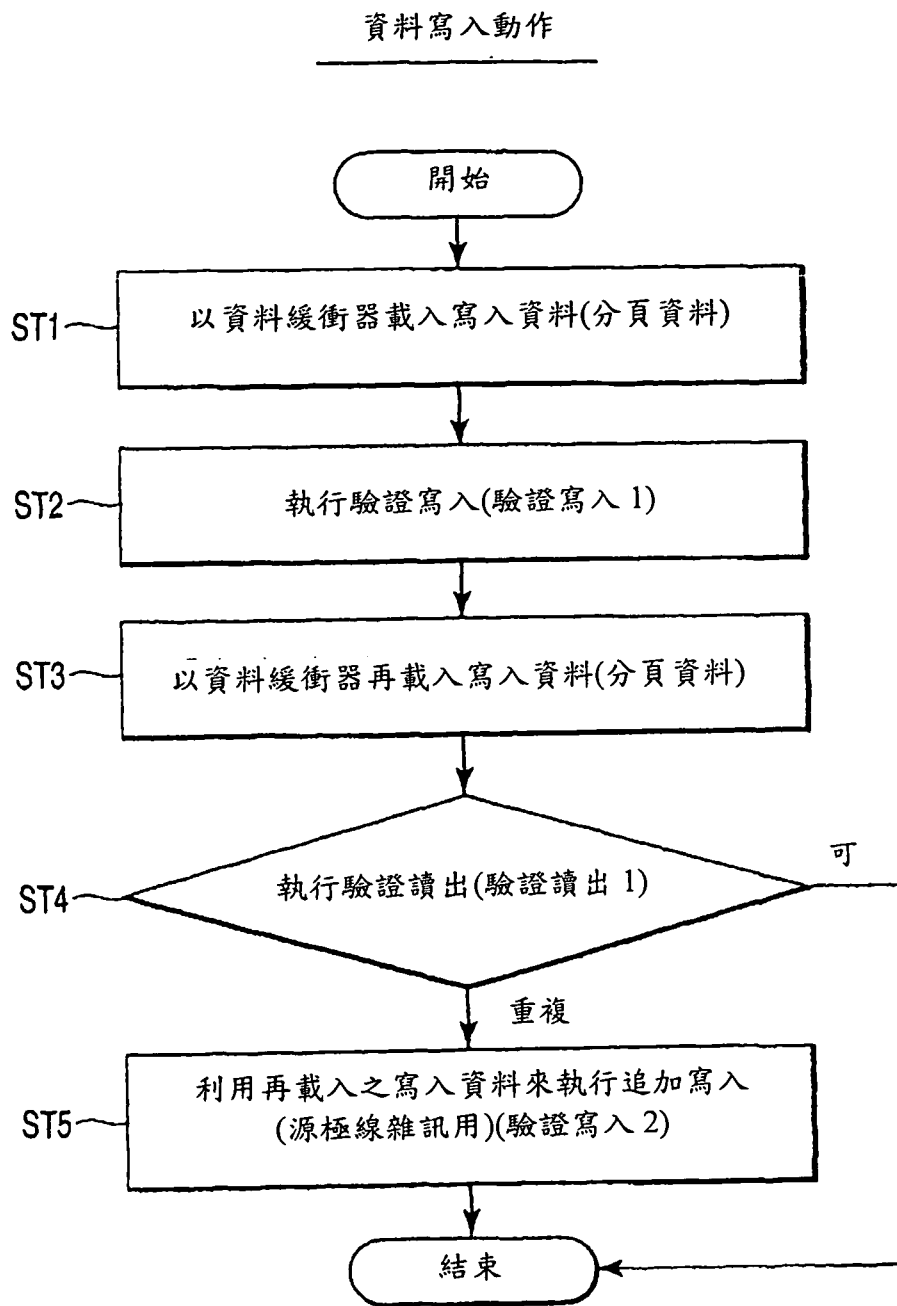


圖 3

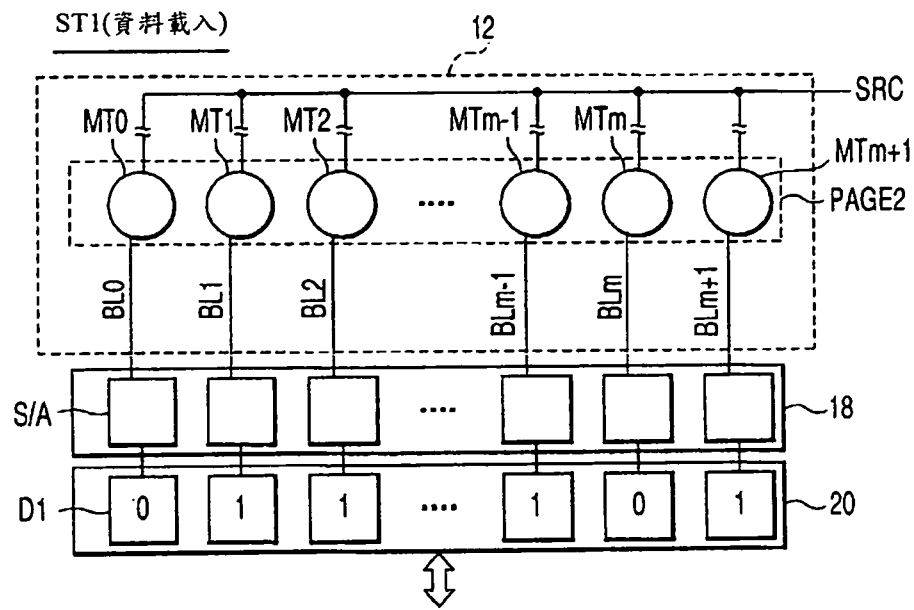


圖 4

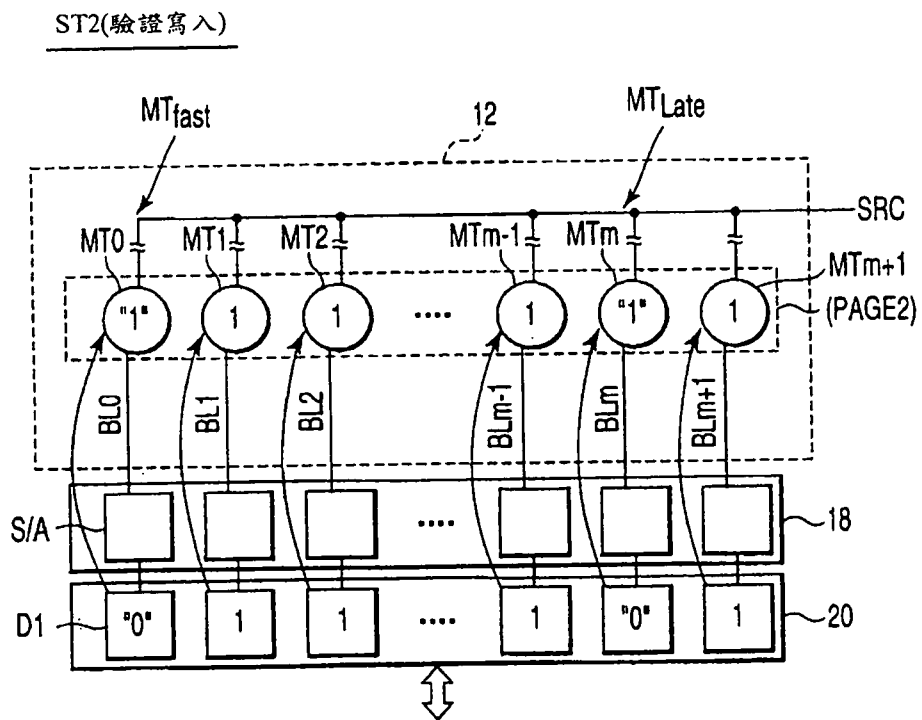


圖 5

ST2 初期(驗證寫入初期：源極線雜訊大)

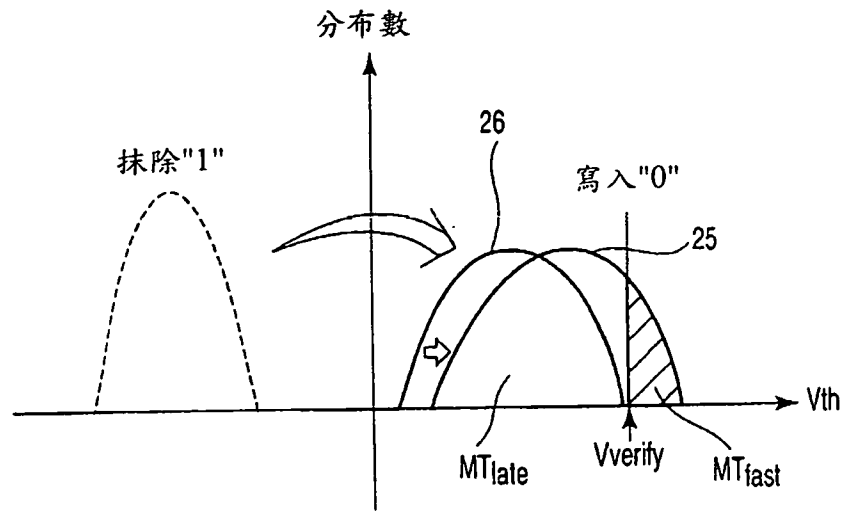


圖 6

ST2 結束(驗證寫入結束：源極線雜訊小)

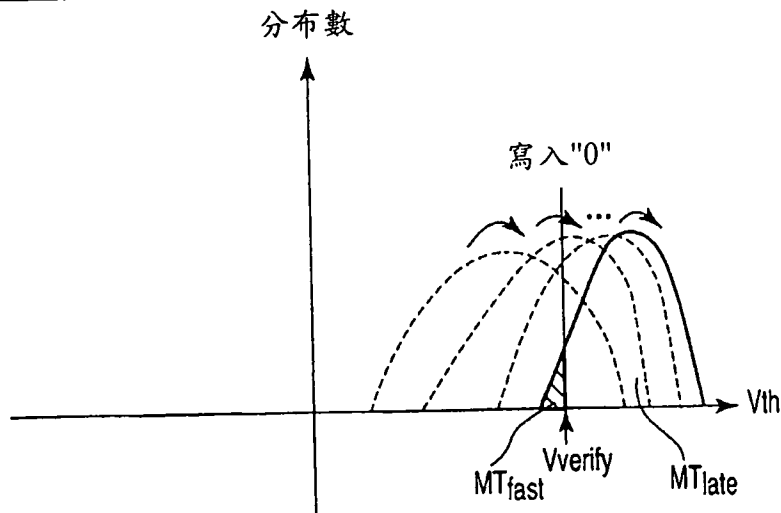


圖 7

ST2 結束(驗證讀出初期：源極線雜訊大)

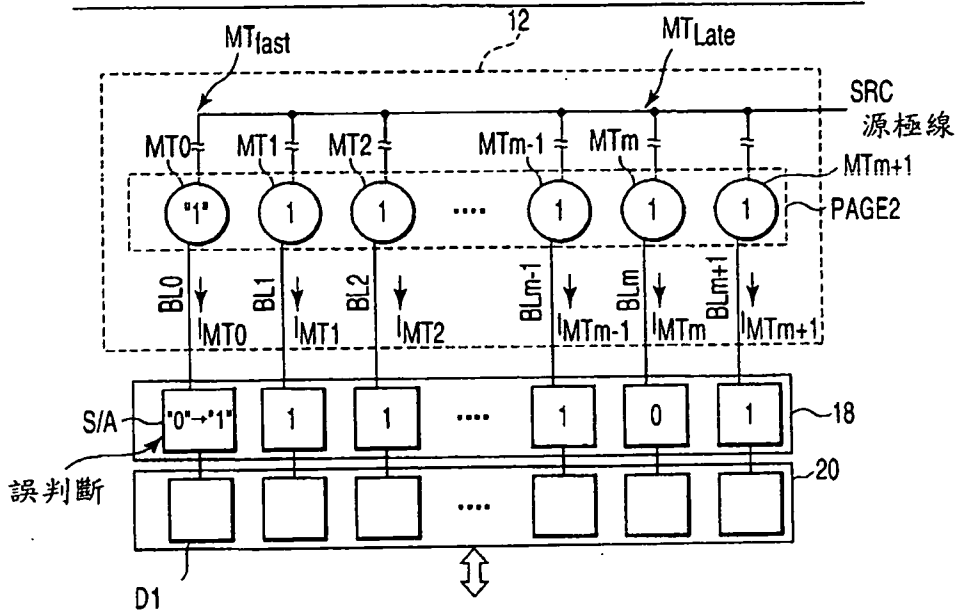


圖 8

ST2 初期(驗證讀出初期：源極線雜訊大)

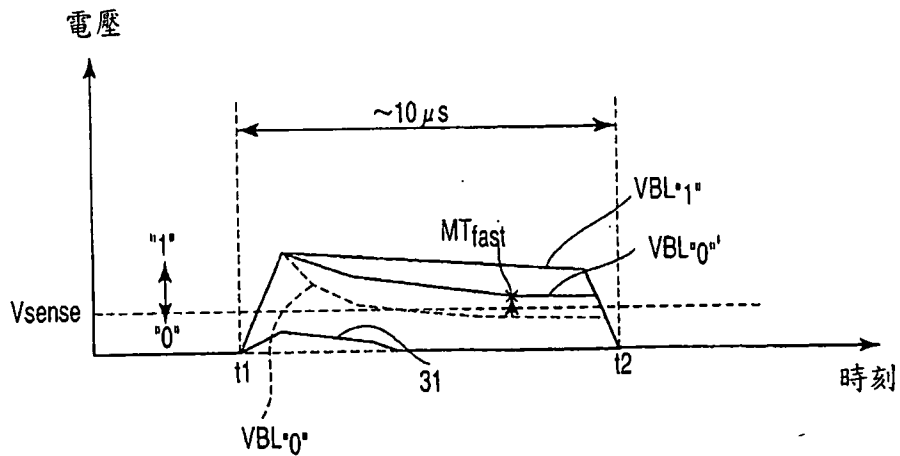


圖 9

ST2 結束(驗證讀出結束：源極線雜訊小)

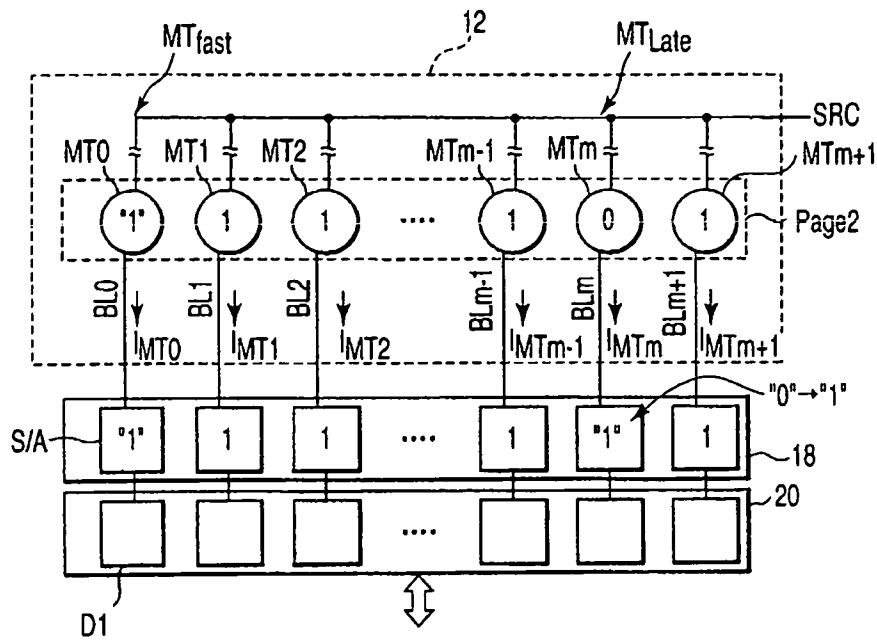


圖 10

ST2 結束(驗證讀出結束：源極線雜訊小)

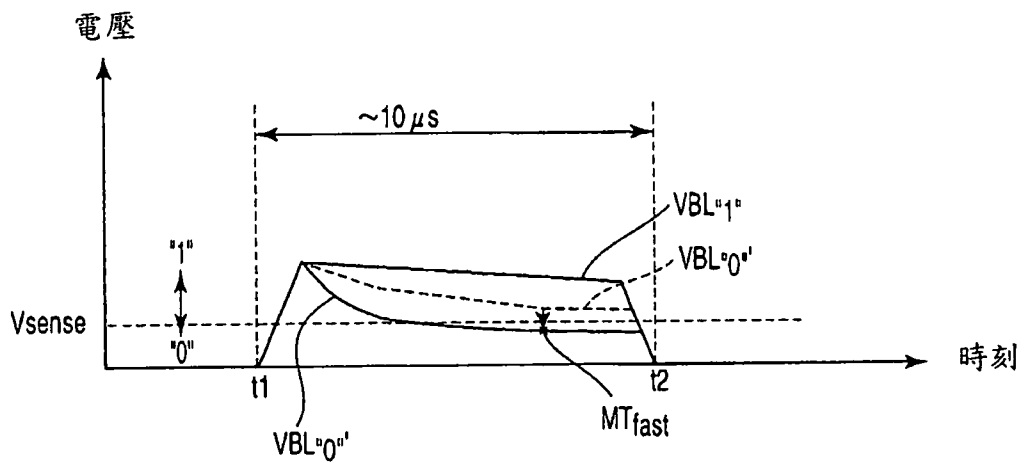


圖 11

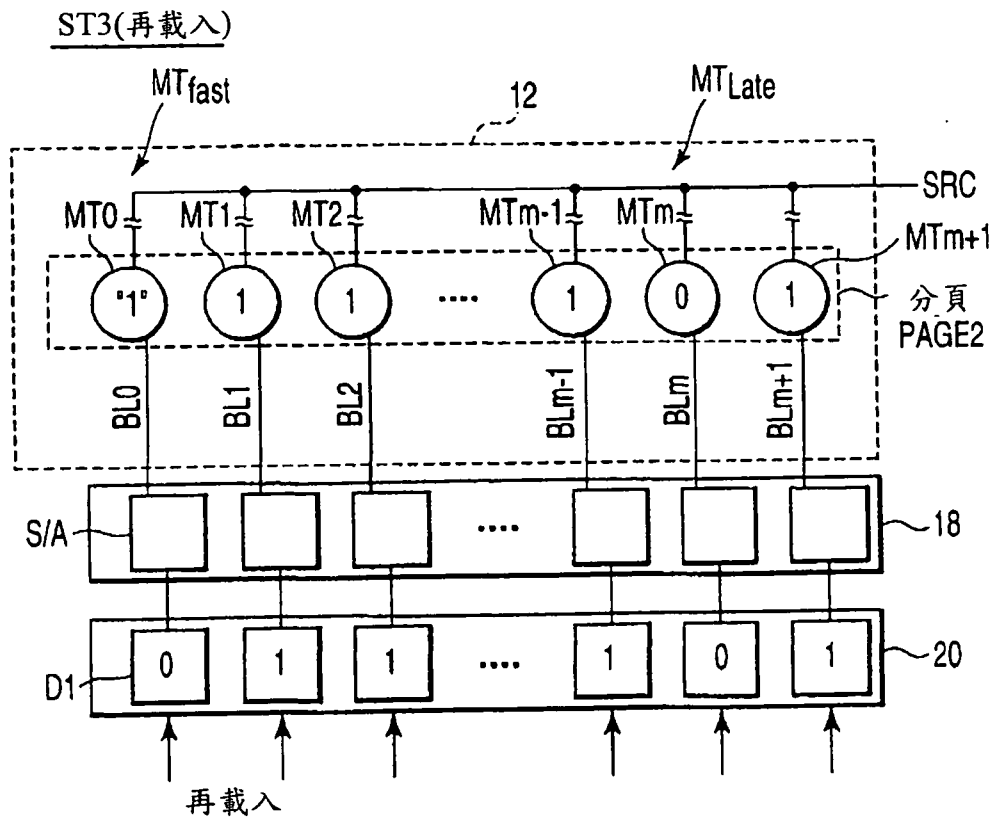


圖 12

ST4(驗證讀出)

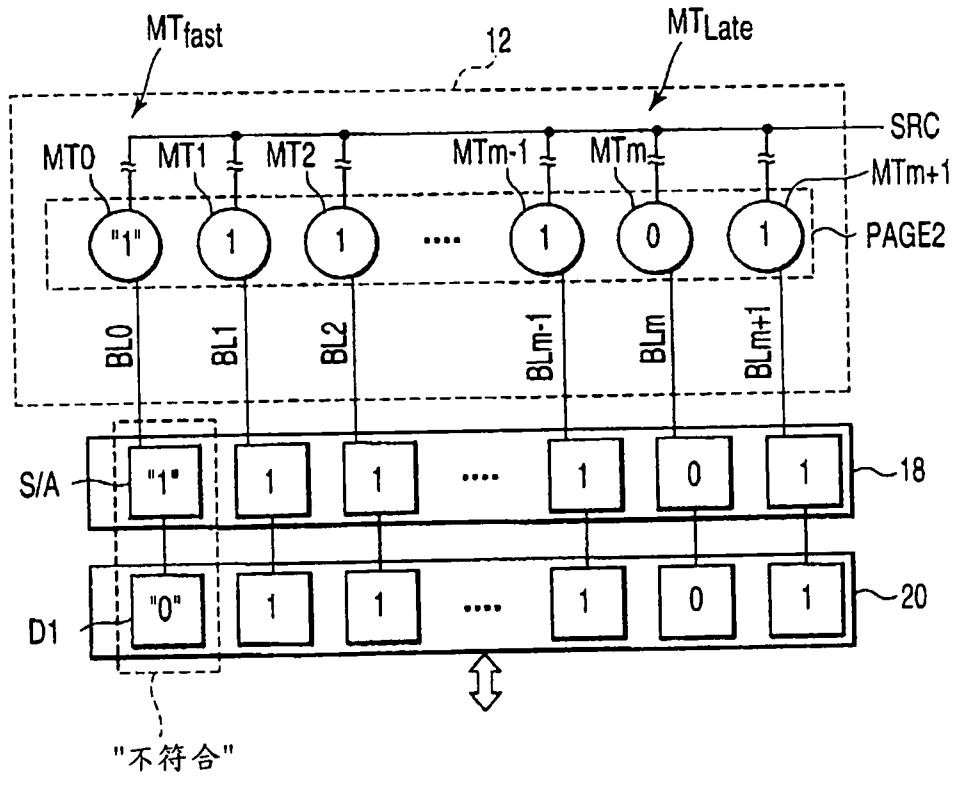


圖 13

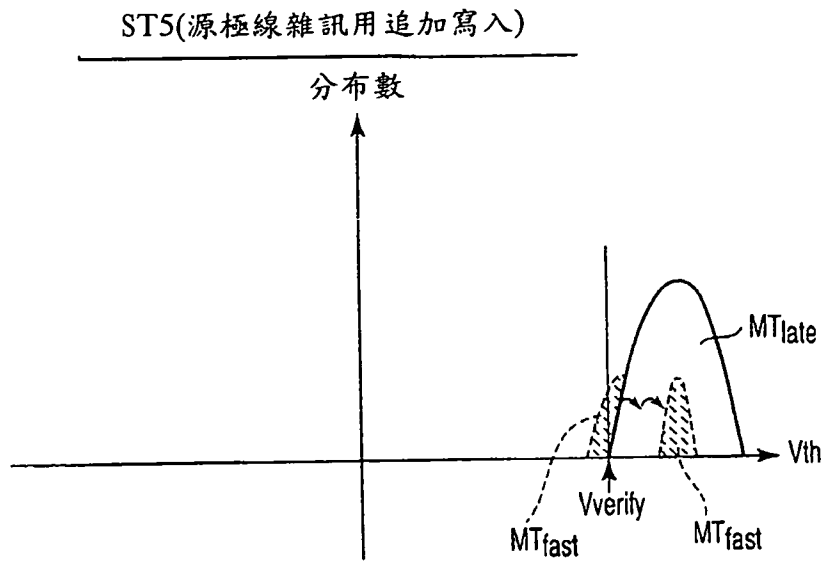


圖 14

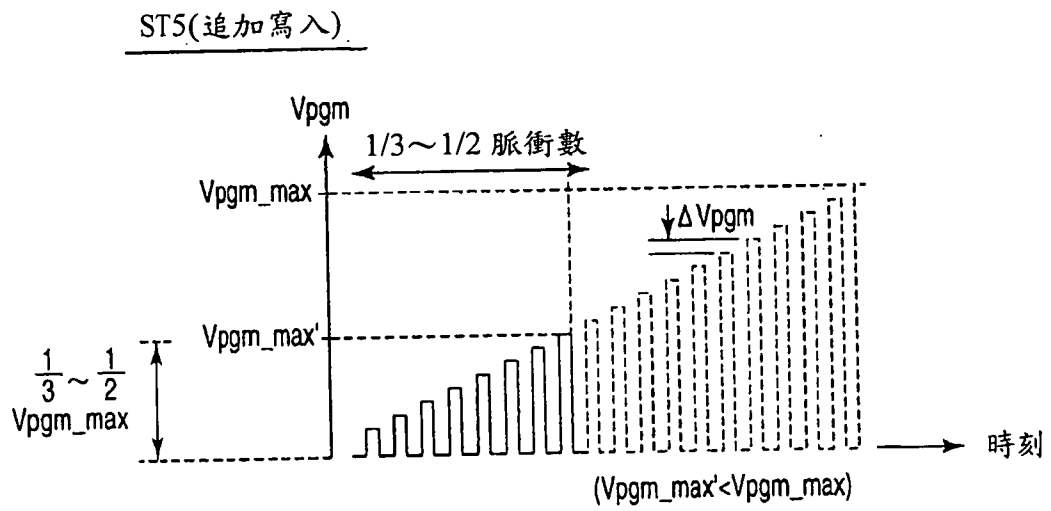
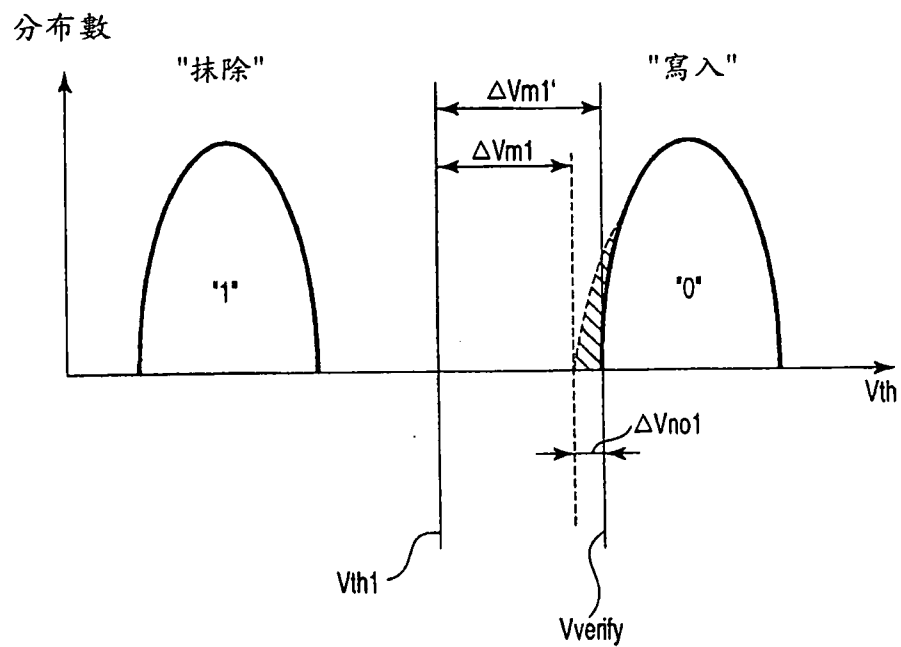


圖 15



$\Delta V_{m1}' > \Delta V_{m1}$

($\Delta V_{m1}'$: 於本實施型態執行追加寫入後之邊限電壓
 ΔV_{m1} : 於本實施型態執行追加寫入前之邊限電壓)

圖 16

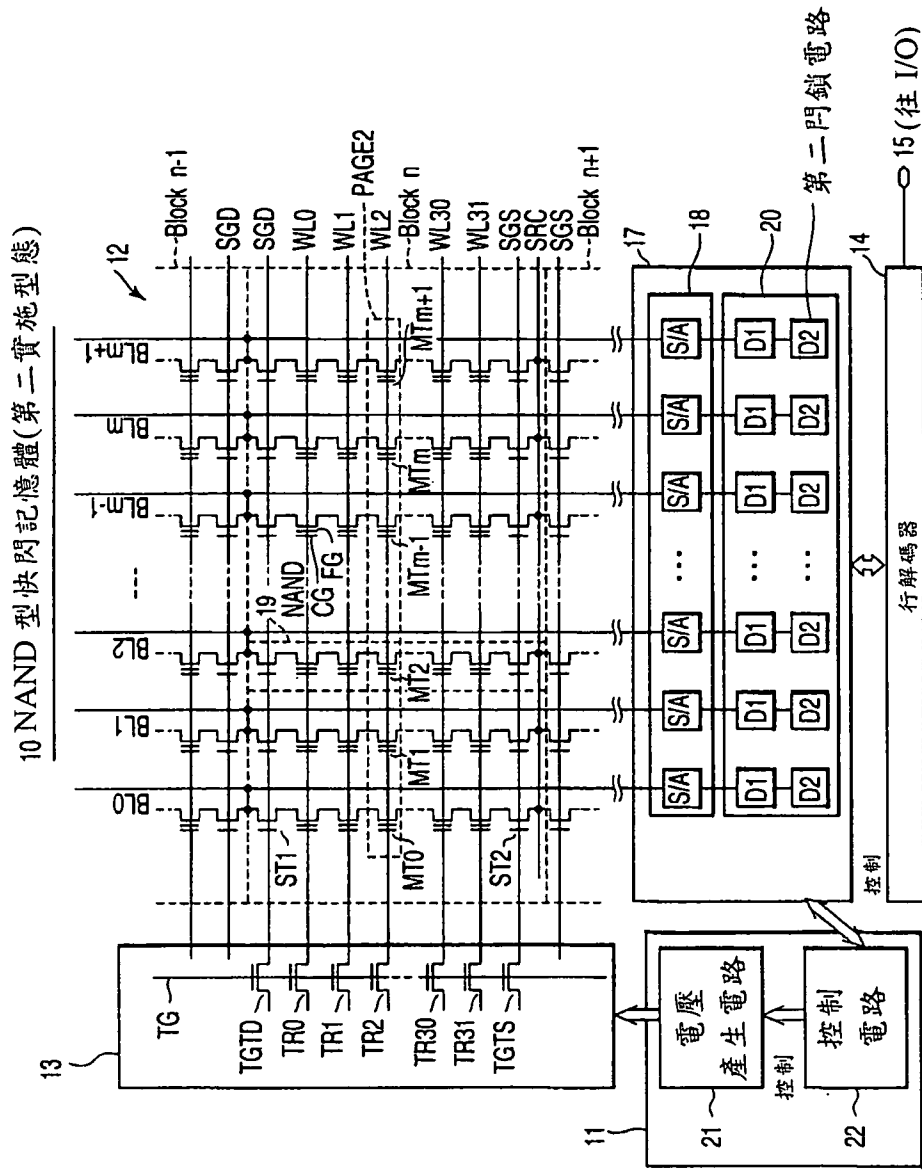


圖 17

寫入動作(第二實施型態)

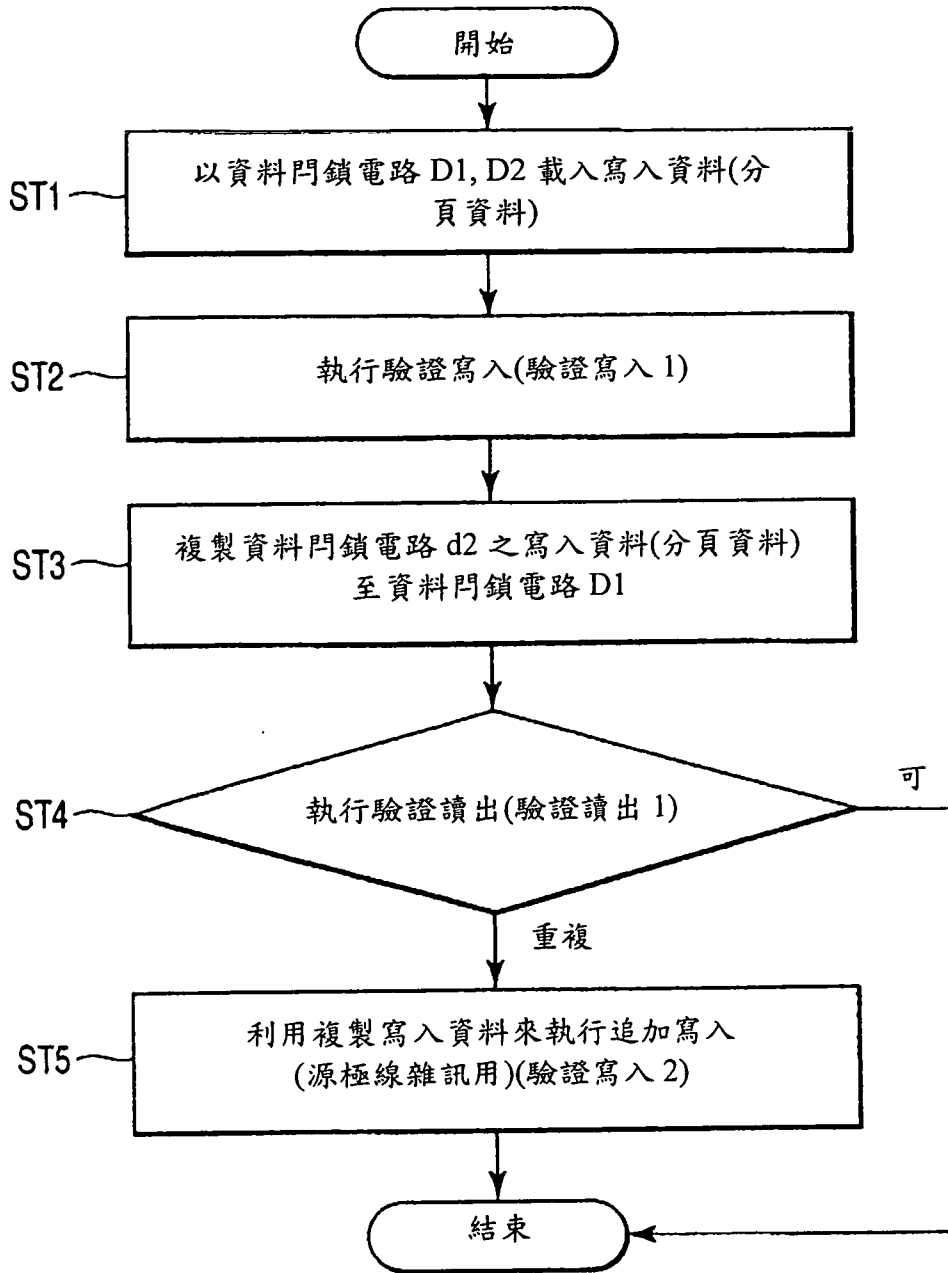


圖 18

ST3(資料複製：第二實施型態)

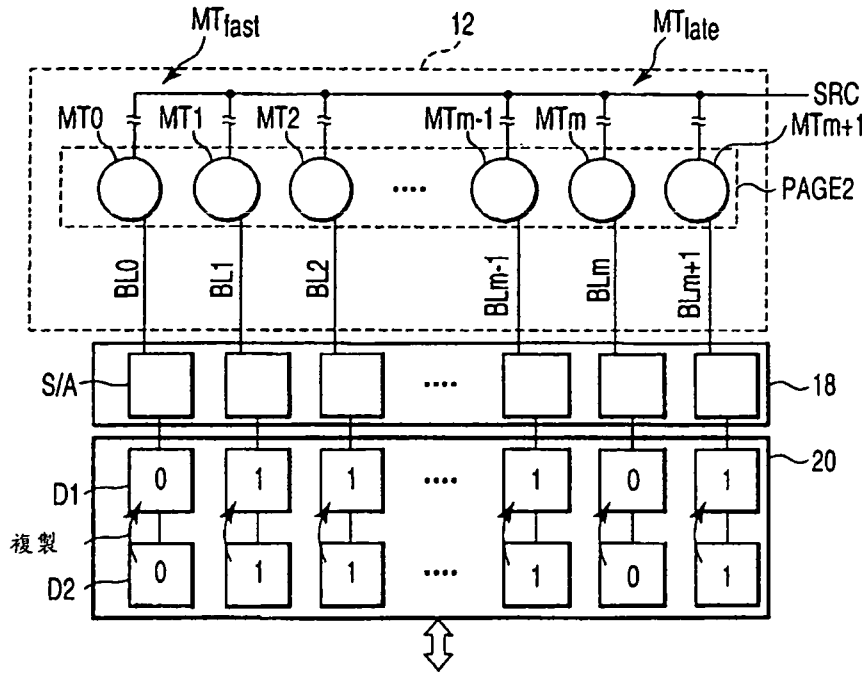


圖 19

ST5(追加寫入：變形例 1)

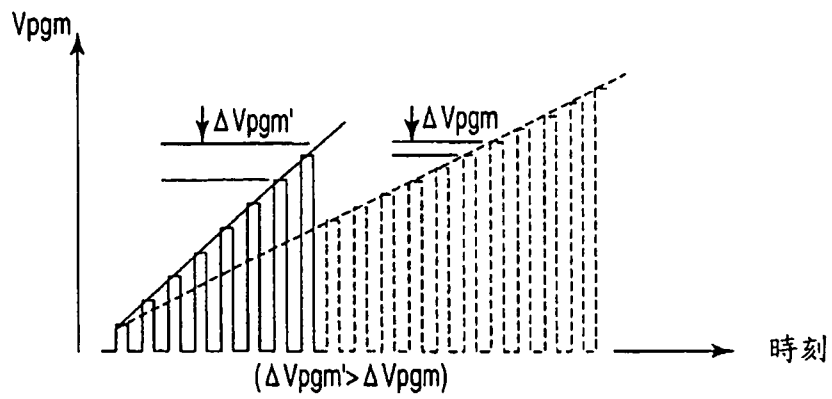


圖 20

寫入動作(變形例 2)

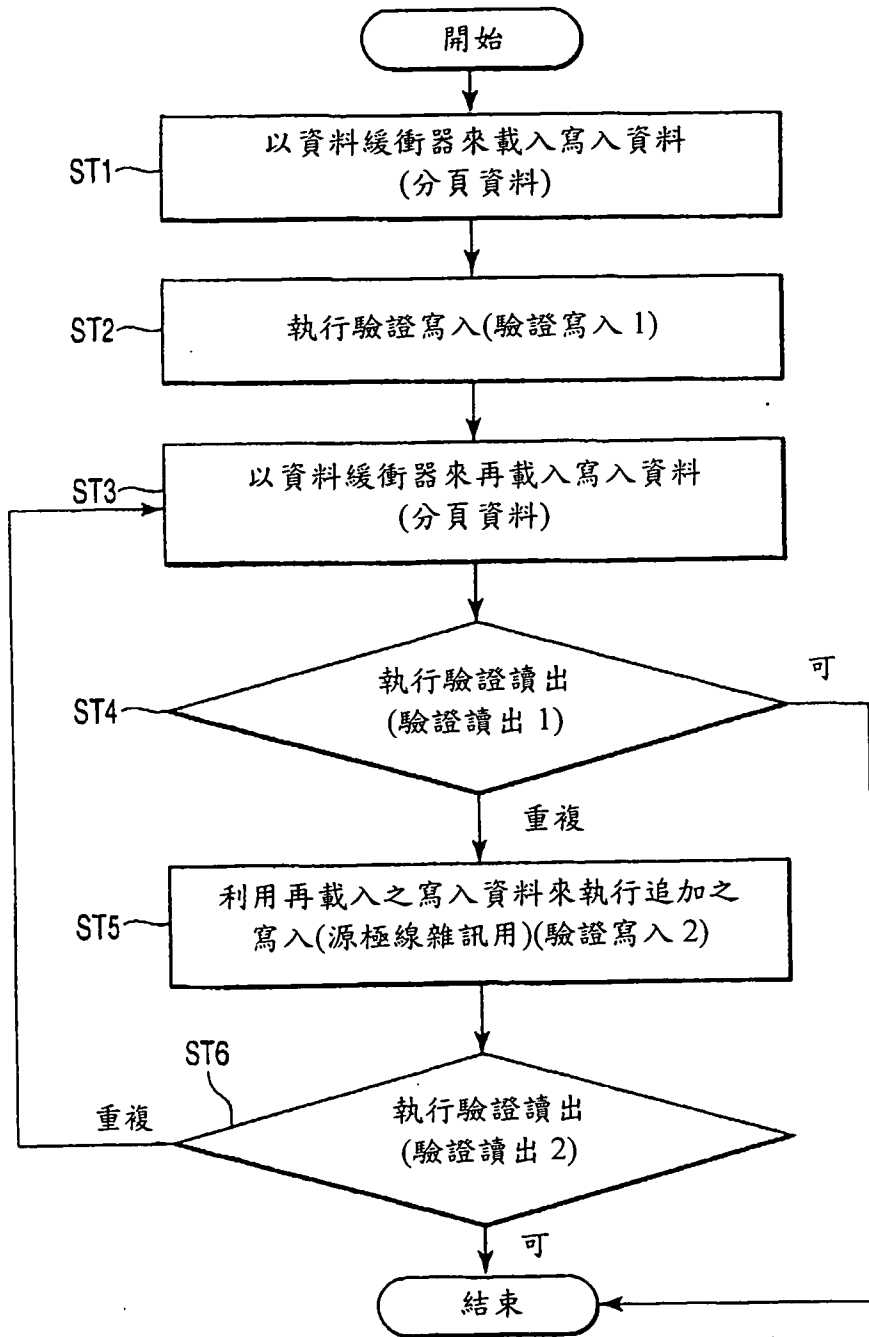


圖 21

第三實施型態(多值 NAND 型快閃記憶體之情況)

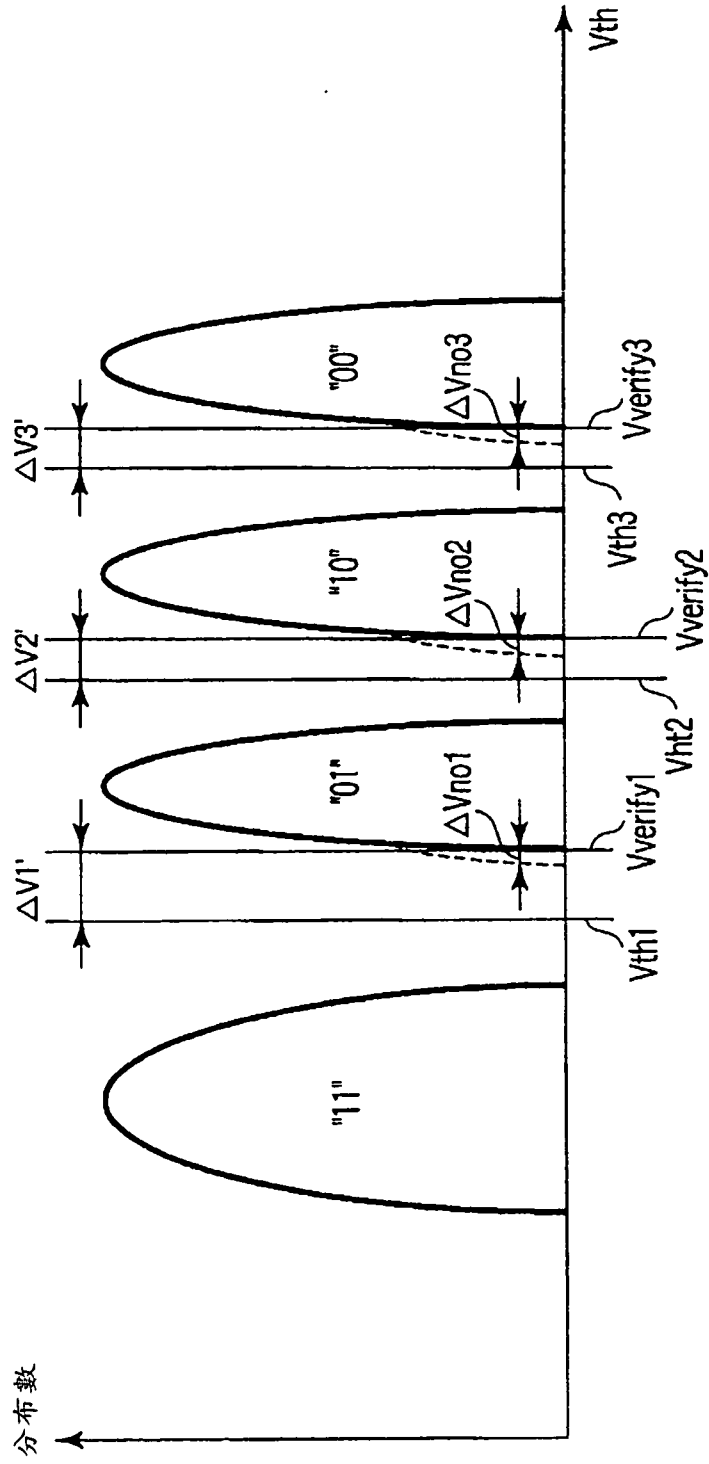


圖 22