

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4058888号
(P4058888)

(45) 発行日 平成20年3月12日(2008.3.12)

(24) 登録日 平成19年12月28日(2007.12.28)

(51) Int.Cl.	F I	
G09G 3/20 (2006.01)	G09G 3/20	623A
G06F 12/00 (2006.01)	G09G 3/20	631D
G09G 3/36 (2006.01)	G09G 3/20	633B
	G09G 3/20	660U
	G09G 3/20	660V
請求項の数 9 (全 25 頁) 最終頁に続く		

(21) 出願番号	特願2000-211079 (P2000-211079)	(73) 特許権者	000002369
(22) 出願日	平成12年7月12日(2000.7.12)		セイコーエプソン株式会社
(65) 公開番号	特開2001-222249 (P2001-222249A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成13年8月17日(2001.8.17)	(74) 代理人	100090479
審査請求日	平成15年11月12日(2003.11.12)		弁理士 井上 一
(31) 優先権主張番号	特願平11-338146	(74) 代理人	100104710
(32) 優先日	平成11年11月29日(1999.11.29)		弁理士 竹腰 昇
(33) 優先権主張国	日本国(JP)	(74) 代理人	100124682
			弁理士 黒田 泰
		(74) 代理人	100090387
			弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄
最終頁に続く			

(54) 【発明の名称】 RAM内蔵ドライバ並びにそれを用いた表示ユニットおよび電子機器

(57) 【特許請求の範囲】

【請求項1】

静止画データおよび動画データに基づいて表示部を表示駆動するRAM内蔵ドライバであって、

前記静止画データ又は所与のコマンドが入力される第1のポートと、

シリアル伝送路を伝送されるシリアルの前記動画データが差動信号として入力される第2のポートと、

前記第2のポートから入力された前記差動信号を差動増幅し、パラレルの動画データを生成する受信回路と、

前記第1のポートを介して入力された前記静止画データおよび前記受信回路によって生成された前記動画データを記憶するRAMと、

前記所与のコマンドに基づいて、前記RAMに対し、前記第1又は第2のポートを介してそれぞれ別個に入力された前記静止画データ又は動画データの書き込み又は読み出し制御する第1の制御回路と、

前記第1の制御回路とは独立して、前記RAMに記憶された前記静止画データ又は動画データを表示データとして読み出し制御し、前記表示部を表示駆動する第2の制御回路と、

前記差動信号と共にこの差動信号が有効であるか否かを示すデータ有効信号を受信し、前記データ有効信号に基づいて少なくとも前記受信回路の動作の一部を停止する停止制御回路と、

10

20

を含むことを特徴とする R A M 内蔵ドライバ。

【請求項 2】

請求項 1 において、

前記動画データの前記 R A M への書き込みを同期化する同期化信号として、前記データ有効信号を用いることを特徴とする R A M 内蔵ドライバ。

【請求項 3】

請求項 1 において、

前記表示部の 1 ライン分の動画データの前記 R A M への書き込みを同期化する同期化信号として、前記データ有効信号を用いることを特徴とする R A M 内蔵ドライバ。

【請求項 4】

請求項 1 において、

前記表示部の 1 画面分の動画データの前記 R A M への書き込みを同期化する同期化信号として、前記データ有効信号を用いることを特徴とする R A M 内蔵ドライバ。

【請求項 5】

請求項 1 乃至 4 のいずれかにおいて、

前記シリアル伝送路は、L V D S 規格による伝送路であることを特徴とする R A M 内蔵ドライバ。

【請求項 6】

請求項 1 乃至 4 のいずれかにおいて、

前記シリアル伝送路は、U S B 規格による伝送路であることを特徴とする R A M 内蔵ドライバ。

【請求項 7】

請求項 1 乃至 4 のいずれかにおいて、

前記シリアル伝送路は、I E E E 1 3 9 4 規格による伝送路であることを特徴とする R A M 内蔵ドライバ。

【請求項 8】

複数の第 1 の電極と複数の第 2 の電極により駆動される電気光学素子を有するパネルと

、前記複数の第 1 の電極を駆動する請求項 1 乃至 7 のいずれかに記載の R A M 内蔵ドライバと、

前記複数の第 2 の電極を走査駆動する走査駆動ドライバと、

を有することを特徴とする表示ユニット。

【請求項 9】

請求項 8 に記載の表示ユニットと、

前記表示ユニットに前記コマンド、前記静止画データおよび前記動画データを供給する M P U と、

を有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一画面内に静止画および動画を表示駆動する R A M 内蔵ドライバ並びにそれを用いた表示ユニットおよび電子機器に関する。

【0002】

【背景技術および発明が解決しようとする課題】

近年の通信技術、実装技術等の発達により、携帯型の電子機器の表示部に、数字や文字といったキャラクタ文字のみならず、静止画像や動画などのユーザにとって情報性の高い各種データが表示できるようになった。

【0003】

このような電子機器に表示されるデータについては、種々のデータ形式が提案されている。例えば携帯電話機を例に挙げれば、M P E G (Moving Picture Experts Group) の規格に

10

20

30

40

50

より圧縮して符号化された画像データを受信または送信する技術が提案されている。

【 0 0 0 4 】

この場合、携帯電話機の表示部には、例えば図 3 に示す液晶パネル 2 2 には、受信された動画が動画表示領域 2 2 A に表示される。一方、液晶パネル 2 2 の静止画表示領域 2 2 B には、例えばその動画に関する説明、操作情報などの静止画が表示される。

【 0 0 0 5 】

動画表示領域 2 2 A に動画を表示するためには、液晶ドライバ内の R A M の記憶領域のうち、動画表示領域 2 2 A と対応する動画記憶領域にて、周期的に、しかもほぼリアルタイムに動画データを書き換える必要がある。

【 0 0 0 6 】

一方、静止画表示領域 2 2 B に表示される静止画は、携帯電話機のキー操作時等に応じて変更され、R A M の記憶領域のうち、静止画表示領域 2 2 B と対応する静止画記憶領域の静止画データを書き換える必要が生じる。

【 0 0 0 7 】

しかし、R A M の静止画記憶領域にて静止画データを書き換えるには、周期的に動画データが伝送されるバスラインを使用して、一画面の動画データと次の一画面の動画データを伝送する間の隙間を利用するしかない。

【 0 0 0 8 】

このように、動画データの画面間の限られた時間内で静止画データを伝送することは、動画データおよび静止画データを表示ユニットに供給する M P U の動作時間を拘束し、表示ユニット以外の回路も制御する M P U の動作上の時間的制約などが大きくなる。

【 0 0 0 9 】

また今後、表示領域の拡大、階調数の増加により、表示部に表示される動画像は、ますます情報性を高め、ユーザにとって見やすく、かつ有用な情報が得られるようになるものと予想される。従って、上述した動画データのデータ伝送量は、ますます増大することになるが、これは M P U の動作時間の制約がより厳しくなることを意味する。このため、動画データをできるだけ高速に伝送できることが望ましい。その一方で、このような情報性の高い情報の表示に好適な携帯電話機に代表される携帯型の情報端末にとっては、低消費電力化が必須となる。

【 0 0 1 0 】

本発明は以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、R A M に対する動画データの書き換えタイミングとは無関係に、静止画データを書き換えることが可能な R A M 内蔵ドライバ並びにそれをを用いた表示ユニットおよび電子機器を提供することにある。

【 0 0 1 1 】

また、本発明の他の目的は、低消費電力で、独立して大容量の動画データと静止画データの書き換えが可能な R A M 内蔵ドライバ並びにそれをを用いた表示ユニットおよび電子機器を提供することにある。

【 0 0 1 2 】

【課題を解決するための手段】

上記課題を解決するために本発明は、静止画データおよび動画データに基づいて表示部を表示駆動する R A M 内蔵ドライバであって、前記静止画データ又は所与のコマンドが入力される第 1 のポートと、シリアル伝送路を伝送されるシリアルの前記動画データが差動信号として入力される第 2 のポートと、前記第 2 のポートから入力された前記差動信号を差動増幅し、パラレルの動画データを生成する受信回路と、前記第 1 のポートを介して入力された前記静止画データおよび前記受信回路によって生成された前記動画データを記憶する R A M と、前記所与のコマンドに基づいて、前記 R A M に対し、前記第 1 又は第 2 のポートを介してそれぞれ別個に入力された前記静止画データ又は動画データの書き込み又は読み出し制御する第 1 の制御回路と、前記第 1 の制御回路とは独立して、前記 R A M に記憶された前記静止画データ又は動画データを表示データとして読み出し制御し、前記表示

10

20

30

40

50

部を表示駆動する第2の制御回路とを含むことを特徴とする。

【0013】

本発明によれば、静止画、動画は、第1、第2のポートを介し別系統により入力される。また、静止画データまたは動画データのRAMへの書き込み制御と、表示部に表示駆動するための表示データのRAMからの読み出し制御とは、それぞれ独立して行われる。このため、動画データをRAMに書き換えながら、同時に静止画データを書き換えることができ、動画データの書き込みの終了を待って、静止画データを書き込む必要がない。しかも、これら静止画データと動画データの書き込み制御に関わらず、表示データによる表示駆動を可能とする。さらに、第2のポートからシリアル伝送路を介してシリアル化された動画データが差動信号として入力されるようにしたので、高速な信号伝送を可能とする。特に、静止画データの書き込みタイミングに関わらず、表示領域の拡大、階調数の増加により大容量化した動画データを書き込むことができるので、精細な動画像を表示させることができる。

10

【0014】

また本発明は、前記差動信号と共にこの差動信号が有効であるか否かを示すデータ有効信号を受信し、前記データ有効信号に基づいて少なくとも前記受信回路の動作の一部を停止する停止制御回路を含むことを特徴とする。

【0015】

このようにシリアル化された動画データである差動信号が有効か否かを示すデータ有効信号を、差動信号と共に受信し、受信回路の動作の一部を少なくとも停止して、シリアル伝送における信号送受信に伴う電流消費を最小限に抑えるようにしたので、信号伝送能力を低下させることなく効果的に大容量化する動画データ伝送を行うことができる。

20

【0016】

また本発明は、前記動画データの前記RAMへの書き込みを同期化する同期化信号として、前記データ有効信号を用いることを特徴とする。

【0017】

また本発明は、前記表示部の1ライン分の動画データの前記RAMへの書き込みを同期化する同期化信号として、前記データ有効信号を用いることを特徴とする。

【0018】

また本発明は、前記表示部の1画面分の動画データの前記RAMへの書き込みを同期化する同期化信号として、前記データ有効信号を用いることを特徴とする。

30

【0019】

こうすることで、垂直同期信号若しくは水平同期信号を伝送させることなく、動画データを誤りなく表示させることができるようになる。

【0020】

また本発明は、前記シリアル伝送路は、LVDS規格による伝送路であることを特徴とする。

【0021】

また本発明は、前記シリアル伝送路は、USB規格による伝送路であることを特徴とする。

40

【0022】

また本発明は、前記シリアル伝送路は、IEEE1394規格による伝送路であることを特徴とする。

【0023】

これら規格化された高速シリアル伝送路により動画データを伝送させることによって、独立して大容量の動画データと静止画データの書き換えを行うことができるRAM内蔵ドライバのインターフェース設計を容易に行うことができるようになる。

【0024】

また本発明の表示ユニットは、複数の第1の電極と複数の第2の電極により駆動される電気光学素子を有するパネルと、前記複数の第1の電極を駆動する請求項1乃至8のいずれ

50

かに記載のRAM内蔵ドライバと、前記複数の第2の電極を走査駆動する走査駆動ドライバとを有することを特徴とする。

【0025】

この表示ユニットは、静止画および動画の混合表示を、外部MPUの負担を軽減しながら実現することができる。

【0026】

また本発明の電子機器は、本発明に係る表示ユニットと、前記表示ユニットに前記コマンド、前記静止画データおよび前記動画データを供給するMPUとを有することを特徴とする。

【0027】

この電子機器、表示ユニットでの静止画および動画の混合表示に際してMPUの負担が軽減されるので、MPUの稼働効率を高めることができる。

【0028】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0029】

<第1の実施の形態>

以下、本発明の第1の実施の形態について、図1～図7を参照して説明する。

【0030】

(電子機器の説明)

図1は、本発明が適用される電子機器の概略ブロック図である。図1において、この電子機器は、MPU(マイクロプロセッサユニット)10と、表示ユニット20とから構成される。表示ユニット20は、電気光学素子を有するマトリクスパネル例えばカラー液晶パネル22と、この液晶パネル22を駆動するRAM内蔵のXドライバIC24と、走査用のYドライバIC26とを有する。

【0031】

マトリクスパネル22は、電圧印加によって光学特性が変化する液晶その他の電気光学素子を用いたものであればよい。液晶パネル22としては、例えば単純マトリクスパネルで構成でき、この場合、複数のセグメント電極(第1の電極)が形成された第1基板と、共通電極(第2の電極)が形成された第2基板との間に、液晶が封入される。液晶パネル22は薄膜トランジスタ(TFT)、薄膜ダイオード(TFD)等の三端子素子、二端子素子を用いたアクティブマトリクスパネルであっても良い。これらのアクティブマトリクスパネルも、RAM内蔵XドライバIC24により駆動される複数の信号電極(第1の電極)と、YドライバIC26により走査駆動される複数の走査電極(第2の電極)を有する。

【0032】

液晶パネル22には静止画と動画とを同時に表示可能である。この場合、図1に示すように、MPU10によって供給された動画データの画像サイズによって定められる動画表示領域22Aと、それ以外の静止画表示領域(テキストデータ表示領域)22Bの各領域が液晶パネル22に設定される。

【0033】

MPU10から表示ユニット20には、図1に示すように、大別して表示コマンド/静止画データと、動画データとが供給される。表示コマンドとして代表的なものに、コマンド/データの区別を示す信号A0、反転リセット信号XRES、反転チップセレクト信号XCS、反転リード信号XRDおよび反転ライト信号XWR等がある。データD7～D0は8ビットのコマンドデータ(静止画および動画用アドレスデータを含む)または静止画データであり、コマンド/データ識別信号A0の論理によって区別されている。動画データは例えば各6ビットのR、G、B信号であり、クロック信号CLK、水平・垂直同期信号H・Vsync等も供給される。

【0034】

10

20

30

40

50

このように、本実施の形態では、表示コマンド/静止画データのためのバスと、動画データのためのバスとが分離されている。

【0035】

図2は、図1のMPU10および表示ユニット20を携帯電話機30に搭載した例を示している。図2に示すMPU10は、携帯電話機30の制御を司るCPU12を有し、このCPU12には静止画用メモリ14、DSP(デジタル・シグナル・プロセッサ)16が接続されている。また、DSP16には動画用メモリ18が接続されている。

【0036】

この携帯電話機30には、アンテナ32を介して受信された信号を復調し、あるいはアンテナ32を介して送信される信号を変調する変復調回路34が設けられている。そして、アンテナ32からは、例えばMPEG(Moving Picture Experts Group)のレイヤーIVの規格にて符号化された動画データを送受信可能となっている。

10

【0037】

この携帯電話機30には、例えばデジタルビデオカメラ36を設けることもできる。このデジタルビデオカメラ36を介して動画データを取り込むことができる。携帯電話機30でのデータ送受信、デジタルビデオカメラ36での撮影などに必要な操作情報は、操作入力部38を介して入力される。

【0038】

MPU10に設けられたCPU12は、液晶パネル22の動画表示領域22Aに動画を表示する際には、その動画のサイズを動画情報から決定する。すなわち、図1に示す動画のスタートアドレスSA及びエンドアドレスEAを決定する。なお、図3に示すように動画表示領域22Aと静止画表示領域22Bとを例えば上下でライン分割しても良く、この場合も同様にスタートアドレスSA、エンドアドレスEAが動画のサイズから決定される。

20

【0039】

この動画表示領域22Aに表示される動画は、本実施の形態ではアンテナ32またはデジタルビデオカメラ36から供給される。アンテナ32から入される信号は、変復調回路34を介して復調されてDSP16にて信号処理される。このDSP16は動画処理用メモリ18と接続され、アンテナ32、変復調回路34を介して入力される圧縮データを伸張し、またMPEGのレイヤーIVの規格にて符号化されているデータについてはデコードする。変復調回路34、アンテナ32を介して送信されるデータはDSP16にて圧縮され、MPEGのレイヤーIVの規格にて符号化して送信する場合にはエンコードされる。このようにDSP16は、MPEGの例えばレイヤーIVのデコーダ、エンコーダとしての機能を有することができる。

30

【0040】

このDSP16にはデジタルビデオカメラ36からの信号も入力され、アンテナ32またはデジタルビデオカメラ36より入力された信号は、DSP16にてRGB信号に処理されて表示ユニット20に供給される。

【0041】

CPU12は、操作入力部38からの情報等に基づき、必要により静止画用メモリ14を用いて、液晶パネル22に表示される静止画の表示に必要なコマンド、静止画データを表示ユニット20に出力する。

40

【0042】

例えば、動画はインターネットを經由して配信された映画情報であり、その劇場チケットを予約するための情報が静止画として表示され、操作入力部38からの情報に基づいてチケット予約が実施される。このため、CPU12はさらに、変復調回路34、アンテナ32を介して静止画情報(例えば予約情報)を送出制御する。またCPU12は、必要により、デジタルビデオカメラ36にて撮影された動画情報を、変復調回路34、アンテナ32を介して送付制御することができる。

【0043】

(XドライバICの説明)

50

図4は図1に示すRAM内蔵XドライブIC24のブロック図である。図4に示すRAM内蔵XドライブIC24の入出力回路として、MPUIンターフェース100と入出力バッファ102、入力バッファ104が設けられている。

【0044】

MPUIンターフェース100には、反転チップセレクト信号XCS、コマンド/データの識別信号A0、反転リード信号XRD、反転ライト信号XWR、反転リセット信号XRESなどが入力される。

【0045】

入出力バッファ102には、例えば8ビットのコマンドまたは静止画データD7~D0が入力される。なお、図4では信号D7~D0はパラレルで入出力される例を示しているが、XドライブIC24内の表示データRAM160からMPU10にデータを読み出す必要がない場合には、先頭ビットを識別信号A0とし、それに続く信号D7~D0をシリアルで入出力してもよい。こうすると、MPU10及びXドライブIC24の端子数を減らすことができる。

10

【0046】

入力バッファ104には、例えば各6ビットのR、G、B信号からなる動画データと、クロック信号CLKとが入力される。各6ビットのR、G、B信号は、クロック信号CLKに同期してパラレルで入出力される。

【0047】

XドライブIC24には、MPUIンターフェース100及び入出力バッファ102に接続された第1のバスライン110と、入力バッファ104に接続された第2のバスライン120とが設けられている。

20

【0048】

第1のバスライン110にはバスホールダ112とコマンドデコーダ114とが接続され、第2のバスライン120にはバスホールダ122が接続されている。なお、入出力バッファ102にはステータス設定回路116が接続され、XドライブIC24の動作状態がMPU10に出力されるようになっている。この動作状態とは、例えば表示がオン状態であるか否か、画面内の所与のスクロール領域のスクロールモードといったXドライブIC24で設定されている内部状態であって、MPU10から入力された所与のコマンドがコマンドデコーダ114でデコードされた結果、出力されるようになっている。

30

【0049】

第1、第2のバスライン110、120は共に、表示データRAM160のI/Oバッファ162に接続され、表示データRAM160に対してリード、ライトされる静止画データ及び動画データが伝送される。

【0050】

XドライブIC24には、上述した表示データRAM160、I/Oバッファ162の他に、MPU系制御回路130、カラムアドレス制御回路140、ページアドレス制御回路150、ドライバ系制御回路170、PWMデコード回路180及び液晶駆動回路190などが設けられている。

【0051】

MPU系制御回路130は、コマンドデコーダ114を介して入力されるMPU10のコマンドに基づいて、表示データRAM160に対するリード、ライト動作を制御する。このMPU系制御回路130により制御されるカラムアドレス制御回路140及びページアドレス制御回路150が設けられている。本実施の形態では、カラムアドレス制御回路140は、静止画データの書き込みカラムアドレスと静止画及び動画データの読み出しカラムアドレスを指定する第1のカラムアドレス制御回路142と、動画データの書き込みカラムアドレスを指定する第2のカラムアドレス制御回路144とを有する。ページアドレス制御回路150は、静止画データの書き込みページアドレスと静止画及び動画データの読み出しページアドレスとを指定する第1のページアドレス制御回路152と、動画データの書き込みページアドレスを指定する第2のページアドレス制御回路154とを有する

40

50

。なお、図4では図示していないが、MPU10からの垂直、水平同期信号H・VsyncがMPU系制御回路130に入力される。水平同期信号Hsyncは、動画データの書き込みの際のノイズ等の誤書き込みによる表示ずれ等を極力抑えるために、第2のカラム・ページアドレス制御回路144, 154内に設けられたカウンタのセット、リセットに用いられる。さらに、水平・垂直同期信号H・Vsyncは、カラムアドレス、ページアドレスをスタートアドレスSAに戻すために用いられる。また、ページアドレス制御回路150は、ドライバ系制御回路170により制御されて1ライン毎に表示アドレスを指定する表示アドレス制御回路156を含んでいる。

【0052】

ドライバ系制御回路170は、Xドライバ系制御回路172及びYドライバ系制御回路174を含む。このドライバ系制御回路170は、発振回路176からの発振出力に基づいて階調制御パルスGCP、極性反転信号FR、ラッチパルスLPなどを発生し、MPU系制御回路130とは独立して、表示アドレス制御回路156、PWMデコード回路180、電源制御回路178およびYドライバIC26を制御する。

【0053】

PWMデコード回路180は、表示データRAM160より1ライン毎に読み出されるデータをラッチして、極性反転周期に従って階調値に応じたパルス幅の信号を出力する。液晶駆動回路190は、PWMデコード回路180からの信号を、LCD表示系の電圧に応じた電圧にシフトさせ、図1に示す液晶パネル20のセグメント電極SEGに供給する。

【0054】

(表示データRAMおよびその周辺回路の説明)

図5は表示データRAM160およびその周辺回路の概略回路図である。図5には、第1, 第2のカラムアドレス制御回路142, 144、第1, 第2のページアドレス制御回路152, 154および表示アドレス制御回路156のそれぞれの最終段に設けられた第1, 第2のカラムアドレスデコーダ142A, 144A、第1, 第2のページアドレスデコーダ152A, 154Aおよび表示アドレスデコーダ156Aが示されている。

【0055】

図5にはさらに、第1, 第2行目のメモリセルC10, C11...、C20, C21...が示されている。そして、図5に示す各メモリセルには、第1~第3のワード線W1~W3と、第1のビット線対B1, /B1と、第2のビット線対B2, /B2とが接続されている。

【0056】

第1のカラムアドレスデコーダ142Aは、第1のビット線対B1, /B1に接続された第1のカラムスイッチSW1をオン、オフさせる信号を出力する。第2のカラムアドレスデコーダ144Aは、第2のビット線対B2, /B2に接続された第2のカラムスイッチSW2をオン、オフさせる信号を出力する。第1のページアドレスデコーダ152Aは第1のワード線W1を、第2のページアドレスデコーダ154Aは第2のワード線W2を、表示アドレスデコーダ156Aは第3のワード線W3を、それぞれをアクティブとする信号を供給する。

【0057】

従来技術と比較すると、本実施の形態では、第2のワード線W2と、第2のビット線対B2, /B2と、第2のカラムスイッチSW2と、第2のカラムアドレスデコーダ144Aと、第2のページアドレスデコーダ154Aとが新たに設けられている。

【0058】

第2のカラムおよびページアドレスデコーダ144A, 154Aは、動画データ(R, G, B)を書き込むためのカラムおよびページアドレスを指定する場合にのみ用いられ、このアドレス指定により第2のバスライン120、第2のカラムスイッチSW2を介して、動画データ(R, G, B)がメモリセルに書き込まれる。

【0059】

第1のカラムおよびページアドレスデコーダ142A, 152Aは、静止画データを書き

10

20

30

40

50

込む時と、静止画および動画データを読み出す時に、カラムおよびページアドレスを指定する。このアドレス指定により第1のバスライン120、第1のカラムスイッチSW1を介して、表示データRAM160に対してデータがリード・ライトされる。

【0060】

表示アドレスデコーダ156Aは、第3のワード線W3を順次1本ずつアクティブにすることで、1ライン上の全メモリセルのデータを表示データ出力線OUTに読み出すものである。この読み出しデータが図4に示すPWMデコーダ回路180に供給されて液晶駆動に供される。

【0061】

(メモリセルの構成について)

図6は表示データRAM160内のメモリセルC10を示す回路図である。メモリセルC10は、他のメモリセルと同一の構成を有する。このメモリセルC10は、2つのCMOSインバータ210、202にて構成されるメモリ素子200を有する。2つのMOSインバータ201、202は、その入出力同士を互いに接続する第1、第2の配線204、206を有する。第1配線204とビット線B1の間には第1のN型MOSトランジスタ210(第1のスイッチ)が接続され、そのゲートは第1のワード線W1に接続されている。同様に、第2配線206とビット線/B1の間には第2のN型MOSトランジスタ212(第1のスイッチ)が接続され、そのゲートは第1のワード線W1に接続されている。

【0062】

以上の構成により、第1のページアドレスデコーダ152Aからのアクティブ信号により第1のワード線W1がHとなると、第1、第2のN型トランジスタ210、212がオンされる。これにより、メモリセルC10は第1の一对のビット線B1、/B1と接続される。このとき、第1のカラムアドレスデコーダ142Aからアクティブ信号により第1のカラムスイッチSW1がオンしていると、メモリセルC10に対するデータのリード・ライトが可能となる。

【0063】

また、電源供給線VDDと表示データ出力線OUTとの間には第1、第2のP型MOSトランジスタ220、222が接続されている。第1のP型MOSトランジスタ220のゲートは第2の配線206に接続され、第2のP型MOSトランジスタ222のゲートは第3のワード線W3に接続されている。

【0064】

メモリセルC10のデータを表示データ出力線OUTに読み出す前に、この表示データ出力線OUTはLにプリチャージされている。このプリチャージ動作後に第3のワード線W3をLとして第2のP型MOSトランジスタ222をオンさせた状態で、表示データ出力線OUTのデータがPWMデコーダ回路180にてラッチされる。このとき、第2の配線206の電位がH(第1の配線204の電位がL)であれば表示データ出力線OUTはLのままであり、第2の配線206の電位がL(第1の配線204の電位がH)であれば表示データ出力線OUTはHとなる。このようにして、表示データRAM160からの表示データの読み出しを1ライン同時に行うことができる。

【0065】

本実施の形態ではさらに、第2のワード線W2と第2のビット線対B2、/B2とが設けられている。このため、第1配線204とビット線B2の間には第3のN型MOSトランジスタ230(第2のスイッチ)が接続され、そのゲートは第2のワード線W2に接続されている。同様に、第2配線206とビット線/B2の間には第4のN型MOSトランジスタ232(第2のスイッチ)が接続され、そのゲートは第2のワード線W2に接続されている。

【0066】

以上の構成により、第2のページアドレスデコーダ154Aからのアクティブ信号により第2のワード線W2がHとなると、第3、第4のN型トランジスタ230、232がオン

10

20

30

40

50

され、メモリセルC10は第2の一对のビット線B2、/B2と接続される。このとき、第2のカラムアドレスデコーダ144Aからアクティブ信号により第2のカラムスイッチSW2がオンしていると、メモリセルC10に対する動画データのライトが可能となる。

【0067】

(表示データRAMに対する静止画、動画の書き込みについて)

MPU10は、図1または図3に示す動画表示領域22AのスタートおよびエンドアドレスSA、EAと対応する表示データRAM160のページアドレスおよびカラムアドレスを、動画情報から予め知得している。このためMPU10は、表示データRAM160のエリアのうち動画表示領域22Aと対応するエリアのカラムアドレスおよびページアドレスを、所定の書き込み周波数に従って繰り返し指定することが可能となる。この動画表示領域22Aと対応するエリアのカラムアドレスおよびページアドレスは、XドライバIC24の入出力バッファ102、MPU系制御回路130を經由して、第2のカラムアドレス制御回路144および第2のページアドレス制御回路154に入力される。最終的に、図5に示す第2のカラムアドレスデコーダ144Aおよび第2のページアドレスデコーダ154Aを介して、表示データRAM160のカラムおよびページアドレスが指定される。動画データについて、入力バッファ104および第2のバスライン120を經由させることで、静止画データのバスライン110とは異なる経路にてリアルタイムで伝送することができ、それにより動画データがリアルタイムで書き換えられることになる。

10

【0068】

一方MPU10は、表示データRAM160のエリアのうち静止画表示領域22Aと対応するエリアのカラムアドレスおよびページアドレスを指定して、操作入力部38からの情報入力があった時などの静止画データに変更が生じた時にのみ、所定の書き込み周波数にてデータ書き換えを実施する。

20

【0069】

このように、本実施の形態では、静止画と動画とを表示データRAM160に書き込むにあたって、アドレス指定およびデータ伝送をそれぞれ別ルートにて実施し、メモリセルはそれらのいずれのデータも書き込めるように構成されている。従って、静止画と動画とを同時にページ単位で異なるメモリセルに書き込むことが可能となり、どちらか一方のデータ書き込みを停止する必要はない。

【0070】

また、メモリセルは静止画および動画のいずれのデータも書き込めるように構成されているので、動画表示領域22Aを任意に変更することが可能となる。

30

【0071】

ここで、液晶パネル20の動画表示領域22Aに動画を表示するに際しては、例えば60Hzすなわち1秒間に60フレームを表示できる図7に示す読み出しクロックに従って、表示データRAM160から表示データが読み出される。

【0072】

一方、静止画データは、液晶表示のための駆動周波数より高い例えば90Hzすなわち1秒間に90フレームを表示できる静止画書き込みクロックに従って、表示データRAM160に表示データが書き込まれる。このように、表示読み出しレートより高い書き込みレートにて静止画の書き換えを実施しているため、操作入力部38での操作に応じたスクロール表示等に追従した表示が可能となる。

40

【0073】

これに対して動画データについては、人間の網膜の残像現象を利用するものであるため、携帯電話機などのように精密な動画表示が求められない場合には、動画のフレーム数を低く(表示に合わせて60フレーム全部を書き換える必要はない)しても支障はない。本実施の形態では、例えば20Hzすなわち1秒間に20フレームの動画データを書き込むことができる周波数で書き込みを行うこともできるし、60フレームの周波数にて20/60=1/3のデータをMPU10からXドライバIC24に送出するだけでもよい。RAMを内蔵していないXドライバICを使用する場合には60フレーム分のデータを常に書

50

き換える必要があるが、このように動画の書き込み周波数を低く（書き込みレートを低く）し、または書き換えられるデータ量を減少することで、静止画とは異なり表示データRAM 160の内容を常時書き換える必要がある動画データの書き込み回数が少なくなり、その分メモリセルにて消費される電力を少なくすることができる。

【0074】

<第2の実施の形態>

図8は、本発明の第2の実施の形態に係るXドライバIC300の一部のブロック図である。なお、図8において図4と同一機能を有する回路については、図4と同一の符号を用いその詳細な説明を省略する。また、図8にて省略されている回路は、図4の回路と同一である。

10

【0075】

図8に示すXドライバIC300が図4に示すXドライバIC24と相違する点は、まず第1、第2の表示データRAM310、320を設けた点である。第1の表示データRAM310には静止画データが記憶され、第2の表示データRAM320には動画データが記憶される。なお、第1、第2のRAM310、320は、図6に示す第2のワード線W2と、第2のビット線対B2、/B2と、第2のカラムスイッチSW2と、第2のカラムアドレスデコーダ144Aと、第2のページアドレスデコーダ154Aは不要であり、従来構成のメモリセルを用いることができる。

【0076】

図9は、第1の表示データRAM310の静止画表示領域310、第2の表示データRAM320の動画記憶領域320A、液晶パネル22の動画表示領域22Aおよび静止画表示領域22Bの関係を示している。

20

【0077】

第1、第2の表示データRAM310、320は液晶パネル22の一画面の全画素と対応する記憶領域を有する。これにより、図9に示す静止画記憶領域310Aおよび動画記憶領域320Aは任意に変更可能となる。なお、図9では説明の便宜上、第1、第2の表示データRAM310、320の各メモリ空間と、液晶パネル22の表示空間とを同一の大きさに描いている。

【0078】

例えば1秒間に20枚のフレームレートにて第2の表示データRAM320の動画記憶領域320Aにデータが書き込まれ、例えば1秒間に60枚のフレームレートにてデータが読み出されて液晶パネル22の動画表示領域22Aに表示される。一方、例えば1秒間に90枚のフレームレートにて第1の表示データRAM310の静止画記憶領域310Aにデータが書き込まれ、例えば1秒間に60枚のフレームレートにてデータが読み出されて液晶パネル22の静止画表示領域22Bに表示される。

30

【0079】

このように、第2の実施の形態では第1の実施の形態とは異なり第1、第2の表示データRAM310、320を設けている。このため、第1の表示データRAM310に対応させて、第1のカラムアドレス制御回路142、第1のI/Oバッファ312、第1のページアドレス制御回路152および第1の表示アドレス制御回路330を設けている。同様に、第2の表示データRAM320に対応させて、第2のカラムアドレス制御回路144、第2のI/Oバッファ322、第1のページアドレス制御回路154および第2の表示アドレス制御回路340を設けている。

40

【0080】

さらに、第1、第2の表示データRAM310、320からの表示データを、MPU系制御回路130からの出力に基づいて選択してPWMデコーダ回路180に出力するセレクタ350を設けている。

【0081】

本発明の第2の実施の形態においても、静止画、動画は第1、第2のバスライン110、120により別系統にて伝送される。また、第1のRAM310、第2のRAM320に

50

データを書き込むためのカラムおよびページアドレスも、静止画と動画とで別系統で指定される。このため、動画データを第2のRAM320に書き換えながら、同時に静止画データを第1のRAM310にて書き換えることができ、動画データの書き込みの終了を待って静止画データを書き込む必要がない。

【0082】

<第3の実施の形態>

第1,第2の実施の形態におけるRAM内蔵XドライブICでは、従来と異なり、MPU10から供給される動画データと静止画データとを別伝送路により受信し、それぞれ別系統により書き込みを行うようにしていた。しかしながら、動画データが、その動画表示領域の拡大、階調数の増加などによって伝送すべきデータ量が増加すると、その伝送容量には限界が発生する。また、各6ビットのR,G,B信号とクロック信号CLK、水平・垂直同期信号H・Vsyncの計21本の信号を伝送するための配線領域および端子数の増大を考慮すると、更なる階調数の増加に対応することが困難となり、場合によっては、却って信頼性を低下させてしまう可能性もある。

10

【0083】

そこで、第3の実施の形態におけるRAM内蔵のドライブIC400では、高速シリアル伝送路を介して、MPUから動画データを供給することで、伝送すべき信号の配線領域および端子数の増大を抑えるとともに、静止画データと動画データの別系統による書き込みを可能としている。

【0084】

ここで、高速シリアル伝送路とは、シリアル化された伝送データを差動信号として伝送し、受信側で差動増幅することで高速にデータ伝送が行われる伝送路をいう。このような高速シリアル伝送路として、種々の規格が提案されており、例えば米国電子通信工業会(Telecommunications Industry Association: TIA) / 米国電子工業協会(Electronic Industries Association: EIA) - 644、IEEE (Institute of Electrical and Electronics Engineers) 1596.3として標準化されたLVDS (Low Voltage Differential Signaling) 規格、IEEE 1394規格、或いはUSB (Universal Serial Bus) 規格などがある。

20

【0085】

(LVDS規格による高速伝送)

図10は、第3の実施の形態におけるXドライブIC400を備える電子機器の概略ブロック図である。

30

【0086】

なお、図10において図1と同一機能を有する回路については、図1と同一の符号を用いその詳細な説明を省略する。

【0087】

図10に示す電子機器が図1に示す電子機器と相違する点は、MPU400と、表示ユニット410のXドライブIC420との間に、LVDS規格の高速シリアル伝送路が接続されている点である。この高速シリアル伝送路には、シリアル化された動画データが差動信号として伝送されるようになっている。

40

【0088】

図11(A),(B)は、表示データ伝送路のインターフェース部(同図(A))と、LVDS規格の高速シリアル伝送路のインターフェース部(同図(B))とを模式的に示したものである。

【0089】

すなわち、同図(A)に示す技術では、CMOSトランジスタで構成された出力バッファ450、452により、配線容量が付加された信号伝送路上に、伝送データに対応した電圧が駆動される。受信側では、信号伝送路を、CMOSトランジスタで構成された入力バッファ454、456で受信する。ここで、データ伝送路とクロック信号CLKの伝送路の配線容量をC[F]とし、データ伝送レートをf[Hz]、出力バッファの電源電圧を

50

V [V] とすると、データ伝送に伴う消費電流 I_{op0} は、次の (1) 式のように示される。

【 0 0 9 0 】

$$I_{op0} = f C V [A] \quad \dots (1)$$

従って、伝送レートを上げるほど、消費電流が多くなってしまう。しかしながら実際には配線容量 C により、それほど高速に伝送レートを上げることができない。

【 0 0 9 1 】

これに対して、同図 (B) に示すように、送信側から差動出力のドライバ 4 6 0、4 6 2 で伝送信号に対応した差動信号を出力し、受信側で差動入力された差動信号をレシーバ 4 6 4、4 6 6 で差動増幅する。より具体的には、送信側の差動出力ドライバから、ツイストペアケーブルや、プリント基板などの平衡伝送路からなる信号伝送路に対して定常電流を流し、受信側の差動入力のレシーバにより、差動動作する信号伝送路間に接続された終端抵抗 R 間に発生した差動電圧を増幅させる。

10

【 0 0 9 2 】

その際、送信側で P L L 回路 4 6 8 により、クロック信号 C L K を例えば 9 通倍した通倍クロック信号に同期させて伝送すべきデータをシリアル変換し、クロック信号 C L K に同期させて伝送させる。受信側では、受信したクロック信号 C L K を P L L 回路 4 7 0 で例えば 9 通倍した通倍クロック信号に同期させて、受信したシリアルデータをパラレル変換する。

【 0 0 9 3 】

ここで、差動信号の伝送に伴う定常電流を I_{const} [A]、送信側と受信側の P L L 回路 4 6 8、4 7 0 で消費される電流を I_{pll} [A] とすると、データ伝送に伴う消費電流 I_{op1} は、次の (2) 式のように示される。

20

【 0 0 9 4 】

$$I_{op1} = I_{const} + I_{pll} [A] \quad \dots (2)$$

図 1 2 に、L V D S 規格によるデータ伝送に伴う電流消費と、C M O S ドライバによるデータ伝送に伴う電流消費との関係を表したグラフを示す。

【 0 0 9 5 】

ここでは、データ伝送レートを変化させたときの、C M O S トランジスタにより構成されたドライバでデータ伝送する際の消費電流 4 8 0 と、L V D S 規格によりデータ伝送する際の消費電流 4 8 2 とを示す。

30

【 0 0 9 6 】

すなわち、図 1 1 (A) に示すように C M O S ドライバでデータ伝送を行う場合、(1) 式に従ってデータ伝送レートに比例して消費電流が増加する。

【 0 0 9 7 】

これに対して、図 1 1 (B) に示す L V D S 規格によるデータ伝送では、データ伝送レートに応じた定常電流が必要である。しかしながら、必要とされる定常電流は、データ伝送レートが低い場合であっても、データ伝送レートが高い場合であっても、ほぼ同じ値である。

【 0 0 9 8 】

従って、L V D S 規格によるデータ伝送では、伝送レートが低い場合に従来のデータ伝送よりも消費電流が多くなる場合があることを意味する。その一方で、伝送レートが高くなった場合には従来よりも低い消費電流で、かつ高速のデータ伝送を行うことができることを意味する。

40

【 0 0 9 9 】

そこで、第 3 の実施の形態では、データ伝送レートが低い場合において、データ伝送が行われない期間は、定常電流の消費を抑えることによって、従来のデータ伝送と比較して、より高速のデータ伝送と、低消費電力化との両立を図ることができることを特徴としている。より具体的には、送信側の差動出力ドライバと受信側の差動入力レシーバの動作を停止させて、定常電流をなくす。

50

【 0 1 0 0 】

図 1 3 に、このような第 3 の実施の形態における電子機器について、L V D S 規格による高速シリアル伝送を行う M P U と表示ユニットとのインターフェース部分の構成要部の概要を示す。

【 0 1 0 1 】

ただし、図 1、図 1 0 或いは図 1 1 と同一部分には同一符号を付し、適宜説明を省略する。

【 0 1 0 2 】

この電子機器は、M P U 4 0 0 と、表示ユニット 4 1 0 とが、L V D S 規格の高速シリアル伝送路を介して接続されている。

10

【 0 1 0 3 】

M P U 4 0 0 が、上述した M P U 1 0 と異なる点は、L V D S 規格による高速シリアル伝送の送信インターフェース機能を有する L V D S 送信回路 4 9 0 と、データ有効信号生成回路 4 9 2 を備えている点である。

【 0 1 0 4 】

表示ユニット 4 1 0 が、上述した表示ユニット 2 0 と異なる点は、L V D S 規格による高速シリアル伝送の受信インターフェース機能を有する L V D S 受信回路 4 9 4 を備えている点である。ここで、表示ユニット 4 1 0 の L C D ドライバ 4 9 6 は、図 1 0 における X ドライバ I C 4 2 0 と、Y ドライバ I C 2 6 に相当する。

20

【 0 1 0 5 】

L V D S 送信回路 4 9 0 は、少なくとも差動出力ドライバ 4 6 0、4 6 2、P L L 回路 4 6 8、パラレル・シリアル変換回路 4 9 8 を含む。

【 0 1 0 6 】

パラレル・シリアル変換回路 4 9 8 は、伝送すべき動画データのスキャンコンバータ機能を有する D P S 1 6 により供給された R、G、B 信号を、P L L 回路 4 6 8 で逡倍された逡倍クロック信号に同期してシリアル変換し、差動出力ドライバ 4 6 0 に対して供給する。

【 0 1 0 7 】

データ有効信号生成回路 4 9 2 は、D S P 1 6 によって生成された動画データが有効なときだけアクティブとなるデータ有効信号を生成し、表示ユニット 4 1 0 の L V D S 受信回路 4 9 4 に対して出力する。

30

【 0 1 0 8 】

L V D S 受信回路 4 9 4 は、少なくとも差動入力レシーバ 4 6 4、4 6 6、P L L 回路 4 7 0、シリアル・パラレル変換回路 5 0 0 を含む。

【 0 1 0 9 】

シリアル・パラレル変換回路 5 0 0 は、差動入力レシーバ 4 6 4 で受信されたシリアルデータを、P L L 回路 4 7 0 で逡倍された逡倍クロック信号に同期してパラレル変換した R、G、B 信号として、L C D ドライバ 4 9 6 (X ドライバ I C 4 2 0) に供給する。また、データ有効信号生成回路 4 9 2 によって生成されたデータ有効信号が非アクティブのとき、少なくとも差動入力レシーバ 4 6 4、4 6 6、P L L 回路 4 7 0 の動作を停止させて、これらに流れる定常電流をなくすることができるようになっている。

40

【 0 1 1 0 】

また、L V D S 受信回路 4 9 4 は、データ有効信号生成回路 4 9 2 によって生成されたデータ有効信号に同期して、R、G、B 信号を X ドライバ I C のデータ R A M に書き込むようにする。例えば、1 画面分の動画データを、図 1 4 に示すタイミングで出力されるデータ有効信号に同期させて、データ R A M に書き込んだり、1 画面の 1 ラインごとの動画データを図 1 5 に示すタイミングで出力されるデータ有効信号に同期させて、データ R A M に書き込むようにする。こうすることによって、水平・垂直同期信号 H・V s y n c のための信号伝送路を設けることなく、動画データを誤りなく表示させることができるようになる。

50

【 0 1 1 1 】

このようにデータ有効信号生成回路 4 9 2 は、シリアル伝送路の高速性に着目し、必要なときのみ、シリアル伝送に必要な定常電流を流すようにすることで、伝送の高速性と低消費電力化との両立を図る。

【 0 1 1 2 】

図 1 4 に、このようなデータ有効信号生成回路 4 9 2 によって生成されるデータ有効信号の生成タイミングの一例を示す。

【 0 1 1 3 】

ここでは、画面表示の 1 フレーム周期 T の間に MPU 4 0 0 から 1 画面分の動画データが伝送される場合を示している。

10

【 0 1 1 4 】

すなわち、1 フレーム周期 T より短時間で 1 画面分の動画データが伝送される場合、データ有効信号回路 4 9 2 は、垂直同期信号 $Vsync$ の立ち上がりに同期して、データ有効信号をアクティブにする。そして、予め認識されている 1 画面分の動画データのデータ数分だけアクティブ期間となるようなパルスを生成する。

【 0 1 1 5 】

こうすることで、期間 t_1 だけ高速シリアル伝送に伴う定常電流が消費されるものの、期間 $(T - t_1)$ ではこの定常電流の消費を抑えることができる。

【 0 1 1 6 】

データ有効信号生成回路 4 9 2 によって生成されるデータ有効信号の生成タイミングは、これに限定されるものではなく、種々のタイミングにより生成することが可能である。

20

【 0 1 1 7 】

図 1 5 に、データ有効信号生成回路 4 9 2 によって生成されるデータ有効信号の生成タイミングの他の例を示す。

【 0 1 1 8 】

ここでは、画面表示の 1 フレーム周期 T の間に MPU 4 0 0 から 1 画面の動画データが 1 ライン分ずつ伝送される場合を示している。

【 0 1 1 9 】

すなわち、1 フレーム周期 T のうち 1 画面のライン数分に分割した時間ごとに 1 画面の 1 ライン分の動画データが伝送される場合、データ有効信号回路 4 9 2 は、まず 1 画面の 1 ライン目において、水平同期信号 $Hsync$ の立ち上がりに同期して、データ有効信号をアクティブにする。そして、予め認識されている 1 画面分の 1 ライン分の動画データのデータ数分だけアクティブ期間となるようなパルスを生成する。2 ライン目以降のデータ有効信号についても、ラインごとに生成される水平同期信号 $Hsync$ の立ち上がりに同期して、予め認識されている 1 画面分の 1 ライン分の動画データのデータ数分だけアクティブ期間となるようなパルスを生成する。

30

【 0 1 2 0 】

また、垂直同期信号 $Vsync$ の立ち上がりに同期して、予め認識されているラインごとに 1 ライン分のデータ数分だけアクティブとなるパルス状のデータ有効信号を、ラインごとに生成させることも可能である。

40

【 0 1 2 1 】

こうすることで、本来 1 フレーム周期 T をラインごとに動画データを伝送する場合に割り当てられるライン伝送期間 T_0 、 T_1 、...、 T_N それぞれについて、期間 t_0 、 t_1 、...、 t_N だけ高速シリアル伝送にともなる定常電流が消費される。従って、各伝送期間において、期間 $(T_0 - t_0)$ 、 $(T_1 - t_1)$ 、...、 $(T_N - t_N)$ における定常電流の消費を抑えることができる。

【 0 1 2 2 】

図 1 6 は、図 1 0 に示す RAM 内蔵 X ドライバ IC 4 2 0 のブロック図である。図 4 に示す RAM 内蔵 X ドライバ IC 2 4 と異なる点は、入力バッファ 1 0 4 に代えて LVDS 受信回路 4 9 4 が設けられている点である。

50

【 0 1 2 3 】

L V D S 受信に回路 4 9 4 は、図 1 3 で説明したように L V D S 規格による高速シリアル伝送路を介して入力されたクロック信号 C L K とシリアルデータ S D を差動入力レシーバで差動増幅し、パラレル化された動画データに変換する。また、これとは別にデータ有効信号 D V が入力され、データ有効信号 D V がアクティブのときのみ、クロック信号 C L K およびシリアルデータ S D の差動入力レシーバを動作させる動作停止制御回路を含む。

【 0 1 2 4 】

このような L V D S 受信回路 4 9 4 には、第 2 のバスライン 1 2 0 が接続される。

【 0 1 2 5 】

(I E E E 1 3 9 4 規格による高速伝送)

図 1 7 は、第 3 の実施の形態における電子機器について、I E E E 1 3 9 4 規格による高速シリアル伝送を行う M P U と表示ユニットとのインターフェース部分の構成要部の概要を示す。

【 0 1 2 6 】

ただし、図 1、図 1 0、図 1 1 或いは図 1 3 と同一部分には同一符号を付し、適宜説明を省略する。

【 0 1 2 7 】

この電子機器は、M P U 5 5 0 と、表示ユニット 5 6 0 とが、I E E E 1 3 9 4 規格の高速シリアル伝送路を介して接続されている。

【 0 1 2 8 】

M P U 5 5 0 が、上述した M P U 4 0 0 と異なる点は、I E E E 1 3 9 4 規格による高速シリアル伝送の送信インターフェース機能を有する I E E E 1 3 9 4 送信回路 5 7 0 を備えている点である。

【 0 1 2 9 】

表示ユニット 5 6 0 が、上述した表示ユニット 4 1 0 と異なる点は、I E E E 1 3 9 4 規格による高速シリアル伝送の受信インターフェース機能を有する I E E E 1 3 9 4 受信回路 5 7 2 を備えている点である。

【 0 1 3 0 】

I E E E 1 3 9 4 送信回路 5 7 0 は、少なくとも I E E E 1 3 9 4 規格による高速シリアル伝送を行うための図示しないパラレル・シリアル変換回路、符号化回路、差動出力ドライバを含む。

【 0 1 3 1 】

I E E E 1 3 9 4 送信回路 5 7 0 におけるパラレル・シリアル変換回路は、伝送すべき動画データのスキャンコンバータ機能を有する D P S 1 6 により供給された R , G , B 信号をシリアル変換する。符号化回路は、D S L i n k (Data / Strobe Link) 方式と呼ばれる符号化方式により、シリアル化された R , G , B 信号から、シリアルデータ S D とストローク信号 S T B とを生成する。

【 0 1 3 2 】

D S L i n k 方式では、シリアルデータ S D とストローク信号 S T B の 2 対の差動信号線により高速シリアル伝送が行われる。I E E E 1 3 9 4 送信回路 5 7 0 は、送信クロックに同期させて、シリアルデータ S D とストローク信号 S T B を生成し、それぞれ差動信号線を介して伝送させる。

【 0 1 3 3 】

I E E E 1 3 9 4 受信回路 5 7 2 は、少なくとも I E E E 1 3 9 4 規格による高速シリアル伝送信号を受信するための図示しない差動入力レシーバ、復号化回路、シリアル・パラレル回路を含む。

【 0 1 3 4 】

I E E E 1 3 9 4 受信回路 5 7 2 における差動入力レシーバは、差動信号線対ごとに、シリアルデータ S D とストローク信号 S T B を差動増幅して受信する。復号化回路は、差動入力レシーバで受信したシリアルデータ S D とストローク信号 S T B とから、シリアル化

10

20

30

40

50

された動画データを生成すると共に、クロック信号CLKを抽出する。シリアル・パラレル変換回路は、変換されたシリアルの動画データをパラレルデータに変換し、R, G, B信号としてLCDドライバ496に供給する。

【0135】

図18は、図17におけるMPU550と表示ユニット560との間で行われるDS Link方式による伝送タイミングの一例を示す。

【0136】

DS Link方式では、シリアルデータSDのシリアル化された信号に対して、図18に示すようなストローク信号STBが生成される。すなわち、シリアルデータSDに同じデータが続いたとき、ストローク信号STBを変化させ、シリアルデータSDが変化したとき、ストローク信号STBを変化させないようになっている。

10

【0137】

また、IEEE1394受信回路572では、シリアルデータSDとストローク信号STBを排他的論理和することでクロック信号CLKを得る。このクロック信号CLKは、パラレル化されたR, G, B信号とともに、LCDドライバ496に供給される。また、IEEE1394受信回路572は、図13に示したLVD S受信回路494と同様に、データ有効信号生成回路492によって生成されたデータ有効信号DVがアクティブのときのみ、差動入力レシーバを動作させることで消費電力を低減させる。

【0138】

このようにIEEE1394規格により、MPUと表示ユニットとの間で動画データを高速シリアル伝送することで、LVD S規格による動画データ伝送と同様に消費電力を低減させる一方、PLL回路を不要とすることができる。従って、より回路規模を縮小させることができ、PLL回路における消費電流を削減することができる。

20

【0139】

(USB規格による高速伝送)

図19は、第3の実施の形態における電子機器について、USB規格による高速シリアル伝送を行うMPUと表示ユニットとのインターフェース部分の構成要部の概要を示す。

【0140】

ここでは、フルスピードにおけるUSB規格のインターフェース部を示しており、図1、図10、図11或いは図13と同一部分には同一符号を付し、適宜説明を省略する。

30

【0141】

この電子機器は、MPU600と、表示ユニット610とが、USB規格の高速シリアル伝送路を介して接続されている。

【0142】

MPU600が、上述したMPU400と異なる点は、USB規格による高速シリアル伝送の送信インターフェース機能を有するUSB送信回路620を備えている点である。

【0143】

表示ユニット610が、上述した表示ユニット410と異なる点は、USB規格による高速シリアル伝送の受信インターフェース機能を有するUSB受信回路622を備えている点である。

40

【0144】

USB送信回路620は、少なくともUSB規格による高速シリアル伝送を行うためのUSB送信処理回路630、差動出力ドライバ632を含む。差動出力ドライバ632の+側/-側は、プルダウン抵抗R1を介して接地されている。

【0145】

USB送信処理回路620は、伝送すべき動画データのスキャンコンバータ機能を有するDPS16により供給されたR, G, B信号をシリアル変換し、所定ビット長のUSBパケットする。

【0146】

USB受信回路622は、少なくとも、差動入力レシーバ634、USB規格による高速

50

シリアル伝送を受信するためのUSB受信処理回路636を含む。差動入力レシーバ634の-側は、プルアップ抵抗R2を介してプルアップされている。

【0147】

USB規格による高速シリアル伝送は、差動信号の他に、差動信号線の+側および-側の両方が論理レベル“L”であるシングルエンド0という状態を用いて、所定ビット長のパケット単位に行われる。シングルエンド0は、パケットの終わりを示す。

【0148】

受信処理回路の差動入力レシーバは、シングルエンド0における論理レベル“L”を検出するために、シングルエンドのレシーバとして構成されている。

【0149】

USB受信処理回路636は、受信したパケットデータを分解し、R、G、B信号の平行信号を生成する。各パケットデータは、例えば8ビットの同期パターンから始まるようになっており、受信処理回路ではこの同期パターンからクロック信号CLKを生成し、これに同期してR、G、B信号を生成する。

【0150】

このようにUSB規格により、MPUと表示ユニットとの間で動画データを高速シリアル伝送することで、LVDS規格による動画データ伝送と同様に消費電力を低減させる一方、PLL回路を不要とすることができる。従って、より回路規模を縮小させることができ、PLL回路における消費電流を削減することができる。

【0151】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0152】

また上述した実施の形態における高速シリアル伝送を行うための差動出力ドライバ、差動入力レシーバの構成は、CMOS、ECLなどの各種製造技術に限定されるものではない。

【0153】

また、本発明は、LVDS規格、IEEE1394規格、或いはUSB規格によるデータ伝送に適用されることが特に望ましいが、これに限定されるものではない。例えばこれら高速シリアルデータ伝送と同様の思想に基づく規格や、これらを発展させた規格におけるデータ伝送転送にも本発明は適用できる。

【図面の簡単な説明】

【図1】本発明が適用される電子機器の概略ブロック図である。

【図2】図1の電子機器の一例である携帯電話機の概略ブロック図である。

【図3】図1に示す液晶パネルの表示例とは異なる表示例を示す概略説明図である。

【図4】図1に示すXドライバICの概略ブロック図である。

【図5】図4に示す表示データRAM及びその周辺回路の概略説明図である。

【図6】図5に示す表示データRAM内のメモリセルの回路図である。

【図7】静止画及び動画の書き込みクロックと表示用読み出しクロックとを示す波形図である。

【図8】本発明の第2の実施の形態に係るXドライバICの概略ブロック図である。

【図9】図8に示す第1、第2の表示データRAMの記憶領域と液晶パネルの表示領域との関係を示す概略説明図である。

【図10】第3の実施の形態におけるXドライバICを備える電子機器の概略ブロック図である。

【図11】図11(A)、(B)は、従来の表示データ伝送路のインターフェース部と比較して、LVDS規格の高速シリアル伝送路のインターフェース部を模式的に示した説明図である。

【図12】LVDS規格によるデータ伝送に伴う電流消費と、CMOSドライバによるデータ伝送に伴う電流消費との関係を表した説明図である。

10

20

30

40

50

【図13】第3の実施の形態における電子機器について、LVDS規格による高速シリアル伝送を行うMPUと表示ユニットとのインターフェース部分の構成要部の概要を示す概略ブロック図である。

【図14】データ有効信号生成回路によって生成されるデータ有効信号の生成タイミングの一例を示すタイミング図である。

【図15】データ有効信号生成回路によって生成されるデータ有効信号の生成タイミングの他の例を示すタイミング図である。

【図16】本発明の第3の実施の形態に係るXドライバICの概略ブロック図である。

【図17】第3の実施の形態における電子機器について、IEEE1394規格による高速シリアル伝送を行うMPUと表示ユニットとのインターフェース部分の構成要部の概要を示す概略ブロック図である。

10

【図18】DSLINK方式による伝送タイミングの一例を示すタイミング図である。

【図19】第3の実施の形態における電子機器について、USB規格による高速シリアル伝送を行うMPUと表示ユニットとのインターフェース部分の構成要部の概要を示す概略ブロック図である。

【符号の説明】

10, 400, 550, 600 MPU

12 CPU

14 静止画用メモリ

16 DSP (デジタル・シグナル・プロセッサ)

20

18 動画用メモリ

20, 410, 560, 610 表示ユニット

22 液晶パネル

22A 動画表示領域

22B 静止画表示領域

24, 420 XドライバIC

26 YドライバIC

30 携帯電話機

32 アンテナ

34 変復調回路

30

36 デジタルビデオカメラ

38 操作入力部

100 MPUインターフェース

102 入出力バッファ

104 入力バッファ

110 第1のバスライン

112 バスホルダ

114 コマンドデコーダ

116 ステータス設定回路

120 第2のバスライン

40

122 バスホルダ

130 MPU系制御回路

140 カラムアドレス制御回路

142 第1のカラムアドレス制御回路

142A 第1のカラムアドレスデコーダ

144 第2のカラムアドレス制御回路

144A 第2のカラムアドレスデコーダ

150 ページアドレス制御回路

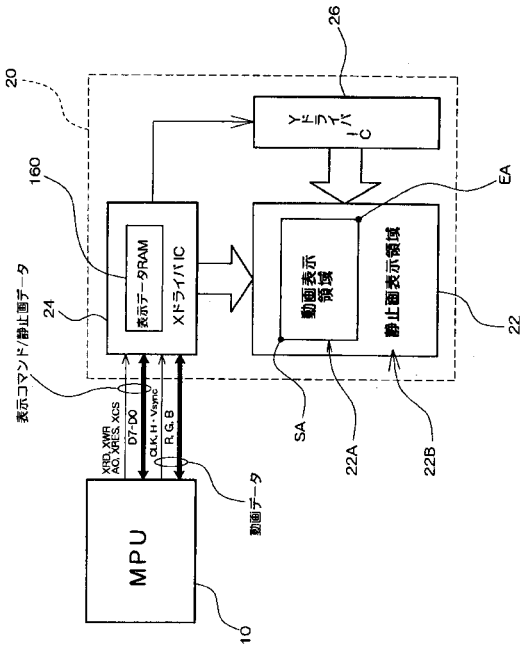
152 第1のページアドレス制御回路

152A 第1のページアドレスデコーダ

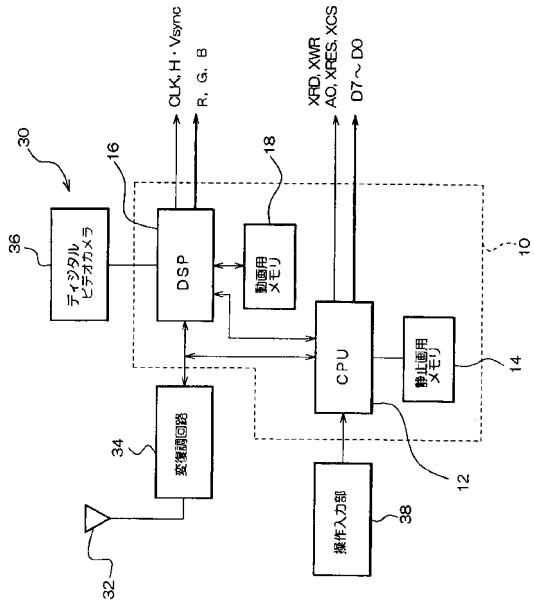
50

1 5 4	第 2 のページアドレス制御回路	
1 5 4 A	第 2 のページアドレスデコーダ	
1 6 0	表示データ R A M	
1 6 2	I / O バッファ	
1 7 0	ドライバ系制御回路	
1 7 2	Xドライバ系制御回路	
1 7 4	Yドライバ系制御回路	
1 7 6	発振回路	
1 7 8	電源制御回路	
1 8 0	P W M デコーダ回路	10
1 9 0	液晶駆動回路	
2 0 0	メモリ素子	
2 0 1 , 2 0 2	C M O S インバータ	
2 0 4 , 2 0 6	第 1 , 第 2 の配線	
2 1 0 , 2 1 2	第 1 , 第 2 の N 型 M O S トランジスタ (第 1 のスイッチ)	
2 2 0 , 2 2 2	第 1 , 第 2 の P 型 M O S トランジスタ	
2 3 0 , 2 3 2	第 3 , 第 4 の N 型 M O S トランジスタ (第 2 のスイッチ)	
3 0 0	Xドライバ I C	
3 1 0 , 3 2 0	第 1 , 第 2 の表示データ R A M	
3 1 2 , 3 2 2	I / O バッファ	20
3 3 0 , 3 4 0	第 1 , 第 2 の表示アドレス制御回路	
3 5 0	セレクタ	
4 5 0 , 4 5 2	出力バッファ	
4 5 4 , 4 5 6	入力バッファ	
4 6 0 , 4 6 2 , 6 3 2	差動出力バッファ	
4 6 4 , 4 6 6 , 6 3 4	差動入力バッファ	
4 6 8 , 4 7 0	P L L 回路	
4 9 0	L V D S 送信回路	
4 9 2	データ有効信号生成回路	
4 9 4	L V D S 受信回路	30
4 9 6	L C D ドライバ	
4 9 8	パラレル・シリアル変換回路	
5 0 0	シリアル・パラレル変換回路	
5 7 0	I E E E 1 3 9 4 送信回路	
5 7 2	I E E E 1 3 9 4 受信回路	
6 2 0	U S B 送信回路	
6 2 2	U S B 受信回路	
6 3 0	U S B 送信処理回路	
6 3 6	U S B 受信処理回路	
W 1 ~ W 3	第 1 ~ 第 3 のワード線	40
B 1 , / B 1	第 1 のビット線対	
B 2 , / B 2	第 2 のビット線対	
C 1 0 , C 1 1 , C 2 0 , C 2 1	メモリセル	

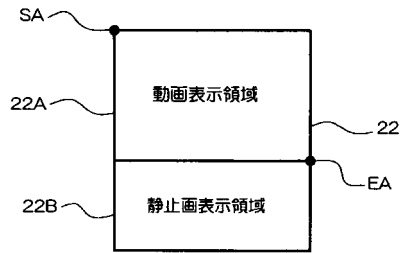
【図1】



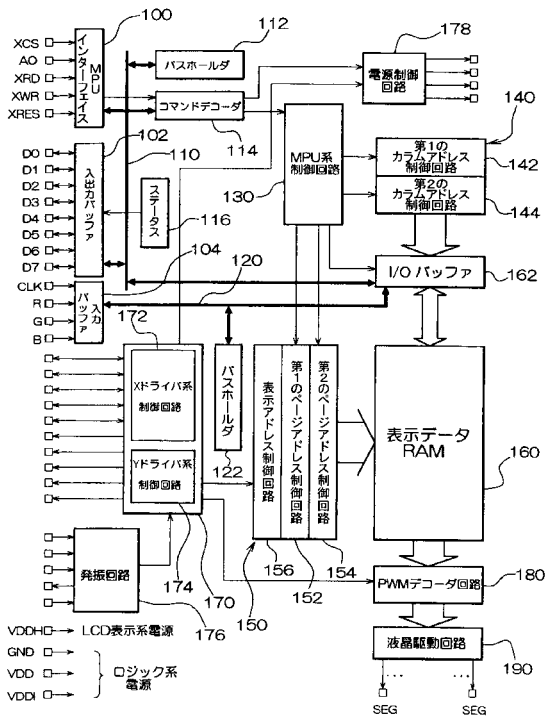
【図2】



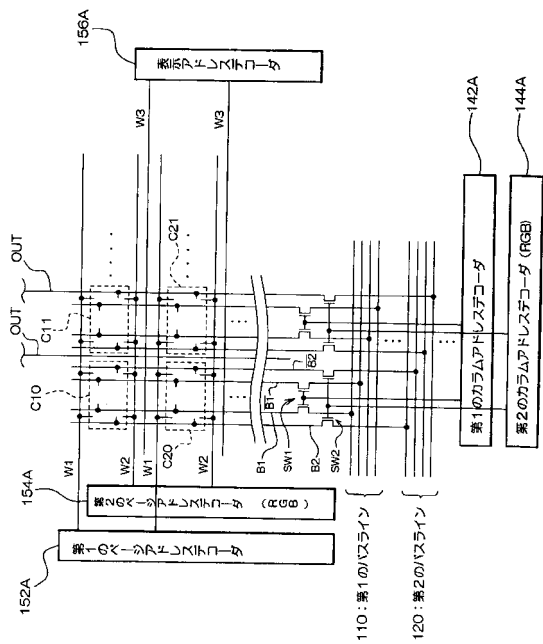
【図3】



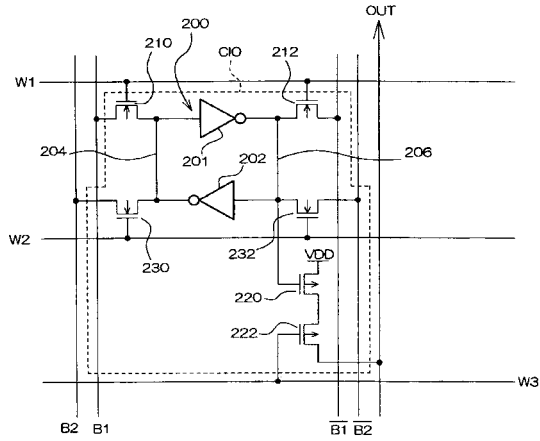
【図4】



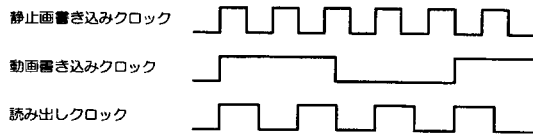
【図5】



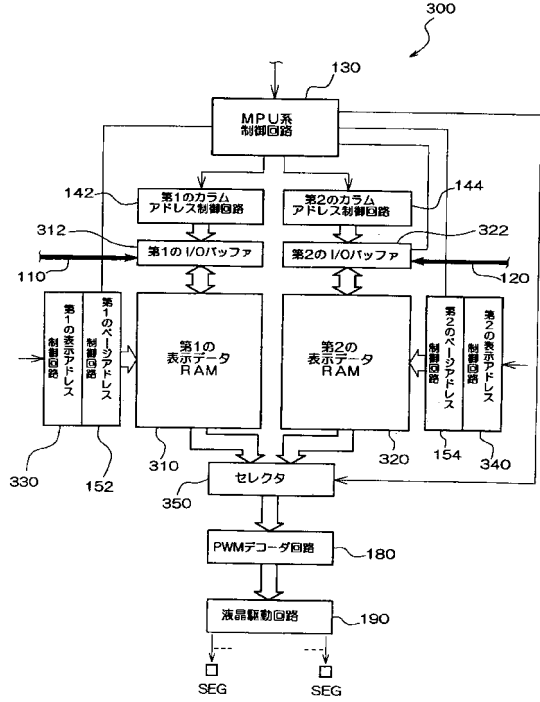
【図6】



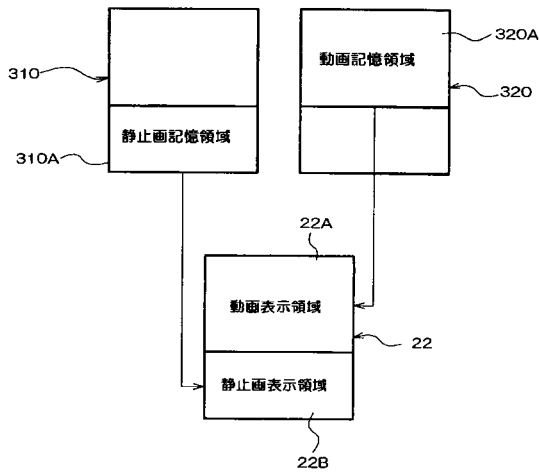
【図7】



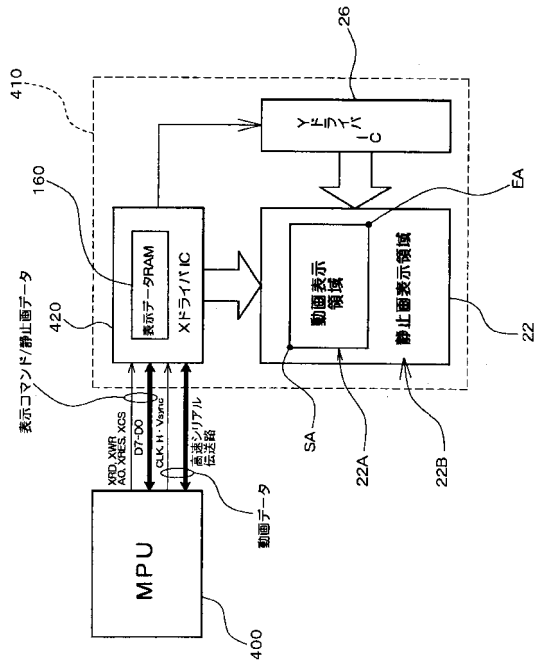
【図8】



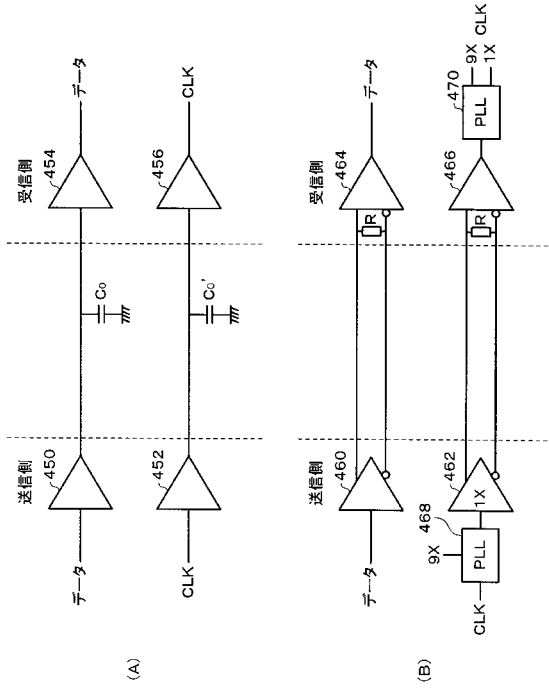
【図9】



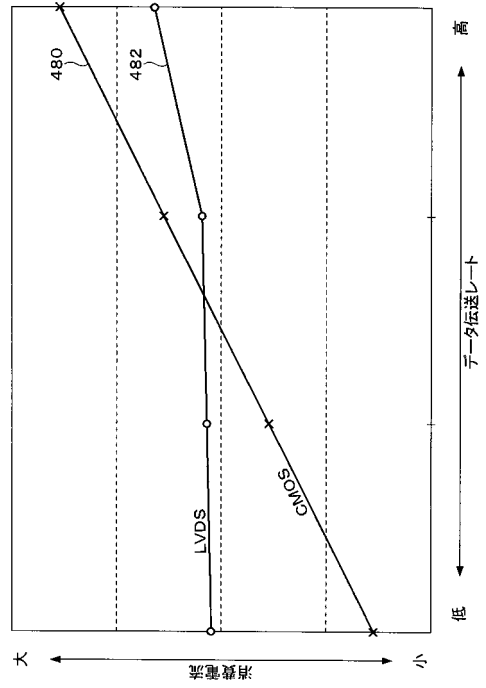
【図10】



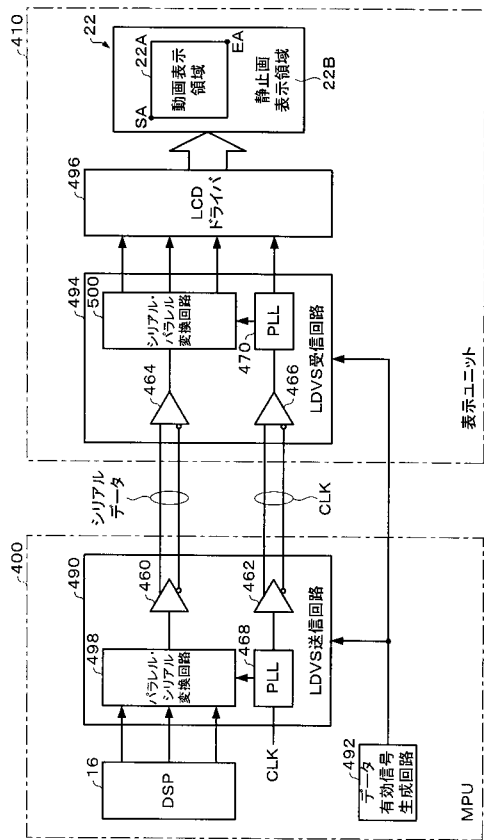
【図11】



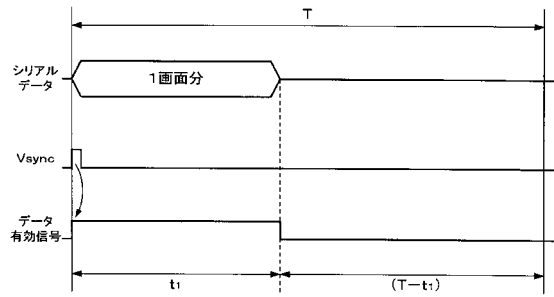
【図12】



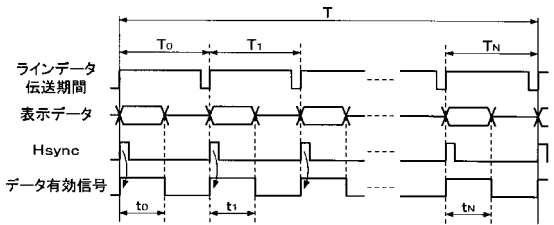
【図13】



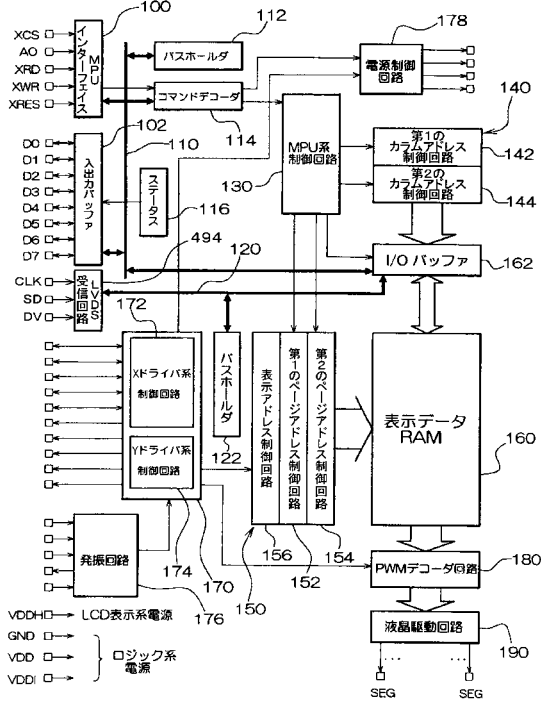
【図14】



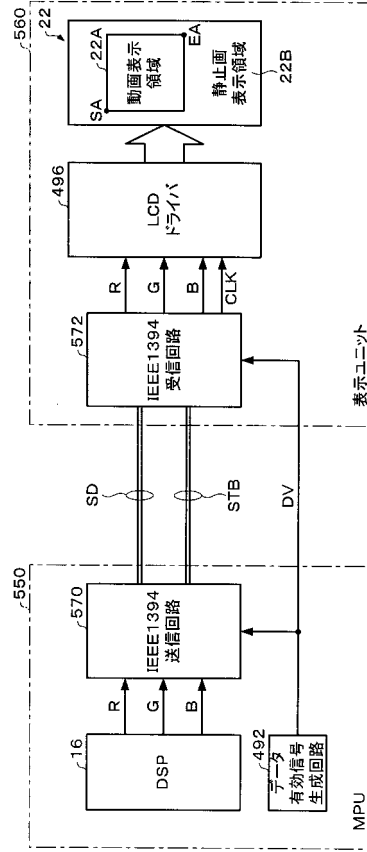
【図15】



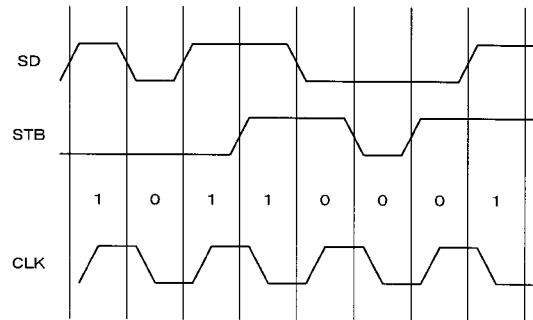
【図16】



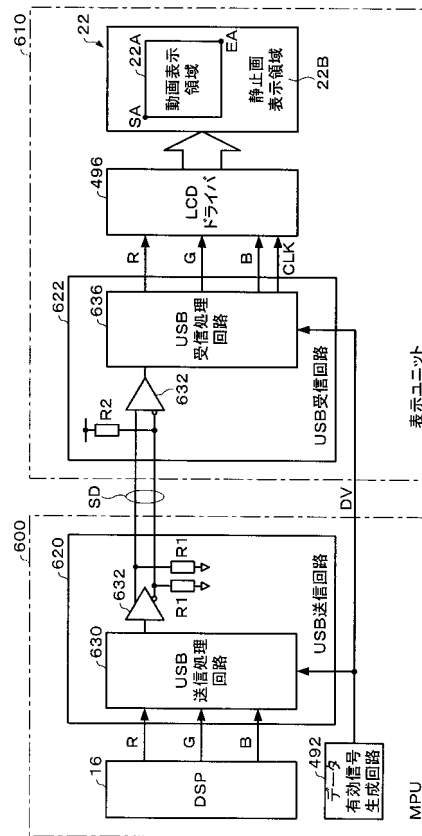
【図17】



【図18】



【図19】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 8 0 S
G 0 6 F 12/00 5 7 0 C
G 0 6 F 12/00 5 8 0
G 0 9 G 3/36

(72)発明者 田村 剛
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 後藤 亮治

(56)参考文献 特開平08-076721(JP,A)
特開平11-296128(JP,A)
国際公開第97/011447(WO,A1)
特開平09-281933(JP,A)
特開平06-130910(JP,A)
特開平07-092953(JP,A)
特開平09-034426(JP,A)

(58)調査した分野(Int.Cl., DB名)
G09G 3/00 - 5/42