

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ G09G 3/28	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년08월18일 10-0508256 2005년08월05일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0054433 2003년08월06일	(65) 공개번호 (43) 공개일자	10-2005-0015555 2005년02월21일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	엘지전자 주식회사 서울특별시 영등포구 여의도동 20번지
(72) 발명자	김정훈 서울특별시관악구남현동602-156
(74) 대리인	김영호

심사관 : 이만금

(54) 플라즈마 디스플레이 패널의 구동방법 및 장치

요약

본 발명은 방전지연을 줄여 싱글 스캔이 가능하게 할뿐 아니라 어드레스방전에 필요한 전압을 낮추고 오방전을 줄이도록 한 플라즈마 디스플레이 패널의 구동방법 및 장치에 관한 것이다.

본 발명은 제1 및 제2 전극을 각각 포함한 다수의 전극쌍이 형성된 상판과, 상기 다수의 전극쌍과 교차하는 다수의 제3 전극이 형성된 하판 및 상기 제1 및 제2 전극과 상기 제3 전극의 교차부에 형성되는 방전셀들을 포함하는 플라즈마 디스플레이 패널의 구동방법에 있어서, 리셋기간의 제1 구간 동안 전압이 상승하는 제1 상승 램프파형을 상기 제1 전극에 공급하여 상기 상판과 상기 하판 상에 벽전하를 형성하는 단계와; 상기 리셋기간의 제2 구간 동안 전압이 상승하는 제2 상승 램프파형을 상기 제2 전극에 공급하여 상기 상판 상에 형성된 벽전하의 일부를 소거하는 단계와; 상기 리셋기간의 제3 구간 동안 전압이 하강하는 하강 램프파형을 상기 제1 전극 및 상기 제2 전극에 공급하여 상기 상판 상에 형성된 벽전하와 상기 하판 상에 형성된 벽전하의 일부를 소거하는 단계와; 어드레스 기간 동안 스캔펄스들을 중첩하여 상기 제1 전극들에 공급함과 아울러 상기 제3 전극에 데이터전압을 공급하여 상기 스캔펄스의 제1 구간에서 프라이밍 방전을 발생시키고 상기 스캔펄스의 제2 구간에서 어드레스방전을 일으켜 상기 방전셀들을 선택하는 단계와; 서스테인 기간 동안 상기 제1 및 제2 전극들에 교대로 서스테인전압을 공급하여 표시를 행하는 단계를 포함하는 것을 특징으로 한다.

대표도

도 8

명세서

도면의 간단한 설명

도 1은 종래의 3전극 교류 면방전형 플라즈마 디스플레이 패널의 전극배치를 개략적으로 나타내는 평면도이다.

도 2는 도 1에 도시된 방전셀의 구조를 상세히 나타내는 사시도이다.

도 3은 종래의 플라즈마 디스플레이 패널의 구동방법에 있어서 8 개의 서브필드들이 포함된 종래의 한 프레임을 나타내는 도면이다.

도 4는 종래의 구동 파형을 나타내는 파형도이다.

도 5는 종래의 중첩 스캔 구동방법을 나타내는 파형도이다.

도 6은 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도이다.

도 7은 본 발명의 실시예에 따른 플라즈마 디스플레이 패널에 있어서 리셋기간의 벽전하 분포의 변화를 개략적으로 나타내는 도면이다.

도 8은 도 6의 구동파형에 있어서 어드레스기간을 확대하여 나타내는 파형도이다.

도 9는 스캔펄스와 어드레스방전 사이의 시간차를 보여 주는 시뮬레이션의 결과 화면이다.

도 10은 스캔펄스가 스캔전극에 공급되고 데이터펄스가 어드레스전극에 공급되지 않게 시뮬레이션하고 그 시뮬레이션에서 발생하는 셀프 프라이밍 방전을 보여 주는 시뮬레이션의 결과 화면이다.

도 11은 셀프 프라이밍 방전시 발생하는 공간전하의 이동을 나타내는 도면이다.

도 12는 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동장치를 나타내는 블록도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

121 : 타이밍 컨트롤러 122 : 데이터 구동부

123 : 스캔 구동부 124 : 서스테인 구동부

125 : 구동전압 발생부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 패널의 구동방법 및 장치에 관한 것으로, 특히 방전지연을 줄여 싱글 스캔이 가능하게 할 뿐 아니라 어드레스방전에 필요한 전압을 낮추고 오방전을 줄이도록 한 플라즈마 디스플레이 패널의 구동방법 및 장치에 관한 것이다.

플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 함)은 He+Xe, Ne+Xe, He+Ne+Xe 가스의 방전시 발생하는 자외선에 의해 형광체를 발광시킴으로써 화상을 표시하게 된다. 이러한 PDP는 박막화와 대형화가 용이할 뿐만 아니라 최근의 기술 개발에 힘입어 크게 향상된 화질을 제공한다. 특히, 3전극 교류 면방전형 PDP는 방전시 표면에 축적된 벽전하를 이용하여 방전에 필요한 전압을 낮추게 되며, 방전에 의해 발생하는 스퍼터링으로부터 전극들을 보호하기 때문에 저전압 구동과 장수명의 장점을 가진다.

도 1 및 도 2를 참조하면, 3전극 교류 면방전형 PDP는 상부기관(10) 상에 형성되어진 스캔전극(Y1 내지 Yn) 및 서스테인전극(Z)과, 하부기관(18) 상에 형성되어진 어드레스전극(X1 내지 Xm)을 구비한다.

이 PDP의 방전셀들(1)은 스캔전극들(Y1 내지 Yn), 서스테인전극들(Z) 및 어드레스전극들(X1 내지 Xm)의 교차부에 형성된다.

스캔전극들(Y1 내지 Yn)과 서스테인전극들(Z) 각각은 투명전극(12)과, 투명전극(12)보다 작은 선폭을 가지며 투명전극의 일측 가장자리에 형성되는 금속버스전극(11)을 포함한다. 투명전극(12)은 통상 인듐틴옥사이드(Indium-Tin-Oxide : ITO)로 상부기판(10) 상에 형성된다. 금속버스전극(11)은 통상 금속으로 투명전극(12) 상에 형성되어 저항이 높은 투명전극(12)에 의한 전압강하를 줄이는 역할을 한다. 스캔전극(Y1 내지 Yn)과 서스테인전극(Z)이 형성된 상부기판(10)에는 상부 유전체층(13)과 보호막(14)이 적층된다. 상부 유전체층(13) 상에는 플라즈마 방전시 발생된 벽전하가 쌓이게 된다. 보호막(14)은 플라즈마 방전시 발생된 스퍼터링으로부터 전극들(Y1 내지 Yn, Z)과 상부 유전체층(13)을 보호하고 2차 전자의 방출 효율을 높이게 된다. 이 보호막(14)으로는 통상 산화마그네슘(MgO)이 이용된다.

어드레스전극(X1 내지 Xm)은 스캔전극(Y1 내지 Yn) 및 서스테인전극(Z)과 교차되는 방향으로 하부기판(18) 상에 형성된다. 하부기판(18) 상에는 하부 유전체층(17)과 격벽(15)이 형성된다. 하부 유전체층(17)과 격벽(15)의 표면에는 형광체층(16)이 형성된다. 격벽(15)은 어드레스전극(X1 내지 Xm)과 나란하게 형성되어 방전셀을 물리적으로 구분하여 이웃한 방전셀들(1) 사이의 전기적, 광학적 간섭을 차단한다. 형광체층(16)은 플라즈마 방전시 발생된 자외선에 의해 여기·발광되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생한다.

상/하부기판(10,18)과 격벽(15) 사이에 마련된 방전셀의 방전공간에는 방전을 위한 He+ Xe, Ne+ Xe, He+ Ne+ Xe 등의 불활성 혼합가스가 주입된다.

이러한 3전극 교류 면방전형 PDP는 화상의 계조(Gray Level)를 구현하기 위하여 한 프레임을 발광횟수가 다른 여러 서브필드로 나누어 구동하고 있다. 256 계조로 화상을 표시하고자 하는 경우에 1/60 초에 해당하는 프레임 기간(16.67ms)은 도 3과 같이 8개의 서브필드들(SF1 내지 SF8)로 나누어지게 된다. 각 서브필드들(SF1 내지 SF8)은 방전셀들(1)을 초기화하기 위한 리셋 기간, 방전셀을 선택하기 위한 어드레스 기간 및 방전횟수에 따라 계조를 구현하는 서스테인 기간으로 나뉘어진다. 각 서브필드들(SF1 내지 SF8)의 리셋기간 및 어드레스 기간은 각 서브필드마다 동일한 반면에, 서스테인 기간 및 그 방전횟수는 각 서브필드에서 2ⁿ(단, n=0,1,2,3,4,5,6,7)의 비율로 증가된다.

도 4는 PDP의 구동파형을 나타낸다.

도 4를 참조하면, 리셋기간의 셋업기간(SU)에는 모든 스캔전극들(Y)에 상승 램프파형(Ramp-up)이 동시에 공급된다. 이와 동시에, 서스테인전극(Z)과 어드레스전극(X)에는 0[V]가 공급된다. 상승 램프파형(Ramp-up)에 의해 전화면의 셀들 내에서 스캔전극(Y)과 어드레스전극(X) 사이와 스캔전극(Y)과 서스테인전극(Z) 사이에는 약방전으로 셋업방전이 일어난다. 이 셋업방전에 의해 어드레스전극(X)과 서스테인전극(Z) 상에는 정극성(+)의 벽전하가 쌓이게 되며, 스캔전극(Y) 상에는 부극성(-)의 벽전하가 쌓이게 된다. 리셋기간의 셋다운기간(SD)에는 대략 서스테인전압(Vs)부터 떨어지기 시작하여 기저전압(GND)이나 0[V] 또는 부극성 전압까지 전압이 떨어지는 하강 램프파형(Ramp-dn)이 스캔전극들(Y)에 동시에 공급된다. 이 하강 램프파형(Ramp-dn)이 스캔전극들(Y)에 공급되는 동안, 서스테인전극(Z)에는 정극성의 서스테인전압(Vs)이 공급되고, 어드레스전극(X)에는 0[V]가 공급된다. 이렇게 하강 램프파형(Ramp-dn)이 공급될 때, 스캔전극(Y)과 서스테인전극(Z) 사이와 스캔전극(Y)과 어드레스전극(X) 사이에 약방전으로 셋다운방전이 일어난다. 이러한 셋다운방전에 의해 셋업방전시에 형성된 벽전하들 중에서 어드레스방전에 불필요한 과도한 벽전하들이 소거된다. 이러한 리셋기간에서의 벽전하 변화를 살펴보면, 어드레스전극(X) 상의 벽전하 변화는 거의 없으며, 셋업방전시 형성되었던 스캔전극(Y) 상의 부극성(-) 벽전하들이 셋다운방전에 의해 일부 감소된다. 반면에, 서스테인전극(Z) 상에는 셋업방전시 정극성 벽전하가 형성되었으나 셋다운방전시 스캔전극(Y)의 부극성 벽전하의 감소분만큼 자신에게 부극성 벽전하가 쌓이면서 부극성 벽전하가 쌓이게 된다.

어드레스기간에는 부극성 스캔펄스(scan)가 스캔전극들(Y)에 순차적으로 공급됨과 동시에 스캔펄스(scan)에 동기되어 어드레스전극들(X)에 정극성의 데이터펄스(data)가 공급된다. 스캔펄스(scan)와 데이터펄스(data)의 전압차와 리셋기간에 생성된 벽전압이 더해지면서 데이터펄스(data)가 공급되는 온셀 내에는 어드레스 방전이 발생된다. 어드레스방전에 의해 선택된 온셀들 내에는 서스테인전압(Vs)이 공급될 때 방전이 일어날 수 있게 하는 정도의 벽전하가 형성된다. 이 어드레스기간 동안 서스테인전극(Z)에는 정극성 직류전압(Zdc)이 공급된다.

서스테인기간에는 스캔전극들(Y)과 서스테인전극들(Z)에 교번적으로 서스테인펄스(sus)가 공급된다. 어드레스방전에 의해 선택된 온셀들은 셀 내의 벽전압과 서스테인펄스(sus)가 더해지면서 때 서스테인펄스(sus)가 공급될 때 마다 스캔전극(Y)과 서스테인전극(Z) 사이에 서스테인방전 즉, 표시방전이 발생된다.

서스테인방전이 완료된 후에는 소거기간이 이어진다. 소거기간에는 펄스폭과 전압레벨이 작은 소거 램프파형(rampers)이 서스테인전극(Z)에 공급되어 전화면의 셀들 내에 잔류하는 벽전하를 소거시키게 된다.

이러한 PDP는 해상도가 높아지고 있으며 최근 화질이 크게 개선되고 있다. 그런데 해상도가 증가하거나 화질을 높이기 위하여 서브필드를 추가하게 되면 어드레스기간이 길어지기 때문에 구동시간이 부족하게 된다. 이러한 구동시간의 부족은 PDP에서 두 개의 라인을 동시에 스캔할 수 있는 듀얼 스캔방법으로 해결될 수 있지만 듀얼 스캔방법에 의해서는 드라이브 집적회로(Drive Integrated Circuit)이 추가되어야 하는 또 다른 문제점이 있다. 따라서, 최근에는 드라이브 집적회로의 추가가 필요없는 싱글 스캔으로 PDP를 구동하면서 동시에 화질을 높일 수 있는 연구가 활발히 진행되고 있다.

최근에는 PDP의 저소비전력으로 고효율화를 도모하기 위하여 방전가스에서 Xe의 함량을 10% 이상 높이는 방법이 제안된 바 있다. 그런데 이렇게 Xe의 함량을 높이면 리셋기간의 램프전압이 높아지고 방전지연 특히, 어드레스 지터(Address jitter) 값이 증가하여 스캔타임과 어드레스기간이 증가하여 싱글 스캔으로 PDP를 구동할 수 없다.

어드레스기간을 줄이기 위한 한 방법으로 도 5와 같이 스캔펄스들(scan)을 t1 시간만큼 중첩시키는 방법 이른바 '중첩 스캔(Overlapping Scan)'이 제안된 바 있다. 그런데 중첩스캔은 중첩 시간 t1에 오방전이 일어날 가능성이 높으며 중첩 시간 t1을 충분히 넓게 할 수 없으므로 어드레스기간을 줄이는데 한계가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 방전지연을 줄여 싱글 스캔이 가능하게 할뿐 아니라 어드레스방전에 필요한 전압을 낮추고 오방전을 줄이도록 한 PDP의 구동방법 및 장치를 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동방법은 제1 및 제2 전극을 각각 포함한 다수의 전극쌍이 형성된 상판과, 상기 다수의 전극쌍과 교차하는 다수의 제3 전극이 형성된 하판 및 상기 제1 및 제2 전극과 상기 제3 전극의 교차부에 형성되는 방전셀들을 포함하는 플라즈마 디스플레이 패널의 구동방법에 있어서, 리셋기간의 제1 구간 동안 전압이 상승하는 제1 상승 램프파형을 상기 제1 전극에 공급하여 상기 상판과 상기 하판 상에 벽전하를 형성하는 단계와; 상기 리셋기간의 제2 구간 동안 전압이 상승하는 제2 상승 램프파형을 상기 제2 전극에 공급하여 상기 상판 상에 형성된 벽전하의 일부를 소거하는 단계와; 상기 리셋기간의 제3 구간 동안 전압이 하강하는 하강 램프파형을 상기 제1 전극 및 상기 제2 전극에 공급하여 상기 상판 상에 형성된 벽전하와 상기 하판 상에 형성된 벽전하의 일부를 소거하는 단계와; 어드레스 기간 동안 스캔펄스들을 중첩하여 상기 제1 전극들에 공급함과 아울러 상기 제3 전극에 데이터전압을 공급하여 상기 스캔펄스의 제1 구간에서 프라이밍 방전을 발생시키고 상기 스캔펄스의 제2 구간에서 어드레스 방전을 일으켜 상기 방전셀들을 선택하는 단계와; 서스테인 기간 동안 상기 제1 및 제2 전극들에 교대로 서스테인전압을 공급하여 표시를 행하는 단계를 포함하는 것을 특징으로 한다.

상기 스캔펄스의 제1 구간은 상기 스캔펄스의 제2 구간에 앞서는 것을 특징으로 한다.

상기 제1 전극에 공급되는 상기 스캔펄스들은 상기 스캔펄스의 제2 구간에서 중첩되는 것을 특징으로 한다.

상기 스캔펄스의 제2 구간 동안 상기 데이터전압이 상기 제3 전극에 공급되는 것을 특징으로 한다.

본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동장치는 제1 및 제2 전극을 각각 포함한 다수의 전극쌍이 형성된 상판과, 상기 다수의 전극쌍과 교차하는 다수의 제3 전극이 형성된 하판 및 상기 제1 및 제2 전극과 상기 제3 전극의 교차부에 형성된 방전셀들을 포함하는 플라즈마 디스플레이 패널의 구동장치에 있어서, 리셋기간의 제1 구간 동안 전압이 상승하는 제1 상승 램프파형을 상기 제1 전극에 공급하여 상기 상판과 상기 하판 상에 벽전하를 형성하고, 상기 리셋기간의 제2 구간 동안 전압이 상승하는 제2 램프파형을 상기 제2 전극에 공급하여 상기 상판 상에 형성된 벽전하의 일부를 소거하며, 상기 리셋기간의 제3 구간 동안 전압이 하강하는 하강 램프파형을 상기 제1 전극과 상기 제2 전극에 공급하여 상기 상판 상에 형성된 벽전하의 일부를 소거하는 초기화 구동부와; 어드레스 기간 동안 스캔펄스들을 중첩하여 상기 제1 전극들에 공급함과 아울러 상기 제3 전극에 데이터전압을 공급하여 상기 스캔펄스의 제1 구간에서 프라이밍 방전을 발생시키고 상기 스캔펄스의 제2 구간에서 어드레스방전을 일으켜 상기 방전셀들을 선택하는 스캔/어드레스 구동부와; 서스테인 기간 동안 상기 제1 및 제2 전극들에 교대로 서스테인전압을 공급하여 표시를 행하는 서스테인 구동부를 구비하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

삭제

이하, 본 발명의 실시예를 첨부한 도 6 내지 도 12를 참조하여 상세히 설명하기로 한다.

도 6 및 도 7을 참조하면, 본 발명의 실시예에 따른 PDP의 구동방법은 리셋기간 동안 상승 램프파형(Ruy, Ruz)을 스캔전극(Y)과 서스테인전극(Z)에 순차적으로 공급하고 어드레스기간 동안 스캔펄스(scan)를 중첩한다.

리셋기간의 a 구간에는 모든 스캔전극들(Y)에 대략 서스테인전압(V_s)부터 상승하기 시작하여 셋업전압(V_{ry})까지 상승하는 제1 상승 램프파형(R_{uy})이 동시에 공급된다. 이와 동시에, 서스테인전극(Z)과 어드레스전극(X)에는 0[V]가 공급된다. 이 a 구간은 상판의 전극들(Y, Z)과 하판의 어드레스전극들(X) 상에 벽전하를 쌓는 기간이다. 제1 상승 램프파형(R_{uy})에 의해 전화면의 셀들 내에서 스캔전극(Y)과 어드레스전극(X) 사이와 스캔전극(Y)과 서스테인전극(Z) 사이에는 약방전이 일어난다. 이 방전에 의해 어드레스전극(X)과 서스테인전극(Z) 상에는 정극성(+)의 벽전하가 쌓이게 되며, 스캔전극(Y) 상에는 부극성(-)의 벽전하가 쌓이게 된다.

리셋기간의 b 구간에는 서스테인전극들(Z)에 대략 서스테인전압(V_s)부터 상승하기 시작하여 셋업전압(V_{rz})까지 상승하는 제2 상승 램프파형(R_{uz})이 동시에 공급된다. 이 b 구간 동안 스캔전극들(Y)에는 서스테인전압(V_s)이 공급되며 어드레스전극(X)에는 0[V]가 공급된다. b 구간은 상판의 전극들(Y, Z) 상에 쌓여진 벽전하들의 일부를 소거함과 아울러 하판의 어드레스전극들(X)에 벽전하를 더 쌓는 기간이다. 제2 상승 램프파형(R_{uz})에 의해 전화면의 셀들 내에서 서스테인전극(Z)과 어드레스전극(X) 사이와 스캔전극(Y)과 서스테인전극(Z) 사이에는 약방전이 일어난다. 이 때 서스테인전극(Z)과 스캔전극(Y)에 의해서 스캔전극(Y) 상의 부극성 벽전하는 소거되고 서스테인전극(Z) 상에는 스캔전극(Y)의 부극성 벽전하의 감소분만큼 부극성 벽전하가 쌓이면서 정극성 벽전하가 소거되고 벽전하의 극성이 부극성으로 반전된다. 그리고 서스테인전극(Z)과 어드레스전극(X) 사이의 방전에 의해서 어드레스전극(X) 상에는 서스테인전극(Z)에 쌓여 있었던 정극성 벽전하의 감소분만큼 정극성 벽전하가 더 쌓이게 된다.

도 4와 같은 종래의 구동파형에 의해서는 스캔전극(Y)에 상승 램프신호(Ramp-up)가 인가되는 셋업기간(SU)에 발생된 하전입자 중에서 하판 쪽으로 유입되는 정극성의 벽전하 양이 적으면 다음 셋다운기간(SD)에서 벽전하의 소거에 의해 하판에 형성되었던 정극성의 벽전하 손실이 어드레스 방전이 불안정할 정도로 많아지게 된다. 즉, 종래의 구동파형에 의해서는 어드레스기간에서 하판 벽전하가 부족하게 되어 어드레스 방전의 지연양 또는 어드레스 지터가 커지게 된다. 이에 비하여, 본 발명에 따른 PDP의 구동방법은 전술한 바와 같이 상승 램프파형(R_{uy})이 a 구간에 스캔전극들(Y)에 인가된 후에 b 구간 동안 다른 상승 램프파형(R_{uz})이 서스테인전극들(Z)에 인가되어 두 번의 연속된 방전으로 하판에 정극성 벽전하가 연속적으로 공급된다. 이 때 a 구간에서의 방전이 종래의 셋업파형보다 작게 일어나게 되어 a 구간에서 하판 상에 형성되는 정극성 벽전하가 작다 하더라도 b 구간에서 일어나는 방전에 의해 정극성 벽전하가 하판 상에 보충된다. 이 때문에 상승 램프파형들(R_{uy} , R_{uz})의 전압(V_{ry} , V_{rz})은 도 4와 같은 종래의 셋업전압(V_{setup})보다 낮아져도 하판 상에 충분한 양의 정극성 벽전하를 쌓을 수 있으므로 이어지는 어드레스 방전시 방전지연을 줄일 수 있다.

한편, 제1 및 제2 상승 램프파형(R_{uy} , R_{uz})의 전압(V_{ry} , V_{rz})은 동일하게 설정되거나 다르게 설정될 수 있다. 또한, 제1 및 제2 상승 램프파형(R_{uy} , R_{uz})의 기울기는 동일하게 설정되거나 다르게 설정될 수 있다.

리셋기간의 c 구간에는 대략 서스테인전압(V_s)부터 떨어지기 시작하여 기저전압(GND)이나 0[V]까지 전압이 떨어지는 제2 하강 램프파형(R_{dz})이 서스테인전극들(Y)에 공급됨과 동시에 대략 서스테인전압(V_s)부터 떨어지기 시작하여 부극성의 소정 전압($-V_{ny}$)까지 전압이 떨어지는 제1 하강 램프파형(R_{dy})이 스캔전극들(Y)에 공급된다. 이 하강 램프파형들(R_{dz} , R_{dy})이 서스테인전극들(Z)과 스캔전극들(Y)에 공급되는 동안, 어드레스전극들(X)에는 0[V]가 공급된다. 이렇게 하강 램프파형들(R_{dz} , R_{dy})이 공급될 때, 스캔전극들(Y)과 어드레스전극들(X) 사이에 약방전이 일어난다. 이 방전에 의해 모든 방전셀들에서 스캔전극들(Y)과 어드레스전극들(X) 상에 형성된 벽전하들 중에서 어드레스방전에 불필요한 과도한 벽전하들이 소거된다.

한편, 제1 및 제2 하강 램프파형(R_{dy} , R_{dz})의 전압(V_{ry} , V_{rz})은 동일하게 설정될 수 있다. 또한, 제1 및 제2 하강 램프파형(R_{dy} , R_{dz})의 기울기는 도면과 같이 다르게 설정되거나 동일하게 설정될 수 있다.

도 4와 같은 종래의 구동파형에 의해서는 셋다운기간(SU) 동안 스캔전극들(Y)과 서스테인전극들(Z) 간의 면방전을 주로 일으켜 상판과 하판의 벽전하를 조절하여 어드레스 조건을 맞추게 된다. 이에 비하여, 본 발명에 따른 PDP의 구동방법은 c 구간 동안 스캔전극들(Y)과 어드레스전극들(X) 사이의 대향방전만을 이용하여 벽전하를 조절하므로 어드레스방전에 필요한 벽전하 조절이 용이하여 $-V_{ny}$ 전압을 적절히 조절하여 어드레스방전에 관계하는 벽전하를 적절히 소거하여 어드레스 초기조건을 이상적으로 설정하여 보다 안정된 어드레스 구동조건을 구현할 수 있다. 또한, 어드레스 방전에 필요한 이상적인 초기조건을 구현함으로써 본 발명은 어드레스 구동마진을 높이고 어드레스 방전지연을 줄일 수 있다.

어드레스기간에는 부극성 스캔전압($-V_y$)의 스캔펄스(scan)가 스캔전극들(Y)에 순차적으로 공급됨과 동시에 스캔펄스(scan)에 동기되는 정극성 데이터전압(V_d)의 데이터펄스(data)가 어드레스전극들(X)에 공급된다. 이웃한 스캔전극들(Y)에 공급되는 스캔펄스들(scan)은 도 8에서 알 수 있는 바 뒷부분에서 t_2 만큼 중첩된다. 도 8은 도 6의 구동파형에 있어서 어드레스기간을 확대하여 나타내는 파형도로서 제2 스캔전극(Y2)이 포함된 두 번째 스캔라인을 선택하지 않고 제1 및 제

2 스캔전극(Y1, Y3)이 포함된 첫 번째 스캔라인과 세 번째 스캔라인을 선택하는 경우의 스캔펄스와 데이터펄스를 보여 준다. t2 기간 동안 어드레스전극들(X)에는 데이터펄스(data)가 공급된다. 이 t2 기간을 제외한 스캔펄스(scan)의 앞부분 t 기간은 스캔펄스만(sus) 공급되고 이 t 기간은 도 8에서 알 수 있는 바 방전이 일어나지 않는다. t 기간에는 도 9와 같이 어드레스방전이 일어나지 않는다. 이렇게 t 기간에는 어드레스방전이 일어나지 않지만 도 10에서 알 수 있는 바 공간전하들의 발생을 수반하는 셀프 프라이밍 방전(self-priming discharge)이 발생한다. 이 셀프 프라이밍 방전은 어드레스방전의 1/100 보다 작다. 이 때문에 셀프 프라이밍 방전이 일어나더라도 그 크기가 작으므로 스캔펄스와 데이터펄스가 동기되는 t2 기간에 정상적으로 어드레스방전이 일어나지 않으면 오방전이 발생되지 않는다. 이러한 셀프 프라이밍 방전은 리세기간 후 서스테인전극들(Z) 상에 형성된 부극성 벽전하양에 의존한다. 즉, 셀프 프라이밍 방전은 주로 스캔전극들(Y)과 서스테인전극들(Z) 사이에서 일어나게 되는데 도 4와 같은 종래의 구동파형과 같이 서스테인전극들(Z) 상의 부극성 벽전하양이 작게 되면 스캔전극들(Y)과 서스테인전극들(Z) 사이의 전압차가 낮으므로 셀프 프라이밍 방전이 일어날 수 없다. 이에 비하여, 도 7과 같이 어드레스방전이 개시되기 전에 서스테인전극들(Z) 상에 부극성 벽전하들이 충분히 많아지게 되면 셀프 프라이밍 방전이 일어나게 된다. 이 셀프 프라이밍 방전에 의해 발생하는 공간전하들 즉, 프라이밍 하전입자들은 도 11과 같이 스캔방향을 따라 위셀(1)에서 아래셀(1)로 이동하게 된다. 이 프라이밍 하전입자들은 어드레스방전이 일어나기 전의 t1 기간 동안 셀(1) 내에 공급되므로 어드레스 지터가 거의 없이 어드레스방전이 빠르게 그리고 쉽고 안정하게 일어나게 한다. 또한 프라이밍 하전입자들은 프라이밍 하전입자들에 의해 셀 내에 미리 충전되는 전압만큼 어드레스방전을 일으키기 위한 스캔전압(-Vy) 및/또는 데이터전압(Vd)을 낮출 수 있게 한다. 이렇게 데이터전압(Vd)이 낮아지게 되면 어드레스방전이 일어나는 t2 기간이 충분히 길게 되어 즉, 중첩폭이 크게 되어 어드레스기간이 대폭 단축된다.

스캔펄스(scan)와 데이터펄스(data)의 전압차와 리셋기간에 생성된 벽전압이 더해지면서 데이터펄스(data)가 공급되는 셀(1) 내에는 어드레스 방전이 발생된다. 어드레스방전에 의해 선택된 셀들(1) 내에는 서스테인전압(Vs)이 공급될 때 방전이 일어날 수 있게 하는 정도의 벽전하가 형성된다. 이 어드레스기간 동안 서스테인전극(Z)에는 정극성 직류전압(Vzdc)이 공급된다.

종래의 구동파형에서 어드레스기간 동안 서스테인전극들(Z)에 공급되는 직류전압(Zdc)은 도 4 및 도 5에서 분명히 알 수 있는 바 일반적으로 서스테인전압(Vs)으로 설정되어 서스테인전극들(Z) 상에 안정적으로 부극성 벽전하를 쌓을 수 있게 하는 목적으로 이용된다. 이에 비하여, 본 발명에 따른 PDP의 구동방법에서 어드레스기간 동안 서스테인전극들(Z)에 공급되는 직류전압(Vzdc)은 b 구간에서 인가되는 상승 램프파형(Ruz)에 의해 일어나는 방전에 의해 서스테인전극들(Z) 상에 부극성 벽전하가 충분히 쌓이게 되므로 서스테인전압(Vs)으로 설정된 종래의 직류전압(Zdc)과 동일한 역할을 하면서도 전압이 더 낮아질 수 있다. 즉, 본 발명에 따른 PDP의 구동방법은 어드레스기간 동안 서스테인전극들(Z)에 공급되는 직류전압(Vzdc)의 전압을 서스테인전압(Vs)보다 낮은 전압으로 낮출 수 있다.

상승 램프파형들(Ruy, Ruz)이 스캔전극들(Y)과 서스테인전극들(Z)에 연속으로 공급되어 서스테인전극들(Z) 상에 부극성 벽전하들이 충분히 많이 잔류하는 PDP를 도 5와 같은 종래의 중첩 스캔방식으로 구동하게 되면 오방전이 일어나기 쉽다. 예컨대 도 5에서 k+2 번째 스캔라인(scan k+2)을 선택하기 위한 데이터전압이 발생될 때 k+1 번째 스캔라인(scan k+1)에서 오방전이 일어날 수 있다.

서스테인기간에는 스캔전극들(Y)과 서스테인전극들(Z)에 교번적으로 서스테인전압(Vs)의 서스테인펄스(sus)가 공급된다. 어드레스방전에 의해 선택된 온셀들은 셀 내의 벽전압과 서스테인펄스(sus)가 더해지면서 매 서스테인펄스(sus)가 공급될 때 마다 스캔전극(Y)과 서스테인전극(Z) 사이에 서스테인방전 즉, 표시방전이 발생된다.

서스테인방전에 이어지는 소거기간에는 0V나 기저전압(GND)부터 서스테인전압(Vs)까지 소정 기울기로 상승하는 소거 램프파형(ramp-ers)이 서스테인전극들(Z)에 동시에 공급되어 전환면의 셀들 내에 잔류하는 벽전하를 소거시키게 된다.

도 12는 본 발명의 실시예에 따른 PDP의 구동장치를 나타낸다.

도 12를 참조하면, 본 발명의 실시예에 따른 PDP의 구동장치는 PDP의 어드레스전극들(X1 내지 Xm)에 데이터를 공급하기 위한 데이터 구동부(122)와, 스캔전극들(Y1 내지 Yn)을 구동하기 위한 스캔 구동부(123)와, 공통전극인 서스테인전극들(Z)을 구동하기 위한 서스테인 구동부(124)와, 각 구동부들(122, 123, 124)을 제어하기 위한 타이밍 콘트롤러(121)와, 각 구동부(122, 123, 124)에 필요한 구동전압을 공급하기 위한 구동전압 발생부(125)를 구비한다.

데이터 구동부(122)에는 도시하지 않은 역감마보정회로, 오차확산회로 등에 의해 역감마보정 및 오차확산 된 후, 서브필드맵핑회로에 의해 각 서브필드에 맵핑된 데이터가 공급된다. 이 데이터 구동부(122)는 타이밍 콘트롤러(121)로부터의 타이밍제어신호(CTRX)에 응답하여 데이터를 샘플링하고 래치한 다음, 그 데이터를 어드레스전극들(X1 내지 Xm)에 공급하게 된다.

스캔 구동부(123)는 타이밍 콘트롤러(121)의 제어 하에 스캔전극들(Y1 내지 Yn)에 리셋기간의 a 구간 동안 제1 상승 램프파형(Ruy)을 공급하고 b 구간 동안 서스테인전압(Vs)을 일정하게 공급한 다음, c 구간 동안 제1 하강 램프파형(Rdy)을 공급한다. 그리고 스캔 구동부(73)는 어드레스기간 동안 타이밍 콘트롤러(71)의 제어 하에 스캔전극들(Y1 내지 Yn)에 도 6 및 도 8과 같이 t 시간만큼 중첩되는 스캔펄스를 순차적으로 공급한 후에 서스테인기간 동안 서스테인펄스(sus)를 공급한다.

서스테인 구동부(124)는 타이밍 콘트롤러(121)의 제어 하에 서스테인전극들(Z)에 리셋기간의 a 구간 동안 기저전압(GND)이나 0V를 일정하게 공급한 후에 b 구간 동안 제2 상승 램프파형(Ruz)을 공급한 다음, c 구간 동안 제2 하강 램프파형(Rdz)을 공급한다. 그리고 서스테인 구동부(74)는 타이밍 콘트롤러(71)의 제어 하에 스캔전극들(Y1 내지 Yn)에 어드레스기간 동안 서스테인전압(Vs) 보다 낮은 직류전압(Vzdc)을 일정하게 공급한 후에 서스테인기간 동안 스캔 구동부(73)와 교대로 동작하여 서스테인펄스(sus)를 서스테인전극들(Z)에 공급하게 된다.

타이밍 콘트롤러(121)는 수직/수평 동기신호와 클럭신호를 입력받고 각 구동부에 필요한 타이밍 제어신호(CTRX, CTRY, CTRZ)를 발생하고 그 타이밍 제어신호(CTRX, CTRY, CTRZ)를 해당 구동부(122, 123, 124)에 공급함으로써 각 구동부(122, 123, 124)를 제어한다. 데이터 제어신호(CTRX)에는 데이터를 샘플링하기 위한 샘플링클럭, 래치제어신호, 에너지 회수회로와 구동 스위치소자의 온/오프타임을 제어하기 위한 스위치제어신호가 포함된다. 스캔 제어신호(CTRY)에는 스캔구동부(123) 내의 에너지 회수회로와 구동 스위치소자의 온/오프타임을 제어하기 위한 스위치제어신호가 포함된다. 그리고 서스테인 제어신호(CTRZ)에는 서스테인구동부(124) 내의 에너지 회수회로와 구동 스위치소자의 온/오프타임을 제어하기 위한 스위치제어신호가 포함된다.

구동전압 발생부(125)는 상승 램프파형(Ruy, Ruz)의 전압(Vry, Vrz), 어드레스기간 동안 서스테인전극들(Z)에 인가되는 직류전압(Vzdc), 스캔 바이어스전압(Vscb), 스캔전압(-Vy), 서스테인전압(Vs), 데이터전압(Vd) 등을 발생한다. 이러한 구동전압들은 방전가스의 조성이나 방전셀 구조에 따라 변할 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 PDP의 구동방법 및 장치는 상승 램프파형을 스캔전극과 서스테인전극에 시간차를 두고 순차적으로 인가하고 하강 램프파형을 스캔전극과 서스테인전극에 동시에 인가하여 전 셀들을 초기화시키고 어드레스기간 동안 스캔펄스를 중첩하여 셀프 프라임링 방전과 어드레스방전이 연속으로 일어나게 한다. 따라서, 본 발명에 따른 PDP의 구동방법 및 장치는 방전지연을 줄여 싱글 스캔이 가능하게 할뿐 아니라 어드레스방전에 필요한 전압을 낮추고 스캔펄스를 중첩하여 발생하더라도 오방전을 예방할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

제1 및 제2 전극을 각각 포함한 다수의 전극쌍이 형성된 상판과, 상기 다수의 전극쌍과 교차하는 다수의 제3 전극이 형성된 하판 및 상기 제1 및 제2 전극과 상기 제3 전극의 교차부에 형성되는 방전셀들을 포함하는 플라즈마 디스플레이 패널의 구동방법에 있어서,

리셋기간의 제1 구간 동안 전압이 상승하는 제1 상승 램프파형을 상기 제1 전극에 공급하여 상기 상판과 상기 하판 상에 벽전하를 형성하는 단계와;

상기 리셋기간의 제2 구간 동안 전압이 상승하는 제2 상승 램프파형을 상기 제2 전극에 공급하여 상기 상판 상에 형성된 벽전하의 일부를 소거하는 단계와;

상기 리셋기간의 제3 구간 동안 전압이 하강하는 하강 램프파형을 상기 제1 전극 및 상기 제2 전극에 공급하여 상기 상판 상에 형성된 벽전하와 상기 하판 상에 형성된 벽전하의 일부를 소거하는 단계와;

어드레스 기간 동안 스캔필스들을 중첩하여 상기 제1 전극들에 공급함과 아울러 상기 제3 전극에 데이터전압을 공급하여 상기 스캔필스의 제1 구간에서 프라이밍 방전을 발생시키고 상기 스캔필스의 제2 구간에서 어드레스방전을 일으켜 상기 방전셀들을 선택하는 단계와;

서스테인 기간 동안 상기 제1 및 제2 전극들에 교대로 서스테인전압을 공급하여 표시를 행하는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 2.

삭제

청구항 3.

제 1 항에 있어서,

상기 스캔필스의 제1 구간은 상기 스캔필스의 제2 구간에 앞서는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 4.

제 1 항에 있어서,

상기 제1 전극에 공급되는 상기 스캔필스들은 상기 스캔필스의 제2 구간에서 중첩되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 5.

제 1 항에 있어서,

상기 스캔필스의 제2 구간 동안 상기 데이터전압이 상기 제3 전극에 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 6.

제1 및 제2 전극을 각각 포함한 다수의 전극쌍이 형성된 상판과, 상기 다수의 전극쌍과 교차하는 다수의 제3 전극이 형성된 하판 및 상기 제1 및 제2 전극과 상기 제3 전극의 교차부에 형성된 방전셀들을 포함하는 플라즈마 디스플레이 패널의 구동장치에 있어서,

리셋기간의 제1 구간 동안 전압이 상승하는 제1 상승 램프파형을 상기 제1 전극에 공급하여 상기 상판과 상기 하판 상에 벽전하를 형성하고, 상기 리셋기간의 제2 구간 동안 전압이 상승하는 제2 램프파형을 상기 제2 전극에 공급하여 상기 상판 상에 형성된 벽전하의 일부를 소거하며, 상기 리셋기간의 제3 구간 동안 전압이 하강하는 하강 램프파형을 상기 제1 전극과 상기 제2 전극에 공급하여 상기 상판 상에 형성된 벽전하의 일부를 소거하는 초기화 구동부와;

어드레스 기간 동안 스캔필스들을 중첩하여 상기 제1 전극들에 공급함과 아울러 상기 제3 전극에 데이터전압을 공급하여 상기 스캔필스의 제1 구간에서 프라이밍 방전을 발생시키고 상기 스캔필스의 제2 구간에서 어드레스방전을 일으켜 상기 방전셀들을 선택하는 스캔/어드레스 구동부와;

서스테인 기간 동안 상기 제1 및 제2 전극들에 교대로 서스테인전압을 공급하여 표시를 행하는 서스테인 구동부를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

청구항 7.

삭제

청구항 8.

제 6 항에 있어서,

상기 스캔펄스의 제1 구간은 상기 스캔펄스의 제2 구간에 앞서는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

청구항 9.

제 6 항에 있어서,

상기 제1 전극에 공급되는 상기 스캔펄스들은 상기 스캔펄스의 제2 구간에서 중첩되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

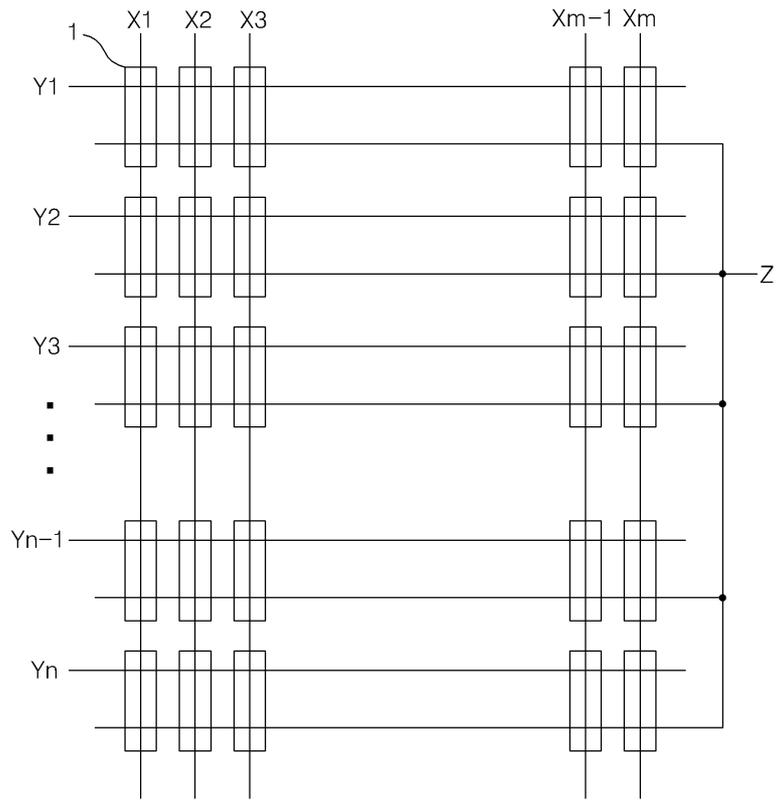
청구항 10.

제 6 항에 있어서,

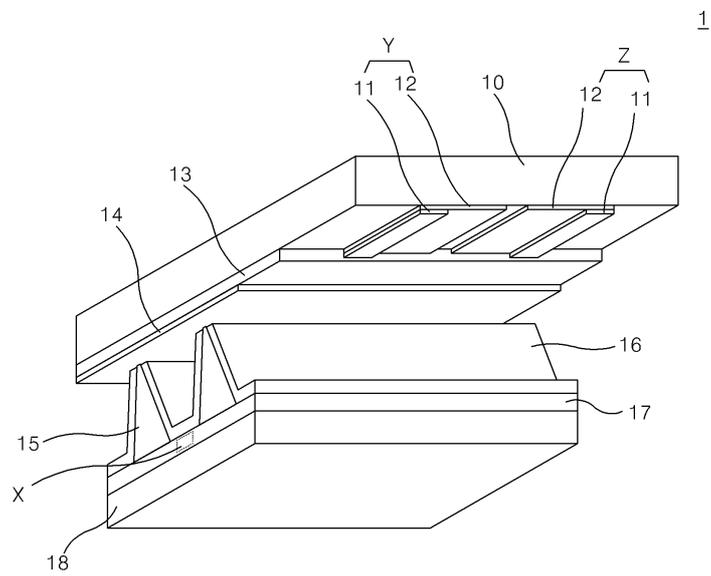
상기 스캔펄스의 제2 구간 동안 상기 데이터전압이 상기 제3 전극에 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

도면

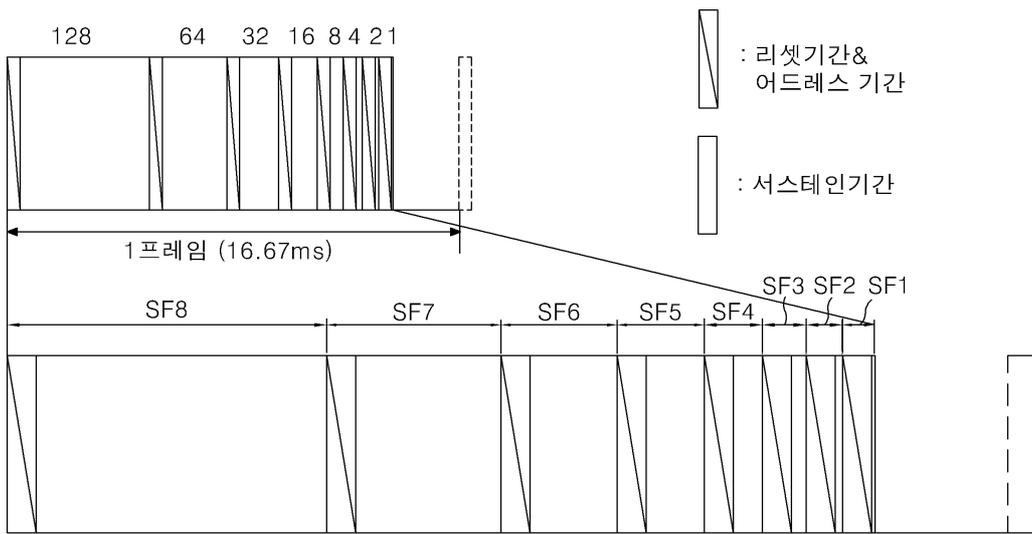
도면1



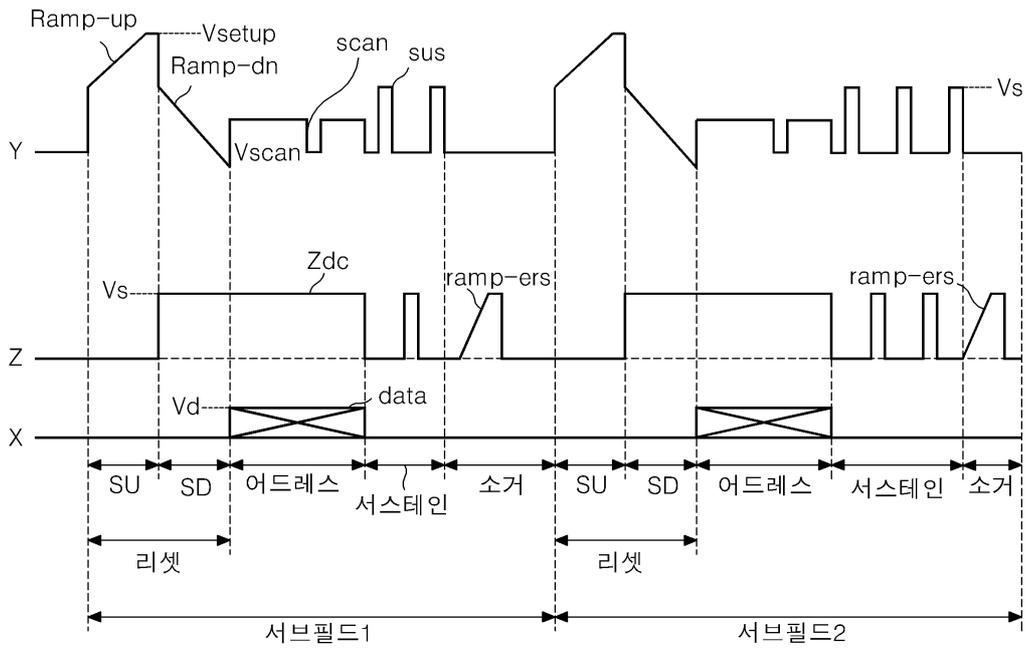
도면2



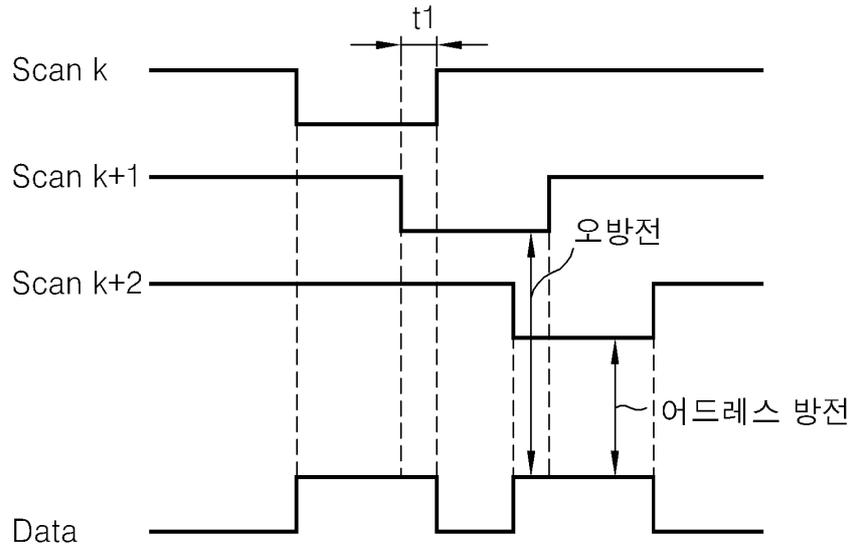
도면3



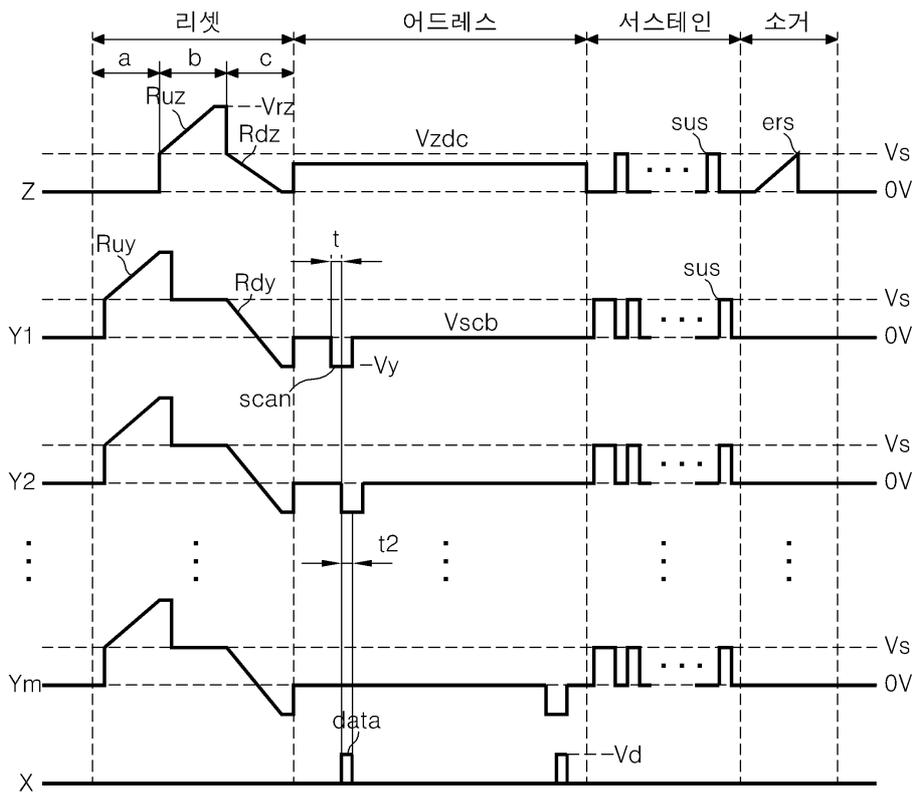
도면4



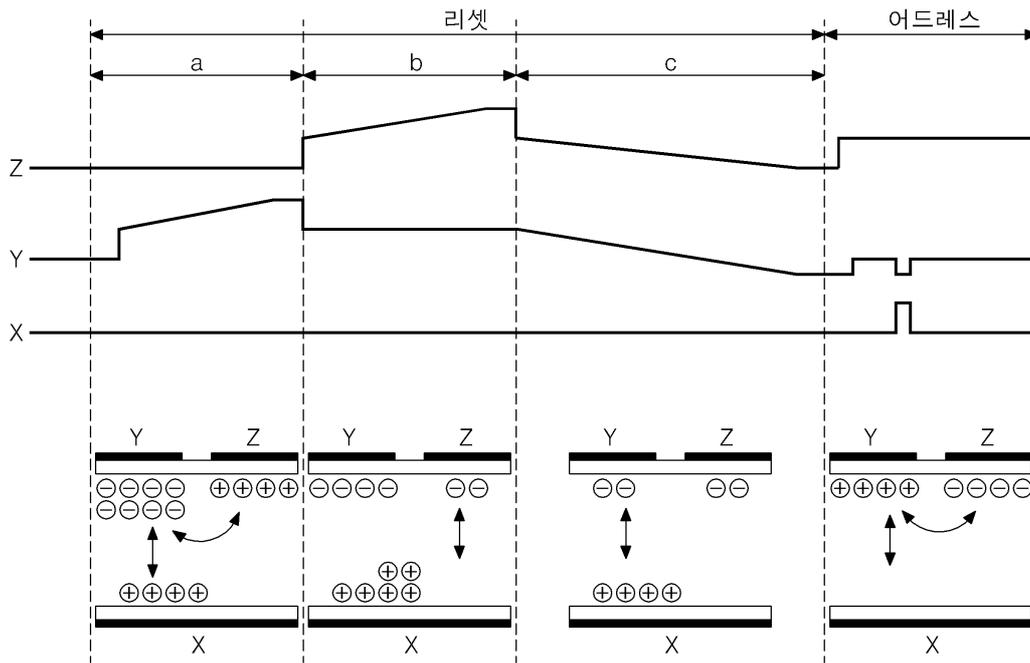
도면5



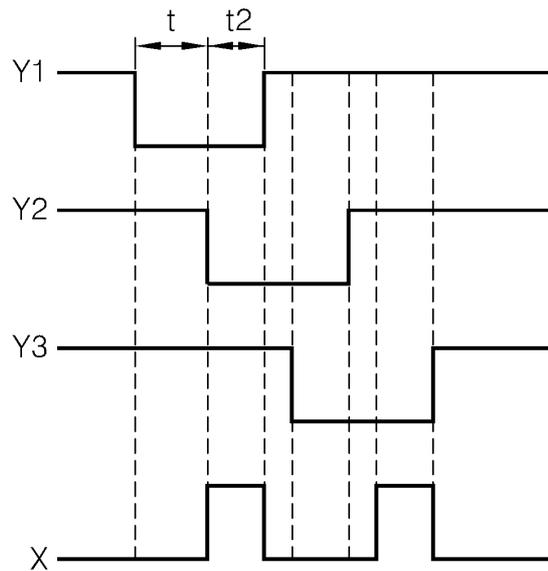
도면6



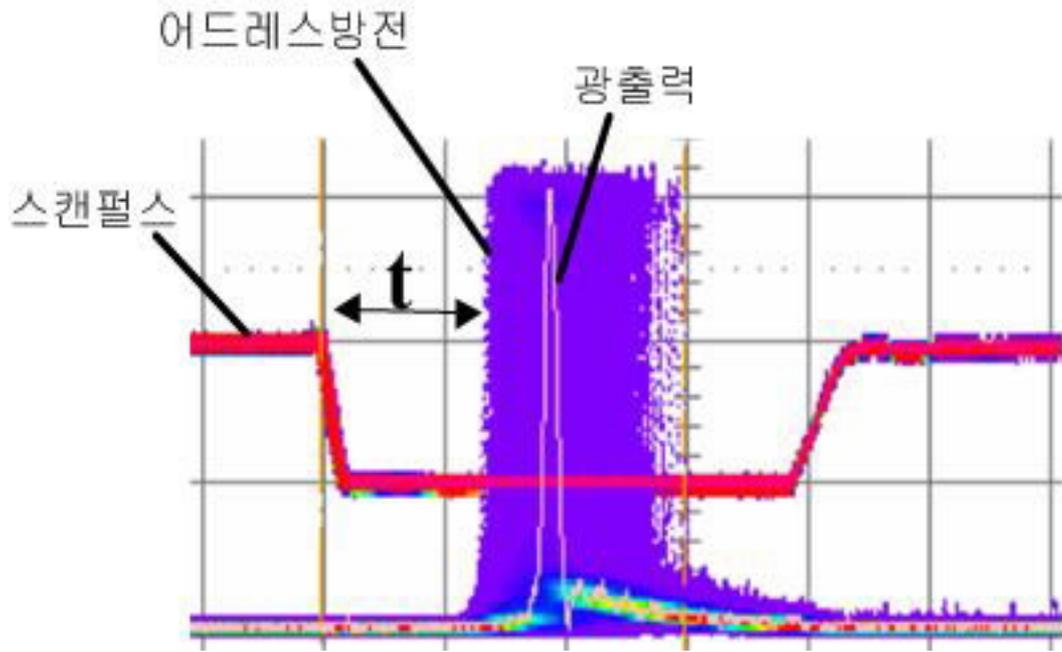
도면7



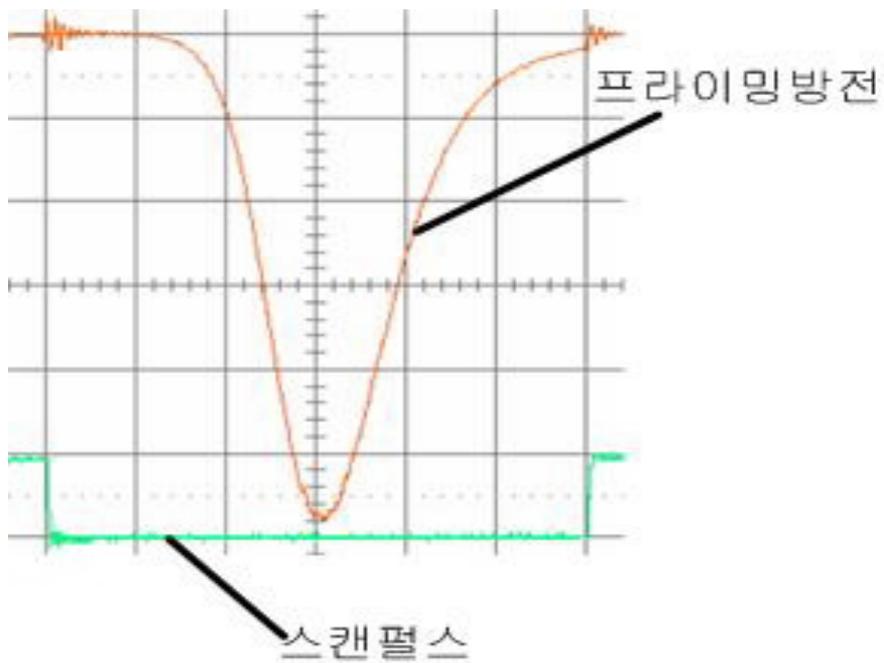
도면8



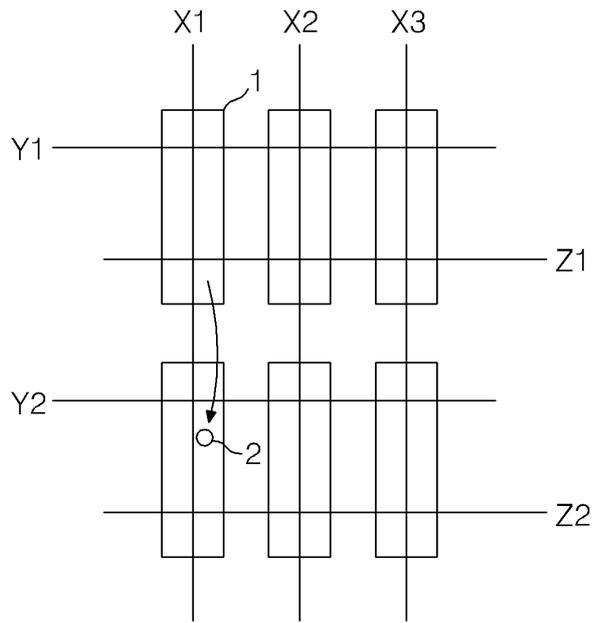
도면9



도면10



도면11



도면12

