

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-172333

(P2007-172333A)

(43) 公開日 平成19年7月5日(2007.7.5)

(51) Int. Cl.	F I	テーマコード (参考)
G06F 13/16 (2006.01)	G06F 13/16 510D	5B033
G06F 12/02 (2006.01)	G06F 12/02 550B	5B060
G06F 9/34 (2006.01)	G06F 9/36 330A	

審査請求 未請求 請求項の数 10 O L (全 15 頁)

(21) 出願番号	特願2005-369849 (P2005-369849)	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成17年12月22日 (2005.12.22)	(74) 代理人	110000176 一色国際特許業務法人
		(72) 発明者	本田 巖 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		(72) 発明者	大橋 秀紀 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		(72) 発明者	黒田 隆 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

最終頁に続く

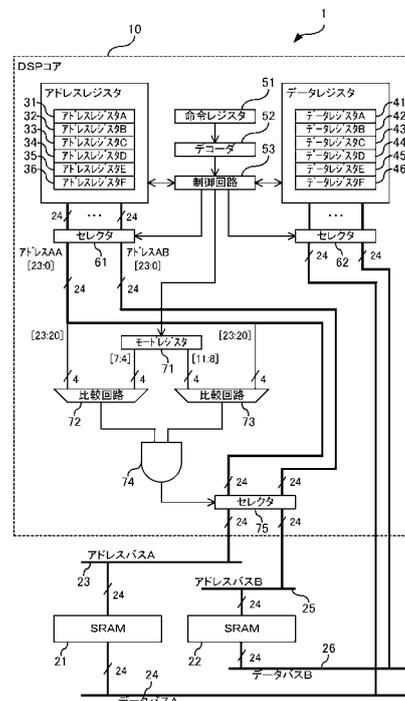
(54) 【発明の名称】 バスアドレス選択回路およびバスアドレス選択方法

(57) 【要約】

【課題】 命令コードのビット数を増やさずに、バスアドレス選択の自由度を向上させる。

【解決手段】 第1メモリに接続される第1アドレスバスと、第2メモリに接続される第2アドレスバスとに出力するアドレスを選択するバスアドレス選択回路であって、命令コード中の所定の複数ビットに基づいて、複数のアドレスレジスタのうちの第1及び第2アドレスレジスタに格納されている第1及び第2アドレスを出力するアドレス出力回路と、前記第1及び第2アドレスの少なくとも一方の所定の上位nビットに基づいて、前記第1アドレスを前記第1及び第2アドレスバスの一方に出力し、前記第2アドレスを前記第1及び第2アドレスバスの他方に出力するバス選択回路と、を備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 メモリに接続される第 1 アドレスバスと、第 2 メモリに接続される第 2 アドレスバスとに出力するアドレスを選択するバスアドレス選択回路であって、

命令コード中の所定の複数ビットで構成される選択ビットに基づいて、複数のアドレスレジスタのうちの第 1 及び第 2 アドレスレジスタに格納されているアドレスを第 1 及び第 2 アドレスとして出力するアドレス出力回路と、

前記第 1 及び第 2 アドレスの少なくとも一方の所定の上位 n ビットに基づいて、前記第 1 アドレスを前記第 1 及び第 2 アドレスバスの一方に出力し、前記第 2 アドレスを前記第 1 及び第 2 アドレスバスの他方に出力するバス選択回路と、

を備えることを特徴とするバスアドレス選択回路。

10

【請求項 2】

請求項 1 に記載のバスアドレス選択回路であって、

前記アドレス出力回路は、

前記選択ビットが第 1 の値である場合は、前記複数のアドレスレジスタのうちの前記第 1 及び第 2 アドレスレジスタに格納されているアドレスを前記第 1 及び第 2 アドレスとして出力し、前記選択ビットが第 2 の値である場合は、前記複数のアドレスレジスタのうちの第 3 アドレスレジスタ及び前記第 2 アドレスレジスタに格納されているアドレスを前記第 1 及び第 2 アドレスとして出力することを特徴とするバスアドレス選択回路。

20

【請求項 3】

請求項 1 又は 2 に記載のバスアドレス選択回路であって、

前記アドレス出力回路は、

前記選択ビットに基づいて、前記第 1 及び第 2 アドレスを選択するための選択信号を出力する選択信号出力回路と、

前記複数のアドレスレジスタに格納されているアドレスの中から、前記選択信号に基づいて、前記第 1 及び第 2 アドレスを選択して出力する第 1 選択回路と、

を含んで構成されることを特徴とするバスアドレス選択回路。

【請求項 4】

請求項 1 ~ 3 の何れか一項に記載のバスアドレス選択回路であって、

前記バス選択回路は、

アドレス空間におけるアドレスが前記第 1 メモリより大きい前記第 2 メモリの先頭アドレスの上位 n ビットを記憶する開始アドレス記憶回路を備え、

前記開始アドレス記憶回路に記憶されている前記先頭アドレスの上位 n ビットと、前記第 1 及び第 2 アドレスの少なくとも一方の上位 n ビットとに基づいて、前記第 1 及び第 2 アドレスのうちの前記先頭アドレスより小さい方を前記第 1 アドレスバスに出力し、前記第 1 及び第 2 アドレスのうちの他方を前記第 2 アドレスバスに出力することを特徴とするバスアドレス選択回路。

30

【請求項 5】

請求項 4 に記載のバスアドレス選択回路であって、

前記開始アドレス記憶回路に記憶されている前記先頭アドレスの上位 n ビットは書き換え可能であることを特徴とするバスアドレス選択回路。

40

【請求項 6】

請求項 4 又は 5 に記載のバスアドレス選択回路であって、

前記バス選択回路は、

前記開始アドレス記憶回路と、

前記開始アドレス記憶回路に記憶されている前記先頭アドレスの上位 n ビットと、前記第 1 アドレスの上位 n ビットとの比較結果を出力する比較回路と、

前記比較回路から出力される比較結果に基づいて、前記第 1 及び第 2 アドレスのうちの前記先頭アドレスより小さい方を前記第 1 アドレスバスに出力し、前記第 1 及び第 2 アドレスのうちの他方を前記第 2 アドレスバスに出力する第 2 選択回路と、

50

を備えることを特徴とするバスアドレス選択回路。

【請求項 7】

請求項 1 ~ 3 の何れか一項に記載のバスアドレス選択回路であって、

前記バス選択回路は、

アドレス空間における前記第 1 及び第 2 メモリの夫々の先頭アドレスである第 1 及び第 2 先頭アドレスの上位 n ビットを記憶する開始アドレス記憶回路を備え、

前記開始アドレス記憶回路に記憶されている前記第 1 及び第 2 先頭アドレスの上位 n ビットと、前記第 1 アドレスの上位 n ビットとに基づいて、前記第 1 及び第 2 アドレスのうちの前記第 1 先頭アドレス以上かつ前記第 2 アドレス未満のアドレスを前記第 1 アドレスバスに出力し、前記第 1 及び第 2 アドレスのうち他方を前記第 2 アドレスバスに出力することを特徴とするバスアドレス選択回路。 10

【請求項 8】

請求項 7 に記載のバスアドレス選択回路であって、

前記開始アドレス記憶回路に記憶されている前記第 1 及び第 2 先頭アドレスの上位 n ビットは書き換え可能であることを特徴とするバスアドレス選択回路。

【請求項 9】

請求項 7 又は 8 に記載のバスアドレス選択回路であって、

前記バス選択回路は、

前記開始アドレス記憶回路と、

前記開始アドレス記憶回路に記憶されている前記第 1 先頭アドレスの上位 n ビットと、前記第 1 アドレスの上位 n ビットとの比較結果を出力する第 1 比較回路と、 20

前記開始アドレス記憶回路に記憶されている前記第 2 先頭アドレスの上位 n ビットと、前記第 1 アドレスの上位 n ビットとの比較結果を出力する第 2 比較回路と、

前記第 1 及び第 2 比較回路から出力される比較結果に基づいて、前記第 1 及び第 2 アドレスのうちの前記第 1 先頭アドレス以上かつ前記第 2 アドレス未満のアドレスを前記第 1 アドレスバスに出力し、前記第 1 及び第 2 アドレスのうち他方を前記第 2 アドレスバスに出力する第 2 選択回路と、

を含んで構成されることを特徴とするバスアドレス選択回路。

【請求項 10】

第 1 メモリに接続される第 1 アドレスバスと、第 2 メモリに接続される第 2 アドレスバスとに出力するアドレスを選択する方法であって、 30

命令コード中の所定の複数ビットで構成される選択ビットに基づいて、複数のアドレスレジスタのうち第 1 及び第 2 アドレスレジスタに格納されている第 1 及び第 2 アドレスを出力し、

前記第 1 及び第 2 アドレスの少なくとも一方の所定の上位 n ビットに基づいて、前記第 1 アドレスを前記第 1 及び第 2 アドレスバスの一方に出力し、前記第 2 アドレスを前記第 1 及び第 2 アドレスバスの他方に出力することを特徴とするバスアドレス選択方法。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、バスアドレス選択回路およびバスアドレス選択方法に関する。

【背景技術】

【0002】

DSP (Digital Signal Processor) 等の処理回路では、データ処理を高速に行うために、複数のメモリを内蔵する場合がある (例えば、非特許文献 1)。図 7 は、2つのメモリ (SRAM: Static Random Access Memory) を有する DSP の一般的な構成例を示す図である。DSP 100 は、データ処理を実行する DSP コア 110 と、様々なデータが格納される SRAM 121, 122 とを含んで構成されている。そして、SRAM 121 はアドレスバス A 131 と接続され、SRAM 122 はアドレスバス B 141 と接続され 50

ている。

【0003】

DSPコア110は、命令レジスタ151、デコーダ152、制御回路153、複数のアドレスレジスタ154、及びセクタ155を含んで構成されている。命令レジスタ151には、不図示のROM(Read Only Memory)等から読み出された命令コードが格納されている。図8は、命令コードの一般的な例を示す図である。命令コード200には、命令の種類を示す命令ビット210及びアドレスレジスタ154に含まれる2つのアドレスレジスタを選択するためのアドレスレジスタ選択ビット211が含まれている。

【0004】

デコーダ152は、命令コード200を解析し、命令の種類および選択するアドレスレジスタ等の情報を制御回路153に通知する。制御回路153は、デコーダ152から通知された情報に基づいて、アドレスレジスタを選択するための情報をセクタ155に送信する。そして、セクタ155は、制御回路153からの情報に基づいて、アドレスレジスタ154の中から2つのアドレスレジスタを選択し、一方のアドレスレジスタに格納されているアドレスをアドレスバスA131に出力し、他方のアドレスレジスタに格納されているアドレスをアドレスバスB141に出力する。その後、SRAM121, 122の当該指定されたアドレスに対して、読み書き処理が実行される。

10

【0005】

図9は、アドレスレジスタ選択ビット211とアドレスレジスタの組み合わせとの関係の一例を示す図である。本例では、アドレスレジスタ選択ビット211を3ビットであることとしているが、3ビットの場合、8種類の組み合わせを表すことができる。そして、一般的には、アドレスレジスタAとアドレスレジスタE、アドレスレジスタBとアドレスレジスタFというように、あるアドレスレジスタとともに用いられるアドレスレジスタは1つに固定されていることが多い。また、プログラムにおけるアドレスレジスタの記述の順序に基づいて、アドレスバス131, 141に出力されるアドレスが選択されることが多い。

20

【0006】

例えば、"r0h=[aa++], r0l=[ae++];"と記述されたプログラムの場合について具体的に説明する。このプログラムは、アドレスレジスタAに格納されているアドレスaaで示されるデータをデータレジスタr0h(不図示)に読み出し、アドレスレジスタEに格納されているアドレスaeで示されるデータをデータレジスタr0l(不図示)に読み出すことを示している。このとき、例えば左側に記述されたアドレスaaがアドレスバスA131に出力され、右側に記述されたアドレスaeがアドレスバスB141に出力される。つまり、このプログラムを実行するための命令コード200におけるアドレスレジスタ選択ビット211は、"000"となる。

30

【0007】

また、例えば、"r0h=[ae++], r0l=[aa++];"と記述されたプログラムの場合であれば、アドレスレジスタ選択ビット211は"100"となり、左側に記述されたアドレスaeがアドレスバスA131に出力され、右側に記述されたアドレスaaがアドレスバスB141に出力される。

40

【非特許文献1】“三洋半導体ニュース(No. N7458)”, [online]、三洋電機株式会社、[平成17年10月4日検索]、インターネット<URL: http://service.semicon.co.jp/semi/ds_j/N7458.pdf>

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところで、図9に示す例では、あるアドレスレジスタ(例えばアドレスレジスタA)と対で用いることができるアドレスレジスタ(例えばアドレスレジスタE)が1つに限定されている。ここで、図10に示す処理を実行する場合を考える。処理(1)では、SRAM121に格納されているデータA1およびSRAM122に格納されているデータB1

50

が用いられる。そして、処理(2)では、SRAM121に格納されているデータA2および前述のデータB1が用いられる。

【0009】

このような処理(1)及び(2)を並列に実行する手順は、例えば次のようになる。まず、アドレスレジスタAにデータA1のアドレスが格納され、アドレスレジスタBにデータB1のアドレスが格納される。その後、データA1、B1が読み出され、処理(1)が実行される。そして、処理(1)を実行する手順と並行して、アドレスレジスタBにデータA2のアドレスが格納され、アドレスレジスタFにデータB1のアドレスが格納される。その後、データA2、B1が読み出され、処理(2)が実行される。

【0010】

図10に示した処理の場合、処理(1)及び(2)で用いられるデータB1は同じものであるにもかかわらず、アドレスレジスタFにデータB1のアドレスを格納する必要がある。つまり、その分だけサイクル数が増加してしまうこととなる。そこで、図9に例示したアドレスレジスタの組み合わせを増やすことにより、処理(2)においてもアドレスレジスタEを使用可能とすることも考えられるが、組み合わせが増えることにより、アドレスレジスタ選択ビット211のビット数が増加し、命令コード200のビット数が増加してしまうこととなる。

10

【0011】

また、前述したように、プログラムの記述の順序によって、アドレスバスA131及びアドレスバスB141に出力されるアドレスが選択されるため、プログラムを記述する際の自由度が低い状態となっている。なお、プログラムにおいて、アドレスバス131、141の何れに出力するかを指定することも考えられるが、その指定を示すためのコードが必要となり、命令コード200のビット数が増加してしまうこととなる。

20

【0012】

本発明は上記課題を鑑みてなされたものであり、命令コードのビット数を増やさずに、バスアドレス選択の自由度を向上させることを目的とする。

【課題を解決するための手段】

【0013】

上記目的を達成するため、本発明のバスアドレス選択回路は、第1メモリに接続される第1アドレスバスと、第2メモリに接続される第2アドレスバスとに出力するアドレスを選択するバスアドレス選択回路であって、命令コード中の所定の複数ビットで構成される選択ビットに基づいて、複数のアドレスレジスタのうち第1及び第2アドレスレジスタに格納されている第1及び第2アドレスを出力するアドレス出力回路と、前記第1及び第2アドレスの少なくとも一方の所定の上位nビットに基づいて、前記第1アドレスを前記第1及び第2アドレスバスの一方に出力し、前記第2アドレスを前記第1及び第2アドレスバスの他方に出力するバス選択回路と、を備えることとする。

30

【0014】

また、前記アドレス出力回路は、前記選択ビットが第1の値である場合は、前記複数のアドレスレジスタのうち前記第1及び第2アドレスレジスタに格納されているアドレスを前記第1及び第2アドレスとして出力し、前記選択ビットが第2の値である場合は、前記複数のアドレスレジスタのうち第3アドレスレジスタ及び前記第2アドレスレジスタに格納されているアドレスを前記第1及び第2アドレスとして出力することとしてもよい。

40

【0015】

また、前記アドレス出力回路は、前記選択ビットに基づいて、前記第1及び第2レジスタを選択するための選択信号を出力する選択信号出力回路と、前記複数のアドレスレジスタに格納されているアドレスの中から、前記選択信号に基づいて、前記第1及び第2レジスタに格納されている前記第1及び第2アドレスを選択して出力する第1選択回路と、を含んで構成されることとすることができる。

【0016】

50

また、前記バス選択回路は、アドレス空間におけるアドレスが前記第1メモリより大きい前記第2メモリの先頭アドレスの上位nビットを記憶する開始アドレス記憶回路を備え、前記開始アドレス記憶回路に記憶されている前記先頭アドレスの上位nビットと、前記第1及び第2アドレスの少なくとも一方の上位nビットとに基づいて、前記第1及び第2アドレスのうちの前記先頭アドレスより小さい方を前記第1アドレスバスに出力し、前記第1及び第2アドレスのうちの方を前記第2アドレスバスに出力することとしてもよい。

【0017】

そして、前記開始アドレス記憶回路に記憶されている前記先頭アドレスの上位nビットは書き換え可能であることとしてもよい。

10

【0018】

さらに、前記バス選択回路は、前記開始アドレス記憶回路と、前記開始アドレス記憶回路に記憶されている前記先頭アドレスの上位nビットと、前記第1アドレスの上位nビットとの比較結果を出力する比較回路と、前記比較回路から出力される比較結果に基づいて、前記第1及び第2アドレスのうちの前記先頭アドレスより小さい方を前記第1アドレスバスに出力し、前記第1及び第2アドレスのうちの方を前記第2アドレスバスに出力する第2選択回路と、を備えることとすることができる。

【0019】

また、前記バス選択回路は、アドレス空間における前記第1及び第2メモリの夫々の先頭アドレスである第1及び第2先頭アドレスの上位nビットを記憶する開始アドレス記憶回路を備え、前記開始アドレス記憶回路に記憶されている前記第1及び第2先頭アドレスの上位nビットと、前記第1アドレスの上位nビットとに基づいて、前記第1及び第2アドレスのうちの前記第1先頭アドレス以上かつ前記第2アドレス未満のアドレスを前記第1アドレスバスに出力し、前記第1及び第2アドレスのうちの方を前記第2アドレスバスに出力することとしてもよい。

20

【0020】

そして、前記開始アドレス記憶回路に記憶されている前記第1及び第2先頭アドレスの上位nビットは書き換え可能であることとしてもよい。

【0021】

さらに、前記バス選択回路は、前記開始アドレス記憶回路と、前記開始アドレス記憶回路に記憶されている前記第1先頭アドレスの上位nビットと、前記第1アドレスの上位nビットとの比較結果を出力する第1比較回路と、前記開始アドレス記憶回路に記憶されている前記第2先頭アドレスの上位nビットと、前記第1アドレスの上位nビットとの比較結果を出力する第2比較回路と、前記第1及び第2比較回路から出力される比較結果に基づいて、前記第1及び第2アドレスのうちの前記第1先頭アドレス以上かつ前記第2アドレス未満のアドレスを前記第1アドレスバスに出力し、前記第1及び第2アドレスのうちの方を前記第2アドレスバスに出力する第2選択回路と、を含んで構成されることとすることができる。

30

【0022】

また、本発明のバスアドレス選択方法は、第1メモリに接続される第1アドレスバスと、第2メモリに接続される第2アドレスバスとに出力するアドレスを選択する方法であって、命令コード中の所定の複数ビットで構成される選択ビットに基づいて、複数のアドレスレジスタのうちの前記第1及び第2アドレスレジスタに格納されている第1及び第2アドレスを出力し、

40

前記第1及び第2アドレスの少なくとも一方の所定の上位nビットに基づいて、前記第1アドレスを前記第1及び第2アドレスバスの一方に出力し、前記第2アドレスを前記第1及び第2アドレスバスの他方に出力することとする。

【発明の効果】**【0023】**

命令コードのビット数を増やさずに、バスアドレス選択の自由度を向上させることがで

50

きる。

【発明を実施するための最良の形態】

【0024】

== 回路構成 ==

図1は、本発明の一実施形態であるバスアドレス選択回路を含んで構成されるDSPの回路構成例を示す図である。DSP (Digital Signal Processor) 1は、デジタル音声信号の復号処理等、様々なデジタル信号に対するデータ処理を行うプロセッサである。DSP 1は、DSPコア10及び例えば2つのSRAM (Static Random Access Memory) 21, 22 (第1及び第2メモリ)を含んで構成される。なお、本実施形態においては、DSP 1に含まれるメモリをSRAM 21, 22としたが、メモリの種類はSRAMに限られず、DRAM (Dynamic Random Access Memory) やフラッシュメモリ等、データの読み書きが可能なものであればよい。

10

【0025】

DSPコア10は、不図示のROM (Read Only Memory) 等に格納されたプログラム (命令コード) を順次読み出すことにより、様々なデータ処理を実行する回路である。SRAM 21, 22には、DSPコア10により読み書きされる様々なデータが格納される。SRAM 21は、例えば24ビットのアドレスバスA23 (第1アドレスバス) と接続されており、アドレスバスA23を介して指定されたアドレスに対して、例えば24ビットのデータバスA24を介してデータの読み書きが行われる。また、SRAM 22は、例えば24ビットのアドレスバスB25 (第2アドレスバス) と接続されており、アドレスバスB25を介して指定されたアドレスに対して、例えば24ビットのデータバスB26を介してデータの読み書きが行われる。なお、SRAM 21, 22は、例えば、DSP 1の外部に設けられた大容量のSDRAM (Synchronous DRAM) との間で、必要に応じてデータの入れ替えが可能な構成とすることも可能である。

20

【0026】

DSPコア10の内部構成について詳細に説明する。DSPコア10は、例えば6つのアドレスレジスタ31~36、例えば6つのデータレジスタ41~46、命令レジスタ51、デコーダ52、制御回路53、アドレスレジスタ選択用のセクタ61、データレジスタ選択用のレジスタ62、モードレジスタ71 (開始アドレス記憶回路)、比較回路72, 73、AND回路74、アドレスバス選択用のセクタ75を含んで構成されている。

30

【0027】

アドレスレジスタ31~36には、SRAM 21, 22等にアクセスするための例えば24ビットのアドレスが格納される。そして、データレジスタ41~46には、SRAM 21, 22等から読み出されたデータ、または、SRAM 21, 22等へ書き込むためのデータが格納される。命令レジスタ51には、不図示のROM等から読み出された命令コードが格納される。図2は、命令コードの構成例を示す図である。命令コード80は、命令ビット81、アドレスレジスタ選択ビット82 (選択ビット)、レジスタA選択ビット83、レジスタB選択ビット84、Read/Write選択ビット85, 86等を含んで構成されている。

40

【0028】

命令ビット81には、命令の種類を示すコードが格納されている。アドレスレジスタ選択ビット82は、アドレスレジスタ31~36の中から、アドレスバス23, 24に出力する2つのアドレスレジスタ (第1及び第2アドレスレジスタ) を選択するための情報であり、例えば3ビットで構成されている。レジスタA選択ビット83は、データレジスタ41~46のうち、SRAM 21から読み出されるデータ、または、SRAM 21へ書き込むためのデータが格納されるデータレジスタを選択するための情報である。また、レジスタB選択ビット84は、データレジスタ41~46のうち、SRAM 22から読み出されるデータ、または、SRAM 22へ書き込むためのデータが格納されるデータレジスタを選択するための情報である。Read/Write選択ビット (R/W (A) ビット)

50

85は、SRAM21からデータを読み出すか、SRAM21にデータを書き込むかを指定するための情報である。また、Read/Write選択ビット(R/W(B)ビット)86は、SRAM22からデータを読み出すか、SRAM22にデータを書き込むかを指定するための情報である。

【0029】

この他にも、例えば、アドレスレジスタ31～36に格納されているアドレスにオフセットレジスタ(不図示)に格納されているアドレスを加えたアドレスをアドレスバス23, 24に出力する等、アドレッシングモードを選択するための情報が命令コード80に含まれている場合もある。

【0030】

デコーダ52は、命令レジスタ51に格納されている命令コード80を復号し、その結果を制御回路53に送信する。制御回路53は、デコーダ52から送信される復号結果に基づいて、アドレスレジスタ31～36及びデータレジスタ41～46の選択信号の出力や各種命令の実行等を行う。

【0031】

図3は、アドレスレジスタ選択ビット82とアドレスレジスタの組み合わせとの関係の一例を示す図である。図に示すように、例えば、アドレスレジスタ選択ビット82の内容が"000"である場合、アドレスレジスタA31及びアドレスレジスタE35が選択される。つまり、この場合、アドレスレジスタA31及びアドレスレジスタE35を選択するための選択信号が、制御回路53(選択信号出力回路)からセクタ61(第1選択回路)に対して出力される。

【0032】

また、例えば、アドレスレジスタ選択ビット82が"001"の場合は、アドレスレジスタB32及びアドレスレジスタE35を選択するための選択信号が出力され、アドレスレジスタ選択ビット82が"010"の場合は、アドレスレジスタC33及びアドレスレジスタE35を選択するための選択信号が出力され、アドレスレジスタ選択ビット82が"011"の場合は、アドレスレジスタD34及びアドレスレジスタE35を選択するための選択信号が出力される。

【0033】

そして、例えば、アドレスレジスタ選択ビット82が"100"の場合は、アドレスレジスタA31及びアドレスレジスタF36を選択するための選択信号が出力され、アドレスレジスタ選択ビット82が"101"の場合は、アドレスレジスタB32及びアドレスレジスタF36を選択するための選択信号が出力され、アドレスレジスタ選択ビット82が"110"の場合は、アドレスレジスタC33及びアドレスレジスタF36を選択するための選択信号が出力され、アドレスレジスタ選択ビット82が"111"の場合は、アドレスレジスタD34及びアドレスレジスタF36を選択するための選択信号が出力される。

【0034】

なお、本実施形態においては、アドレスレジスタ選択ビット82は、プログラムにおける記述に従って設定されることとする。例えば、アドレスレジスタn(n=A～F)31～36に格納されているアドレスを"an"、データレジスタn(n=A～F)41～46に格納されるデータを"rn"と表すこととし、プログラムにおいて"ra=[aa++], rb=[ae++];"と記述した場合は、アドレスレジスタの組み合わせはアドレスレジスタA31及びアドレスレジスタE35となり、アドレスレジスタ選択ビット82には"000"が設定されることとなる。同様に、例えば、プログラムにおいて"ra=[ab++], rb=[ae++];"と記述した場合は、アドレスレジスタの組み合わせはアドレスレジスタB32及びアドレスレジスタE35となり、アドレスレジスタ選択ビット82には"001"が設定されることとなる。

【0035】

セクタ61には、アドレスレジスタ31～36の夫々から出力されている24ビット

10

20

30

40

50

のアドレスが入力されている。そして、セクタ61は、制御回路53から入力される選択信号に基づいて、アドレスレジスタ31～36のうちの2つのアドレスレジスタから出力されるアドレスAA（第1アドレス）及びアドレスAB（第2アドレス）を出力する。

【0036】

セクタ62は、SRAM21, 22からのデータ読み出しの場合は、データバスA24及びデータバスB26上のデータを、制御回路53から入力される選択信号に基づいて、データレジスタ41～46のうちの2つのデータレジスタに出力する。また、セクタ62は、SRAM21, 22へのデータ書き込みの場合は、制御回路53から入力される選択信号に基づいて、データレジスタ41～46のうちの2つのデータレジスタから出力されるデータをデータバスA24及びデータバスB26に出力する。

10

【0037】

モードレジスタ71には、アドレス空間における各領域の先頭アドレスが格納されている。図4は、アドレス空間の一例を示す図である。また、図5は、モードレジスタ71に格納されている情報の一例を示す図である。図4に示す例えば24ビットのアドレス空間は、プログラム領域、Aバス領域（SRAM21のデータ領域）、Bバス領域（SRAM22のデータ領域）、及びI/O領域により構成されており、各領域の先頭アドレスは例えば1Mバイト単位で区切られている。各領域の先頭アドレスが1Mバイト単位で区切られている場合、アドレスの上位4ビット（所定の上位nビット）により、どの領域のアドレスであるかを判定することができる。

【0038】

そこで、本実施形態においては、図5に示すように、各領域の先頭アドレスの上位4ビットがモードレジスタ71に設定されている。具体的には、0ビット目から3ビット目にプログラム領域の先頭アドレスの上位4ビットが設定され、4ビット目から7ビット目にAバス領域の先頭アドレスの上位4ビットが設定され、8ビット目から11ビット目にBバス領域の先頭アドレスの上位4ビットが設定され、12ビット目から15ビット目にI/O領域の先頭アドレスの上位4ビットが設定されている。なお、モードレジスタ71の内容は、アドレス空間の変更に伴い、書き換えることが可能である。

20

【0039】

比較回路72は、アドレスAAがAバス領域の先頭アドレス以上であるかどうかを示す比較結果を出力する。具体的には、比較回路72は、セクタ61から出力されるアドレスAA[23:0]の上位4ビット[23:20]と、モードレジスタの4ビット目から7ビット目[7:4]に格納されているAバス領域の先頭アドレスの上位4ビットとを比較し、アドレスAAの上位4ビットがAバス領域の上位4ビット以上であれば例えば"1"を出力し、アドレスAAの上位4ビットがAバス領域の上位4ビット未満であれば例えば"0"を出力する。

30

【0040】

比較回路73は、アドレスAAがBバス領域の先頭アドレス未満であるかどうかを示す比較結果を出力する。具体的には、比較回路73は、セクタ61から出力されるアドレスAB[23:0]の上位4ビット[23:20]と、モードレジスタの8ビット目から11ビット目[11:8]に格納されているBバス領域の先頭アドレスの上位4ビットとを比較し、アドレスABの上位4ビットがBバス領域の上位4ビット未満であれば例えば"1"を出力し、アドレスABの上位4ビットがBバス領域の上位4ビット以上であれば例えば"0"を出力する。

40

【0041】

AND回路74は、比較回路72, 73から出力される比較結果の論理積を出力する。つまり、アドレスAAがAバス領域の先頭アドレス以上の場合に比較回路72から"1"が出力され、アドレスAAがBバス領域の先頭アドレス未満の場合に比較回路73から"1"が出力されることとすると、アドレスAAがAバス領域の範囲内にある場合に、AND回路74から"1"が出力されることとなる。

【0042】

50

セレクタ75は、AND回路74の出力に基づいて、アドレスAA及びアドレスABの何れか一方をアドレスバスA23に出力し、他方をアドレスバスB25に出力する。具体的には、アドレスAAがAバス領域の範囲内にある場合にAND回路74から"1"が出力されることとすると、AND回路74の出力が"1"である場合はアドレスAAをアドレスバスA23に、アドレスABをアドレスバスB25に出力し、AND回路74の出力が"0"である場合はアドレスAAをアドレスバスB25に、アドレスABをアドレスバスA23に出力する。

【0043】

なお、制御回路53、セレクタ61、モードレジスタ71、比較回路72,73、AND回路74、及びセレクタ75が本発明のバスアドレス選択回路の一例に相当するものである。そして、制御回路53及びセレクタ61が本発明のアドレス出力回路の一例に相当し、モードレジスタ71、比較回路72,73、AND回路74、及びセレクタ75が本発明のバス選択回路の一例に相当する。

10

【0044】

= = 動作説明 = =

次に、DSP1において、アドレスバスA23及びアドレスバスB25に出力するアドレスを選択する動作について説明する。まず、SRAM21,22からデータを読み出すプログラムである"ra=[ab++], rb=[ae++];"を実行する場合を例として説明する。この場合、プログラムにおけるアドレスレジスタの記述の順序がアドレスレジスタA31、アドレスレジスタE35となっているため、命令コード80中のアドレスレジスタ選択ビット82には"000"が設定される。また、命令コード80中のレジスタA選択ビット83には、データレジスタAを選択するための情報が設定され、レジスタB選択ビット84には、データレジスタBを選択するための情報が設定される。そして、R/W(A)ビット85及びR/W(B)ビット86には、データの読み出しであることを示す情報が設定される。

20

【0045】

デコーダ52は、このような情報が設定された命令コード80を復号し、復号した情報を制御回路53に送信する。制御回路53は、デコーダ52からの情報に基づき、アドレスレジスタA31及びアドレスレジスタE35を選択するための選択信号をセレクタ61に送信する。セレクタ61は、制御回路53からの選択信号に基づき、アドレスレジスタA31に格納されているアドレスをアドレスAAとして出力し、アドレスレジスタE35に格納されているアドレスをアドレスABとして出力する。

30

【0046】

比較回路72は、アドレスAAの上位4ビットと、モードレジスタに設定されているAバス領域の先頭アドレスの上位4ビットとの比較結果を出力する。また、比較回路73は、アドレスAAの上位4ビットと、モードレジスタに設定されているBバス領域の先頭アドレスの上位4ビットとの比較結果を出力する。そして、AND回路74は、比較回路72,73の出力の論理積を出力する。なお、本実施形態においては、アドレスレジスタA31に格納されているアドレスがAバス領域の範囲内にある場合にはAND回路74から"1"が出力され、Aバス領域の範囲外にある場合にはAND回路74から"0"が出力される。

40

【0047】

そして、セレクタ75は、AND回路74からの出力信号に基づいて、アドレスレジスタA31に格納されているアドレスがAバス領域の範囲内にある場合には、アドレスAAをアドレスバスA23に出力し、アドレスABをアドレスバスB25に出力する。逆に、アドレスレジスタA31に格納されているアドレスがAバス領域の範囲外にある場合には、アドレスAAをアドレスバスB25に出力し、アドレスABをアドレスバスA23に出力する。その後、SRAM21,22の指定されたアドレスに格納されているデータが、データバスA24及びデータバスB26から出力される。そして、セレクタ62は、制御回路53からの情報に基づいて、データバスA24上のデータをデータレジスタA41に

50

出力し、データバス B 2 6 上のデータをデータレジスタ B 4 2 に出力する。

【 0 0 4 8 】

また、DSP 1 においては、SRAM 2 1 , 2 2 にデータを書き込む場合もついても同様の処理が行われる。データ書き込みの場合も、セクタ 6 1 から出力されるアドレス A A 及びアドレス A B に基づいて、アドレスバス A 2 3 及びアドレスバス B 2 5 に出力されるアドレスが選択される。そして、命令コード 8 0 のレジスタ選択 A ビット 8 3 により指定されるデータレジスタに格納されているデータが、セクタ 6 2 を介してデータバス A 2 4 に出力され、当該データが SRAM 2 1 に書き込まれる。また、命令コード 8 0 のレジスタ選択 B ビット 8 4 により指定されるデータレジスタに格納されているデータが、セクタ 6 2 を介してデータバス B 2 6 に出力され、当該データが SRAM 2 2 に書き込まれる。

10

【 0 0 4 9 】

このように、DSP 1 においては、プログラムにおけるアドレスレジスタの記述順序に関係なく、アドレスレジスタに設定されているアドレスがハードウェアにより判定され、その判定結果に基づいて、アドレスバス A 2 3 及びアドレスバス B 2 5 に出力するアドレスが選択される。つまり、命令コード 8 0 のビット数を増やすことなく、アドレスバス A 2 3 及びアドレスバス B 2 5 に出力されるアドレス選択の自由度を向上することができる。

【 0 0 5 0 】

次に、DSP 1 において並列処理を行う場合について説明する。図 6 は、並列処理の一例を示す図である。この例では、処理 (1) において、SRAM 2 1 に格納されているデータ A 1 と SRAM 2 2 に格納されているデータ B 1 とが用いられる。そして、処理 (2) において、SRAM 2 1 に格納されているデータ A 2 と SRAM 2 2 に格納されているデータ B 1 とが用いられる。

20

【 0 0 5 1 】

処理 (1) を実行するためには、データ A 1 , B 1 を読み出す必要があるが、そのプログラムは、例えば "ra=[aa++], rb=[ae];" と記述される。また、処理 (2) を実行するためには、データ A 2 , B 1 を読み出す必要があるが、そのプログラムは、例えば "rc=[ab++], rd=[ae++];" のように記述される。なお、これらのプログラムが実行される前に、アドレスレジスタ A 3 1 (第 1 アドレスレジスタ) にはデータ A 1 の格納先アドレスが設定され、アドレスレジスタ B 3 2 (第 3 アドレスレジスタ) にはデータ A 2 の格納先アドレスが設定され、アドレスレジスタ E 3 5 (第 2 アドレスレジスタ) にはデータ B 1 の格納先アドレスが設定されていることとする。

30

【 0 0 5 2 】

プログラムがこのように記述されている場合、データ A 1 , B 1 を読み出すための命令コード 8 0 におけるアドレスレジスタ選択ビット 8 2 には、" 0 0 0 " (第 1 の値) が設定され、データ A 2 , B 1 を読み出すための命令コード 8 0 におけるアドレスレジスタ選択ビット 8 2 には " 0 0 1 " (第 2 の値) が設定されている。そして、処理 (1) の実行に際しては、制御回路 5 3 及びセクタ 6 1 により、アドレスレジスタ A 3 1 に格納されているアドレスがアドレス A A として出力され、アドレスレジスタ E 3 5 に格納されているアドレスがアドレス A B として出力される。そして、SRAM 2 1 からデータ A 1 がデータレジスタ A 4 1 に読み出され、SRAM 2 2 からデータ B 1 がデータレジスタ B 4 2 に読み出される。また、処理 (2) の実行に際しては、制御回路 5 3 及びセクタ 6 1 により、アドレスレジスタ B 3 2 に格納されているアドレスがアドレス A A として出力され、アドレスレジスタ E 3 5 に格納されているアドレスがアドレス A B として出力される。そして、SRAM 2 1 からデータ A 2 がデータレジスタ C 4 3 に読み出され、SRAM 2 2 からデータ B 1 がデータレジスタ D 4 4 に読み出される。

40

【 0 0 5 3 】

この例では、データ B 1 を読み出すためのアドレスレジスタとして、処理 (1) 及び (2) の何れにおいてもアドレスレジスタ E 3 5 が用いられている。つまり、処理 (1) 及

50

び(2)において、データB1を読み出すために別々のアドレスレジスタを用いる必要がなく、異なるアドレスレジスタに同一のアドレスを設定することによるサイクル数の増加を防ぐことができる。

【0054】

以上、本実施形態のDSP1について説明した。前述したように、DSP1では、プログラムにおけるアドレスレジスタの記述の順序に関係なく、アドレスレジスタに格納されているアドレスを回路で判定することにより、アドレスバスA23及びアドレスバスB25に出力されるアドレスが選択される。つまり、命令コード80のビット数を増やすことなく、バスアドレス選択の自由度を向上することができる。

【0055】

また、DSP1では、アドレスレジスタE35又はアドレスレジスタF36と対で用いることができるアドレスレジスタが1つに固定されていない。したがって、例えば、並列に実行される処理で同一のアドレスを参照する場合に、サイクル数の増加を防ぐことができる。つまり、命令コード80のビット数を増やすことなく、アドレスバスA23及びアドレスバスB25に出力されるアドレス選択の自由度を向上することができる。

【0056】

また、DSP1では、モードレジスタ71に格納されている情報を書き換えることで、アドレス空間の変更に柔軟に対応することができる。

【0057】

なお、DSP1では、アドレスAAの上位4ビットを、Aバス領域の先頭アドレスの上位4ビット及びBバス領域の先頭アドレスの上位4ビットと比較することにより、アドレスAAがAバス領域内にあるかどうかを確認しているが、Bバス領域の先頭アドレスの上位4ビットのみと比較することとしてもよい。つまり、アドレスAAの上位4ビットがBバス領域の先頭アドレスの上位4ビット未満であれば、アドレスAAをアドレスバスA23に出力し、アドレスABをアドレスバスB25に出力することとしてもよい。このようにBバス領域の先頭アドレスの上位4ビットのみと比較することとすれば、比較回路72及びAND回路74が不要となり、回路規模を小さくすることができる。

【0058】

ただし、本実施形態に示したように、比較回路72、73及びAND回路74を用いることにより、Aバス領域の範囲内であるかどうかを確実にチェックすることができる。

【0059】

また、本実施形態においては、アドレスABは値がチェックされずに、アドレスAAとは反対のアドレスバスに出力される。このような構成とすることにより、アドレスABの値をチェックするための回路が不要となり、回路規模を小さくすることができる。なお、アドレスの値を厳密にチェックする必要がある場合は、アドレスABについても、モードレジスタ71に格納された情報と比較することとしてもよい。

【0060】

なお、上記実施形態は本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更、改良され得ると共に、本発明にはその等価物も含まれる。

【0061】

例えば、本実施形態においては、DSPにおいてアドレスバスを選択することとしたが、DSPに限らず、メモリを複数備える処理回路であれば適用可能である。また、本実施形態においては、メモリ及びアドレスバスが2つの構成としたが、メモリ及びアドレスバスが3つ以上の構成に拡張することも可能である。

【図面の簡単な説明】

【0062】

【図1】本発明の一実施形態であるバスアドレス選択回路を含んで構成されるDSPの回路構成例を示す図である。

【図2】命令コードの構成例を示す図である。

10

20

30

40

50

【図3】アドレスレジスタ選択ビットとアドレスレジスタの組み合わせとの関係の一例を示す図である。

【図4】アドレス空間の一例を示す図である。

【図5】モードレジスタに格納されている情報の一例を示す図である。

【図6】並列処理の一例を示す図である。

【図7】2つのメモリを有するDSPの一般的な構成例を示す図である。

【図8】命令コードの一般的な例を示す図である。

【図9】アドレスレジスタ選択ビットとアドレスレジスタの組み合わせとの関係の一例を示す図である。

【図10】並列処理の一例を示す図である。

10

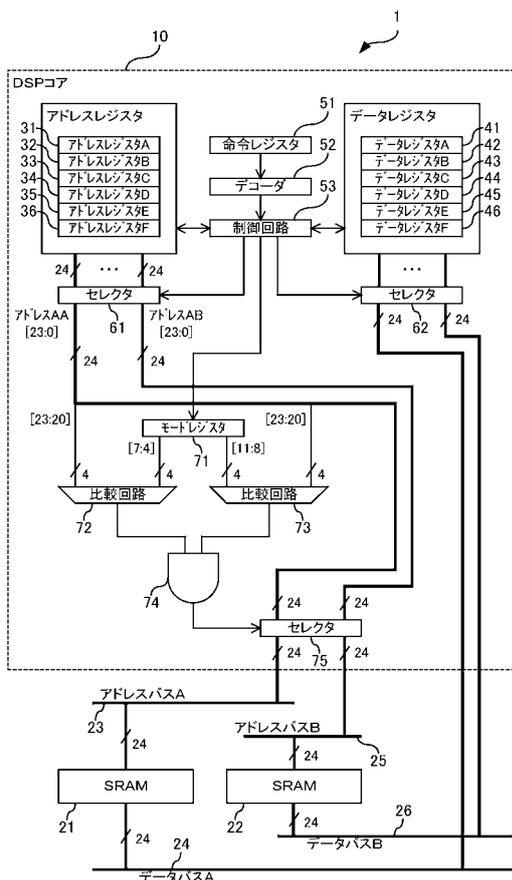
【符号の説明】

【0063】

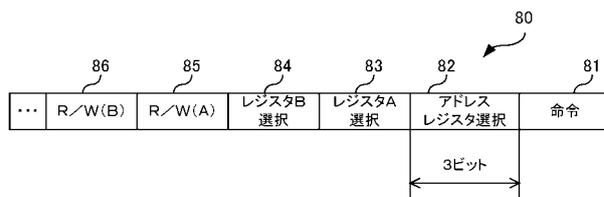
- | | |
|------------------------|------------------|
| 1 DSP | 10 DSPコア |
| 21, 22 SRAM | 23 アドレスバスA |
| 24 データバスA | 25 アドレスバスB |
| 26 データバスB | 31 ~ 36 アドレスレジスタ |
| 41 ~ 46 データレジスタ | 51 命令レジスタ |
| 52 デコーダ | 53 制御回路 |
| 61, 62 セレクタ | 71 モードレジスタ |
| 72, 73 比較回路 | 74 AND回路 |
| 75 セレクタ | 80 命令コード |
| 81 命令ビット | 82 アドレスレジスタ選択ビット |
| 83 レジスタA選択ビット | 84 レジスタB選択ビット |
| 85, 86 Read/Write選択ビット | |

20

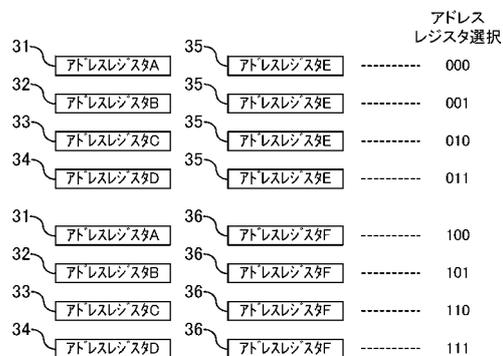
【図1】



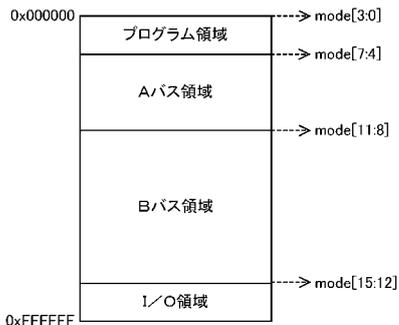
【図2】



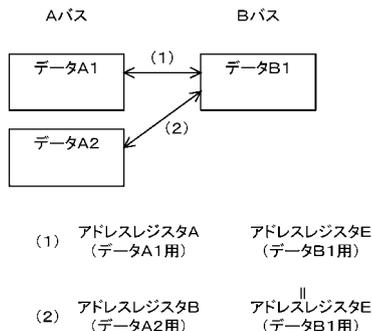
【図3】



【 図 4 】



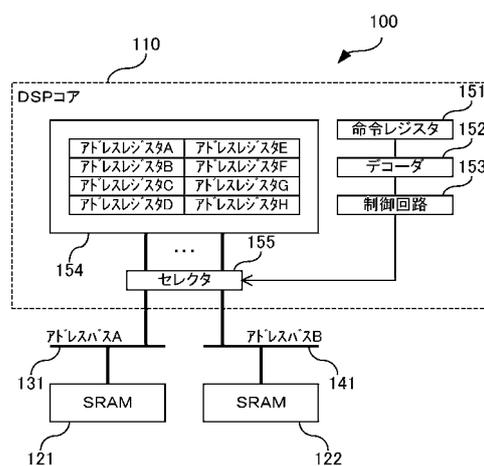
【 図 6 】



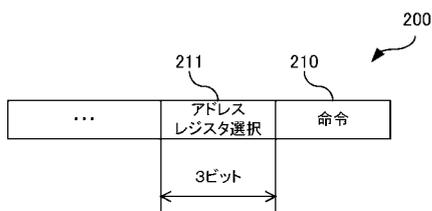
【 図 5 】



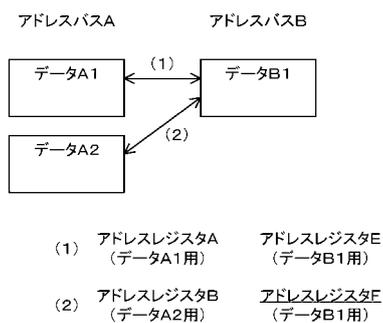
【 図 7 】



【 図 8 】



【 図 10 】



【 図 9 】

アドレスレジスタ選択		アドレス
アドレスレジスタA	アドレスレジスタE	000
アドレスレジスタB	アドレスレジスタF	001
アドレスレジスタC	アドレスレジスタG	010
アドレスレジスタD	アドレスレジスタH	011
アドレスレジスタE	アドレスレジスタA	100
アドレスレジスタF	アドレスレジスタB	101
アドレスレジスタG	アドレスレジスタC	110
アドレスレジスタH	アドレスレジスタD	111

↓ ↓

アドレスバスA アドレスバスB

フロントページの続き

(72)発明者 富田 典幸

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

Fターム(参考) 5B033 DA06 DA08 DB02

5B060 AB05 MB02