

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-5665

(P2006-5665A)

(43) 公開日 平成18年1月5日(2006.1.5)

(51) Int. Cl. F I テーマコード (参考)
 H04L 7/02 (2006.01) H04L 7/02 Z 5K047

審査請求 未請求 請求項の数 11 O L (全 20 頁)

(21) 出願番号	特願2004-180041 (P2004-180041)	(71) 出願人	000005223 富士通株式会社
(22) 出願日	平成16年6月17日 (2004.6.17)	(74) 代理人	100074099 弁理士 大菅 義之
		(74) 代理人	100067987 弁理士 久木元 彰
		(72) 発明者	山田 順 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		Fターム(参考)	5K047 AA12 AA16 GG09 GG29 MM27 MM28 MM36 MM55 MM60 MM63

(54) 【発明の名称】 クロック調整装置および方法

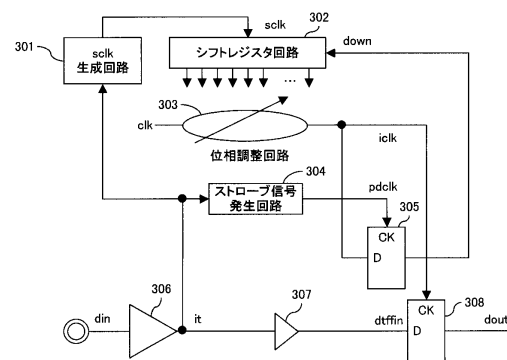
(57) 【要約】

【課題】 送信装置から受信装置にクロック信号を送ることなく、受信装置におけるクロック信号とデータ信号のずれを改善する。

【解決手段】 位相調整回路303は、クロック信号clkを遅延させて位相を調整し、調整されたクロック信号iclkを出力する。フリップフロップ305は、データ信号itから生成されたクロック信号pdclkとクロック信号iclkの位相関係を検出し、制御信号downを出力する。シフトレジスタ回路302は、データ信号itから生成されたタイミング信号scclkに従って、遅延を増減する制御信号を生成し、位相調整回路303に出力する。フリップフロップ308は、クロック信号iclkに従ってデータ信号dtffinをラッチする。

【選択図】 図3

データ受信回路の構成図



【特許請求の範囲】**【請求項 1】**

入力されるクロック信号を遅延させて該クロック信号の位相を調整し、調整されたクロック信号を出力する位相調整手段と、

入力されるデータ信号と前記調整されたクロック信号の位相関係を検出し、該位相関係を示す第 1 の制御信号を出力する位相検出手段と、

前記第 1 の制御信号に従って、前記位相調整手段の遅延量を増加させるか減少させるかを決定し、入力されるタイミング信号に従って、該遅延量を増減する第 2 の制御信号を生成して前記位相調整手段に出力する制御手段とを備えることを特徴とするクロック調整装置。

10

【請求項 2】

前記データ信号のエッジを用いて前記タイミング信号を生成する生成手段をさらに備えることを特徴とする請求項 1 記載のクロック調整装置。

【請求項 3】

前記生成手段は、前記データ信号を分周して前記タイミング信号を生成することを特徴とする請求項 2 記載のクロック調整装置。

【請求項 4】

前記生成手段は、前記データ信号のエッジをカウントして、規定回数のエッジを検出したとき前記タイミング信号のエッジを生成することを特徴とする請求項 2 記載のクロック調整装置。

20

【請求項 5】

前記位相調整手段は、直列に接続された複数のインバータ手段を含み、前記入力されるクロック信号が該複数のインバータ手段を通過するとき、前記第 2 の制御信号の値に応じていずれかのインバータ手段から出力されるクロック信号を選択し、前記調整されたクロック信号として出力することを特徴とする請求項 1 または 2 記載のクロック調整装置。

【請求項 6】

前記位相調整手段は、直列に接続された複数のインバータ手段と各インバータ手段の入力にスイッチ手段を介して接続されたキャパシタ手段を含み、前記入力されるクロック信号が該複数のインバータ手段を通過するとき、前記第 2 の制御信号の値に応じて各スイッチ手段を制御し、最後のインバータ手段から出力されるクロック信号を前記調整されたクロック信号として出力することを特徴とする請求項 1 または 2 記載のクロック調整装置。

30

【請求項 7】

前記位相検出手段は、前記データ信号のエッジを利用したクロック信号に従って前記調整されたクロック信号の値をラッチし、ラッチされた値を前記第 1 の制御信号として出力するフリップフロップ手段を含むことを特徴とする請求項 1 または 2 記載のクロック調整装置。

【請求項 8】

前記制御手段は、前記調整されたクロック信号の有効エッジとは異なる方のエッジが前記データ信号のエッジに近づくように、前記位相調整手段の遅延量を増減することを特徴とする請求項 1 または 2 記載のクロック調整装置。

40

【請求項 9】

前記制御手段は、前記第 2 の制御信号が複数ビットからなるとき、各ビットの値を保持し、保持された値を前記タイミング信号に従って隣接する 2 つのビットのいずれかの方向にシフトさせるシフトレジスタ手段を含み、前記第 1 の制御信号に従って該シフトレジスタ手段のシフト方向を決定することを特徴とする請求項 1 または 2 記載のクロック調整装置。

【請求項 10】

前記制御手段は、前記第 2 の制御信号が複数ビットからなるとき、各ビットの値を保持するフリップフロップ手段と、前記第 1 の制御信号に従って、該フリップフロップ手段の出力から生成された複数ビットの信号のうちの 1 つを選択し、該フリップフロップ手段に

50

出力するセクタ手段とを含み、該フリップフロップ手段は、前記タイミング信号に従って該セクタ手段の出力をラッチし、前記第2の制御信号として出力することを特徴とする請求項1または2記載のクロック調整装置。

【請求項11】

入力されるクロック信号を位相調整手段により遅延させて該クロック信号の位相を調整し、

入力されるデータ信号と調整されたクロック信号の位相関係を検出し、

前記位相関係を示す第1の制御信号に従って、前記位相調整手段の遅延量を増加させるか減少させるかを決定し、

入力されるタイミング信号に従って、前記遅延量を増減する第2の制御信号を生成して前記位相調整手段に出力することを特徴とするクロック調整方法。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、コンピュータの内部バス等における高速デジタル伝送用途の信号送受信回路に係り、受信装置のクロックを調整する装置および方法に関する。

【背景技術】

【0002】

コンピュータのプロセッサLSI (Large Scale Integration) とチップセットLSI 20の間の信号送受信に見られるように、送信装置と受信装置の間でクロック信号を同期させる従来の伝送方式としては、主として以下の2つの方式がある。

(a) 同期方式

図24に示すように、送信装置102と受信装置103のそれぞれに対して、クロックドライバ (CLKドライバ) 101からストロブ信号としてのクロック信号を分配し、装置間でデータ信号を伝送する。

(b) ソース同期 (Source Synchronous) 方式

図25に示すように、送信装置104から受信装置105に対してデータ信号と同時にクロック信号を送信し、受信装置105がそのクロック信号を用いてデータを受信する。

【0003】

また、クロック信号を遅延させる位相周波数比較回路および信号処理回路も知られている (例えば、特許文献1および2参照)。

【特許文献1】特開2002-135093号公報

【特許文献2】特開平05-258476号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上述した従来の伝送方式には、次のような問題がある。

(a) の同期方式では、クロック信号とデータ信号が製造ばらつきや温度/電圧変動により相対的にずれやすく、高速伝送の用途には不向きである。 40

【0005】

(b) のソース同期方式では、製造ばらつきや温度/電圧変動に対する耐性は改善されるが、超高速伝送の用途ではクロック信号とデータ信号のずれが問題となる。また、複数ビットのデータ信号の場合は、設計時におけるビット間配線長差等のばらつきも影響するため、ビット間の等遅延設計が必要となる。

【0006】

本発明の課題は、送信装置から受信装置にクロック信号を送ることなく、受信装置におけるクロック信号とデータ信号のずれを改善するクロック調整装置およびその方法を提供することである。

【課題を解決するための手段】

【 0 0 0 7 】

図 1 は、本発明のクロック調整装置の原理図である。図 1 のクロック調整装置は、位相調整手段 1 1 1、位相検出手段 1 1 2、および制御手段 1 1 3 を備える。

位相調整手段 1 1 1 は、入力されるクロック信号を遅延させてクロック信号の位相を調整し、調整されたクロック信号を出力する。位相検出手段 1 1 2 は、入力されるデータ信号と調整されたクロック信号の位相関係を検出し、その位相関係を示す第 1 の制御信号を出力する。制御手段 1 1 3 は、第 1 の制御信号に従って、位相調整手段 1 1 1 の遅延量を増加させるか減少させるかを決定し、入力されるタイミング信号に従って、遅延量を増減する第 2 の制御信号を生成して位相調整手段 1 1 1 に出力する。

【 0 0 0 8 】

クロック信号がクロック調整装置に入力されると、可変遅延量を有する位相調整手段 1 1 1 は、第 2 の制御信号により指示された遅延量をクロック信号に適用して、遅延したクロック信号を出力する。位相検出手段 1 1 2 は、送信装置から送信されたデータ信号と位相調整手段 1 1 1 から出力されたクロック信号の位相関係を検出し、第 1 の制御信号を出力する。制御手段 1 1 3 は、第 1 の制御信号の値に応じて遅延量の増減を決定し、その増減を指示する第 2 の制御信号をタイミング信号に同期して生成して、位相調整手段 1 1 1 に出力する。

【 0 0 0 9 】

位相調整手段 1 1 1 は、例えば、後述する図 3 の位相調整回路 3 0 3 に対応し、位相検出手段 1 1 2 は、例えば、図 3 のストロブ信号発生回路 3 0 4 およびフリップフロップ 3 0 5 に対応し、制御手段 1 1 3 は、例えば、図 3 のシフトレジスタ回路 3 0 2 に対応する。第 1 の制御信号は、例えば、図 3 の d o w n に対応し、第 2 の制御信号は、例えば、後述する図 1 4 の S 0 ~ S 3 1 および図 1 6 の S S 0 ~ S S 4 に対応する。

【 発明の効果 】

【 0 0 1 0 】

本発明によれば、送信装置から受信装置にクロック信号を送ることなく、受信装置側で発生したクロック信号をデータ信号に同期させることができる。これにより、製造ばらつきによるタイミングのずれだけでなく、動作中の温度 / 電圧変動によるタイミングのずれも補正することが可能になる。

【 0 0 1 1 】

また、ビット毎にクロック調整装置を設ければ、ビット間配線長差等のばらつきによるタイミングのずれを補正することも可能になる。

【 発明を実施するための最良の形態 】

【 0 0 1 2 】

以下、図面を参照しながら、本発明を実施するための最良の形態を詳細に説明する。

本実施形態においては、図 2 に示すように、送信装置 2 0 1 から受信装置 2 0 2 にクロック信号を送ることなく、データ信号のエッジの位相情報を利用して、受信装置 2 0 2 内で発生したクロック信号を自動的にデータ信号に同期させ、データ伝送を行う。長時間動作におけるクロック信号とデータ信号のずれを防止するため、送信装置と受信装置のクロック源は同一にしてもよい。このようなデータ同期 (Data Synchronous) 伝送方式によれば、送信装置 2 0 1 としては従来の回路をそのまま使用することができる。

【 0 0 1 3 】

図 3 は、図 2 の受信装置 2 0 2 内に設けられるデータ受信回路の構成図である。図 3 のデータ受信回路は、s c l k 生成回路 3 0 1、シフトレジスタ回路 3 0 2、位相調整回路 3 0 3、ストロブ信号発生回路 3 0 4、フリップフロップ 3 0 5、3 0 8、入力回路 3 0 6、および遅延回路 3 0 7 を備える。

【 0 0 1 4 】

入力回路 3 0 6 は、送信装置 2 0 1 から送信されたデータ信号 d i n を受け取り、データ信号 i t として遅延回路 3 0 7 に出力する。遅延回路 3 0 7 により一定時間の遅延を受けたデータ信号 d t f f i n は、フリップフロップ 3 0 8 の端子 D に入力される。

10

20

30

40

50

【0015】

s c l k 生成回路 3 0 1 は、データ信号 i t からタイミング信号 s c l k を生成し、シフトレジスタ回路 3 0 2 に出力する。シフトレジスタ回路 3 0 2 は、フリップフロップ 3 0 5 から出力される制御信号 d o w n に応じて、位相調整回路 3 0 3 のための制御信号を生成する。位相調整回路 3 0 3 は、シフトレジスタ回路 3 0 2 からの制御信号に従ってクロック信号 c l k の位相を調整し、クロック信号 i c l k を生成する。生成されたクロック信号 i c l k は、フリップフロップ 3 0 5 の端子 D とフリップフロップ 3 0 8 の端子 C K に入力される。例えば、位相調整回路 3 0 3 の調整刻みは、1 0 0 p s に設定される。

【0016】

ストローブ信号発生回路 3 0 4 は、データ信号 i t の立ち上がり / 立ち下がり (アップ / ダウン) エッジからクロック信号 p d c l k を生成する。生成されたクロック信号 p d c l k は、フリップフロップ 3 0 5 の端子 C K に入力される。

【0017】

フリップフロップ 3 0 5 は、クロック信号 i c l k とデータ信号 i t の位相関係を検出する位相検出器として動作し、クロック信号 p d c l k に従ってクロック信号 i c l k をラッチして、制御信号 d o w n を生成する。フリップフロップ 3 0 8 は、クロック信号 i c l k に従ってデータ信号 d t f f i n をラッチし、データ信号 d o u t として内部回路に出力する。

【0018】

図 4 は、クロック信号 i c l k を前進させる場合のタイミングチャートである。信号 d o w n が論理 “ 1 ” のとき、シフトレジスタ回路 3 0 2 および位相調整回路 3 0 3 によりクロック信号 i c l k を前進させる。これにより、クロック信号 i c l k の有効エッジとは異なる方のエッジであるダウンエッジが、データ信号 i t のエッジに近づく方向に調整される。

【0019】

図 5 は、クロック信号 i c l k を後退させる場合のタイミングチャートである。信号 d o w n が論理 “ 0 ” のとき、シフトレジスタ回路 3 0 2 および位相調整回路 3 0 3 によりクロック信号 i c l k を後退させる。これにより、クロック信号 i c l k のダウンエッジがデータ信号 i t のエッジに近づく方向に調整される。

【0020】

図 4 および 5 のような位相調整の結果、図 6 に示すように、フリップフロップ 3 0 8 の端子 C K に入力されるクロック信号 i c l k のダウンエッジが、端子 D に入力されるデータ信号 d t f f i n のエッジと一致するように調整される。クロック信号 i c l k の有効エッジであるアップエッジがデータ信号 d t f f i n の 2 つのエッジの中間を打ち抜く位置に調整されるため、最も良いタイミングでフリップフロップ 3 0 8 にデータを取り込むことができる。

【0021】

タイミングの微調整は、設計時に遅延回路 3 0 7 の遅延を調整することにより行われる。遅延回路 3 0 7 の遅延は、例えば、ストローブ信号発生回路 3 0 4 の遅延に合わせて設定される。

【0022】

図 4、5、および 6 では、クロック信号 i c l k のアップエッジを有効エッジとした場合について示しているが、クロック信号 i c l k のダウンエッジを有効エッジとした場合は、クロック信号 i c l k の移動方向が逆になる。

【0023】

図 7 は、回路シミュレータを用いて行った、このような位相調整のシミュレーションの結果を示している。図 7 において、縦軸は信号の電圧レベルを表し、横軸は時間を表す。実線 7 0 1 は制御信号 d o w n の推移を示しており、時刻 T (1 8 n s 付近) において位相調整が完了している。

【0024】

10

20

30

40

50

破線 702 および実線 703 は、それぞれ、調整完了前のデータ信号 `dtffin` およびクロック信号 `icl k` の推移を示している。この例では、クロック信号 `icl k` の有効エッジであるアップエッジがデータ信号 `dtffin` のアップエッジまたはダウンエッジに一致している。

【0025】

破線 704 および実線 705 は、それぞれ、調整完了後のデータ信号 `dtffin` およびクロック信号 `icl k` の推移を示している。位相調整により、クロック信号 `icl k` のアップエッジがデータ信号 `dtffin` のアップエッジとダウンエッジの中間に移動していることが分かる。

【0026】

なお、クロック信号 `icl k` のダウンエッジは必ずしもデータ信号 `dtffin` のエッジに一致しておらず、`t` のずれが生じている。このずれは、位相調整回路 303 の調整刻み (100 ps)、ストロブ信号発生回路 304 のチョップ幅 (150 ps)、およびセットアップタイム/ホールドタイムによるものであるが、各要素を改善することで削減可能である。

【0027】

図 3 のようなデータ受信回路によれば、送信装置から受信装置にクロック信号を送ることなく、受信装置側で発生したクロック信号をデータ信号に同期させることができる。位相調整を自動的に行うには、受信装置の動作開始前にダミーのデータ信号を一定時間印加するだけでよい。また、アナログ回路を含まないため、回路規模を抑えることができ、コンピュータ内部バス等のデジタル伝送回路に容易に適用することができる。

【0028】

次に、図 8 から図 23 までを参照しながら、図 3 のデータ受信回路の構成と動作についてより具体的に説明する。

図 8 は、図 3 の位相調整回路 303 の構成例を示している。図 8 の位相調整回路は、位相調整ブロック 801 ~ 804 と AND 回路 805 を備え、シフトレジスタ回路 302 から 32 ビットの制御信号 `S0 ~ S31` を受け取ってクロック信号 `cl k` の位相を調整する。

【0029】

位相調整ブロック 801 は、端子 `CKI` から入力されたクロック信号 `cl k` を端子 `CKN` から出力し、制御信号 `S0 ~ S7` に従ってクロック信号 `cl k` の位相を調整し、調整されたクロック信号を端子 `CKO` から出力する。位相調整ブロック 802 ~ 804 の動作についても位相調整ブロック 801 と同様である。AND 回路 805 は、位相調整ブロック 801 ~ 804 の端子 `CKO` から出力されるクロック信号の論理積を、クロック信号 `icl k` として出力する。

【0030】

図 9 は、図 8 の位相調整ブロック 801 の構成例を示している。図 9 の位相調整ブロックは、NAND 回路 901 ~ 912 およびインバータ 921 ~ 940 を備える。端子 `CKI` から入力されたクロック信号 `cl k` は、直列に接続されたインバータ 925 ~ 940 を通過することにより遅延を受け、端子 `CKN` から次の位相調整ブロック 802 に出力される。

【0031】

実際には、隣接するインバータ 936 とインバータ 937 の間には、ダミーのインバータ 941 の入力端子が接続されており、このインバータ 941 の入力容量を利用してクロック信号を遅延させている。インバータ 926 ~ 935、インバータ 938、および 939 についても同様に、ダミーのインバータが接続される。

【0032】

NAND 回路 901 は、制御信号 `S0` とインバータ 925 の出力の論理積を反転させて出力する。NAND 回路 902 ~ 908 も同様に、制御信号 `S1 ~ S7` とインバータの出力の論理積を反転させて出力する。NAND 回路 901 ~ 908 のそれぞれに入力される

10

20

30

40

50

クロック信号は、隣接するNAND回路に入力されるクロック信号との間に一定の遅延差を有する。

【0033】

NAND回路909は、NAND回路901～903の出力の論理積を反転させて出力し、NAND回路910は、NAND回路904～906の出力の論理積を反転させて出力する。NAND回路911は、NAND回路907および908の出力の論理積を反転させて出力する。インバータ921～923は、それぞれ、NAND回路909～911の出力を反転させ、NAND回路912は、インバータ921～923の出力の論理積を反転させて出力する。そして、インバータ924は、NAND回路912の出力を反転させて、端子CKOから出力する。

10

【0034】

制御信号S0～S7のいずれか1ビットを“1”に設定し、その他のビットを“0”に設定すれば、NAND回路901～908のうち制御信号“1”が入力されたNAND回路のみがクロック信号を反転して通過させ、他のNAND回路の出力はすべて“1”となる。したがって、通過したクロック信号が端子CKOから出力される。

【0035】

こうして、位相調整ブロック801は、クロック信号clkを制御信号S0～S7により選択された時間だけ遅延させて、端子CKOから出力する。制御信号S7が“1”に設定されたとき、遅延は最大となる。また、制御信号S0～S7のすべてを“0”に設定すれば、端子CKOの出力は常に“1”となる。

20

【0036】

他の位相調整ブロック802～804の構成についても位相調整ブロック801と同様である。ただし、制御信号S7およびS8により選択される遅延時間の差は、位相調整ブロック801の隣接する2つの制御信号（例えば、S6とS7）により選択される遅延時間の差と同じになるように調整される。S15とS16により選択される遅延時間の差、および、S23とS24により選択される遅延時間の差についても同様である。

【0037】

制御信号S0～S31のいずれか1ビットを“1”に設定し、その他のビットを“0”に設定すれば、制御信号“1”が入力された位相調整ブロックの端子CKOからクロック信号が出力され、他の位相調整ブロックの端子CKOの出力はすべて“1”となる。したがって、その位相調整ブロックにより調整されたクロック信号が、AND回路805からクロック信号iclkとして出力される。

30

【0038】

このように、図8の位相調整回路は、一定の遅延差を有する32種類の遅延時間の中から特定のものを選択して、クロック信号clkに適用することができる。

図10は、図3の位相調整回路303の別の構成例で使用される位相調整ブロックを示している。図10の位相調整ブロックは、インバータ1001～1019、バッファ1021～1026、FET(Field Effect Transistor)スイッチ1031～1078、およびキャパシタ1081～1128を備える。

【0039】

端子CLKINから入力されたクロック信号clkは、直列に接続されたインバータ1001～1016を通過することにより、各インバータの入力にFETスイッチを介して接続されたキャパシタによる遅延を受け、端子CLKOUTから次の位相調整ブロックに出力される。

40

【0040】

この場合、3ビットの制御信号SEL1～SEL3が位相調整ブロックに入力され、各制御信号は、インバータ1001～1016の入力に接続された3つのFETスイッチのうちの1つを制御する。各FETスイッチには、制御信号とそれを反転した信号の2つの信号が入力される。

【0041】

50

例えば、インバータ1009、FETスイッチ1055～1057、およびキャパシタ1105～1107からなる遅延回路を拡大すると、図11のようになる。

信号PGATE__SEL1、PGATE__SEL2、およびPGATE__SEL3は、それぞれ、バッファ1022、1024、および1026の出力に相当し、信号NGATE__SEL1、NGATE__SEL2、およびNGATE__SEL3は、それぞれ、バッファ1021、1023、および1025の出力に相当する。

【0042】

信号NGATE__SEL1、NGATE__SEL2、およびNGATE__SEL3は、それぞれ、制御信号SEL1、SEL2、およびSEL3と同じ値を取り、信号PGATE__SEL1、PGATE__SEL2、およびPGATE__SEL3は、それぞれ、制御信号SEL1、SEL2、およびSEL3を反転した値を取る。

10

【0043】

キャパシタ1106および1107の容量は、それぞれ、キャパシタ1105の容量の2倍および4倍である。他のインバータの遅延回路も図11の遅延回路と同様に構成される。

【0044】

制御信号SEL1～SEL3の値と発生する遅延の関係は、図12のようになる。図12の“on”および“off”はそれぞれ“1”および“0”を表す。これらの制御信号を用いれば、一定の遅延差を有する8種類の遅延時間のうちの1つを選択することができる。

20

【0045】

図13は、図10の位相調整ブロックを用いた位相調整回路303の構成例を示している。図13の位相調整回路303は、位相調整ブロック1301～1304、インバータ1311～1313、バッファ1321～1341、OR回路1351～1354、NAND回路1361～1373、およびAND回路1381～1384を備え、シフトレジスタ回路302から5ビットの制御信号SS0～SS4を受け取ってクロック信号clkの位相を調整する。

【0046】

インバータ1311の入力側の端子CLKINから入力されたクロック信号clkは、直列に接続された位相調整ブロック1301～1304を通過することにより遅延を受け、バッファ1322の出力側の端子CLKOUTからクロック信号iclkとして出力される。

30

【0047】

制御信号SS0～SS4は、図8の制御信号S0～S31を二進数化したものに相当し、32種類の値を表すことができる。インバータ1313、バッファ1323～1341、OR回路1351～1354、NAND回路1361～1373、およびAND回路1381～1384からなる回路は、制御信号SS0～SS4から12ビットの制御信号を生成し、位相調整ブロック1301～1304にそれぞれ3ビットずつ出力する。

【0048】

バッファ1330～1332の出力は、制御信号SEL1～SEL3として位相調整ブロック1301に入力され、バッファ1333～1335の出力は、制御信号SEL1～SEL3として位相調整ブロック1302に入力される。バッファ1336～1338の出力は、制御信号SEL1～SEL3として位相調整ブロック1303に入力され、バッファ1339～1341の出力は、制御信号SEL1～SEL3として位相調整ブロック1304に入力される。

40

【0049】

これらの制御信号により、位相調整回路全体では、一定の遅延差を有する32種類の遅延時間の中から特定のものを選択して、クロック信号clkに適用することができる。

図14は、図3のシフトレジスタ回路302の構成例を示している。記号a～hが付加された信号線のうち、同じ記号が付加された信号線同士は接続されているものとする。図

50

14のシフトレジスタ回路は、直列に接続された32個の基本ブロック1401～1432を備え、32ビットの制御信号S0～S31を出力する。

【0050】

各基本ブロックは、図15に示すような構成を有し、セレクタ1501およびフリップフロップ1502を備える。フリップフロップ1502は、その基本ブロックから制御信号Si (i = 0, 1, . . . , 31)として出力されるデータを保持する。

【0051】

端子D0およびD1には、それぞれ、アップ方向(左側)およびダウン方向(右側)に隣接する基本ブロックからの信号が入力され、セレクタ1501は、端子Downから入力される制御信号downの値に応じて、端子D0またはD1からの信号を選択して出力する。制御信号downが“1”のとき、端子D1からの入力を選択され、制御信号downが“0”のとき、端子D0からの入力を選択される。

10

【0052】

端子CK1に入力されたタイミング信号clockは、クロック信号としてフリップフロップ1502の端子CKに入力される。フリップフロップ1502は、クロック信号clockに従ってセレクタ1501の出力をラッチし、端子SLから出力する。フリップフロップ1502の出力は、端子OUTから制御信号Siとして出力されるとともに、アップ方向の基本ブロックの端子D1およびダウン方向の基本ブロックの端子D0に入力される。

【0053】

このように、各基本ブロックは、制御信号downの値に応じてアップ方向またはダウン方向から入力される信号の値をラッチして、次の基本ブロックへシフトさせる。例えば、いずれか1つの基本ブロックのデータを“1”に設定し、他の基本ブロックのデータを“0”に設定してから、シフト動作が開始される。

20

【0054】

図14のシフトレジスタ回路は、図8および図13の位相調整回路を制御するために使用することができる。図13の位相調整回路を制御する場合は、32ビットの制御信号S0～S31を5ビットの制御信号SS0～SS4に変換する回路が追加される。

【0055】

図16は、図3のシフトレジスタ回路302の構成例を示している。図16のシフトレジスタ回路は、バッファ1601～1617、NAND回路1621～1628、NOR回路1631～1635、EOR回路1641～1643、一致回路1651～1654、インバータ1661～1668、桁あふれ検出回路1671、セレクタ1681～1685、およびDフリップフロップ1691～1695を備え、5ビットの制御信号SS0～SS4を出力する。

30

【0056】

この構成では、制御信号の値の増減を二進数でカウントすることにより、図14の構成よりフリップフロップの数を削減している。制御信号downは、バッファ1601～1603を介して桁あふれ検出回路1671およびセレクタ1681～1685に入力され、タイミング信号clockは、バッファ1611を介してフリップフロップ1691～1695のクロック端子に入力される。

40

【0057】

セレクタ1681～1685は、制御信号downおよび桁あふれ検出回路1671の出力に従って、3ビットの入力信号のうちの一つを選択して出力する。これらの入力信号は、フリップフロップ1691～1695の出力を用いて生成される。

【0058】

インバータ1667は、セレクタ1681の出力を反転して出力し、フリップフロップ1691は、クロック信号clockに従ってインバータ1667の出力をラッチする。インバータ1668は、フリップフロップ1691の出力を反転して、制御信号SS4として出力する。フリップフロップ1692～1695は、クロック信号clockに従ってそ

50

れぞれセクタ1682～1685の出力をラッチし、制御信号SS3～SS0として出力する。

【0059】

セクタ1681には、バッファ1617、EOR回路1641、および一致回路1651からの信号が入力され、桁あふれ検出回路1671の出力が“1”のとき、バッファ1617からの信号を選択し、現在の制御信号SS4の値を維持する(Stay)。また、制御信号downが“1”のとき、EOR回路1641からの信号を選択し(Down)、制御信号downが“0”のとき、一致回路1651からの信号を選択する(Up)。セクタ1682～1685の動作についてもセクタ1681と同様である。

【0060】

図17は、図16の桁あふれ検出回路1671の構成例を示している。図17の桁あふれ検出回路は、NAND回路1701および1702、NOR回路1711～1714、AND回路1721、およびインバータ1731を備える。入力信号A0～A4は、バッファ1613～1617の出力にそれぞれ相当し、制御信号SS0～SS4と同じ値を取る。この回路は、入力信号A0、A1、およびA2がすべて“0”またはすべて“1”のとき、桁あふれを示す信号“1”を出力する。

【0061】

図16のシフトレジスタ回路は、図8および図13の位相調整回路を制御するために使用することができる。図8の位相調整回路を制御する場合は、5ビットの制御信号SS0～SS4を32ビットの制御信号S0～S31に変換する回路が追加される。

【0062】

図18は、図3のストローク信号発生回路304の構成例を示している。図18のストローク信号発生回路は、インバータ1801～1804、バッファ1811～1814、NAND回路1821および1822、およびAND回路1831を備え、信号Inとして入力されるデータ信号itのアップエッジおよびダウンエッジに合わせて信号Outを生成し、それをクロック信号pdclkとして出力する。

【0063】

図19は、図18の信号In、A1、B1、C1、A2、B2、C2、およびOutのタイミングチャートである。信号A1は、信号Inを反転した信号であり、信号B1は、信号A1を一定時間遅延させて反転した信号であり、信号C1は、信号A1およびB1の論理積を反転した信号である。信号A2は、信号A1を反転した信号であり、信号B2は、信号A2を一定時間遅延させて反転した信号であり、信号C2は、信号A2およびB2の論理積を反転した信号である。そして、信号Outは、信号C1およびC2の論理積である。信号B1およびB2の遅延時間がチョップ幅に相当する。

【0064】

こうして生成された信号Outは、信号Inのアップエッジおよびダウンエッジの両方に一致するダウンエッジを持っている。なお、図3のデータ受信回路では、データ信号itのアップエッジおよびダウンエッジの両方を利用して位相検出を行うためにストローク信号発生回路304を設けているが、アップエッジのみを利用する場合はストローク信号発生回路304を省略することができる。

【0065】

図20は、図3のsclk生成回路301の構成例を示している。図20のsclk生成回路は、フリップフロップ2001～2005およびインバータ2011～2015を備える。フリップフロップ2001とインバータ2011は1/2分周回路として機能し、データ信号itの1/2の周波数のタイミング信号sclk(it/2)を生成する。

【0066】

同様にして、フリップフロップ2002とインバータ2012は、タイミング信号sclk(it/2)から、データ信号itの1/4の周波数のタイミング信号sclk(it/4)を生成し、フリップフロップ2003とインバータ2013は、タイミング信号sclk(it/4)から、データ信号itの1/8の周波数のタイミング信号sclk

10

20

30

40

50

($i t / 8$) を生成する。

【 0 0 6 7 】

フリップフロップ 2 0 0 4 とインバータ 2 0 1 4 は、タイミング信号 $s c l k (i t / 8)$ から、データ信号 $i t$ の $1 / 1 6$ の周波数のタイミング信号 $s c l k (i t / 1 6)$ を生成し、フリップフロップ 2 0 0 5 とインバータ 2 0 1 5 は、タイミング信号 $s c l k (i t / 1 6)$ から、データ信号 $i t$ の $1 / 3 2$ の周波数のタイミング信号 $s c l k (i t / 3 2)$ を生成する。

【 0 0 6 8 】

そして、 $s c l k$ 生成回路は、指示された分周比に従っていずれかのタイミング信号を選択し、タイミング信号 $s c l k$ として出力する。 $1 / 2 \sim 1 / 3 2$ のうちどの分周比を用いるかは、あらかじめシミュレーションにより決定してもよく、回路の動作状態に基づいて動的に決定してもよい。 10

【 0 0 6 9 】

図 2 1 は、図 3 の $s c l k$ 生成回路 3 0 1 の別の構成例を示している。図 2 1 の $s c l k$ 生成回路は、バッファ 2 1 0 1 ~ 2 1 0 9、インバータ 2 1 1 1 ~ 2 1 1 4、カウンタ回路 2 1 2 1、NAND 回路 2 1 3 1 ~ 2 1 3 7、NOR 回路 2 1 4 1 ~ 2 1 4 3、AND 回路 2 1 5 1、セクタ 2 1 6 1、および D フリップフロップ 2 1 7 1 を備え、データ信号 $i t$ からタイミング信号 $s c l k$ を生成する。

【 0 0 7 0 】

この構成では、分周回路ではなくカウンタ回路 2 1 2 1 を使用することにより、データ信号 $i t$ のエッジ数をカウントし、規定回数エッジを検出した時点でタイミング信号 $s c l k$ のエッジを生成する。 20

【 0 0 7 1 】

カウンタ回路 2 1 2 1 は、データ信号 $i t$ のエッジ数をカウントし、5 ビットのカウンタ値を出力する。セクタ 2 1 6 1 には、このカウンタ値を用いて生成される 4 ビットの信号が入力され、バッファ 2 1 0 5 および 2 1 0 6 を介してカウンタ数が設定される。セクタ 2 1 6 1 は、4 ビットの入力信号のうちの一つを選択して、フリップフロップ 2 1 7 1 およびインバータ 2 1 1 3 に出力する。

【 0 0 7 2 】

インバータ 2 1 1 3 は、セクタ 2 1 6 1 の出力を反転してカウンタクリア信号を生成し、カウンタ回路 2 1 2 1 に出力する。フリップフロップ 2 1 7 1 は、データ信号 $i t$ に従ってセクタ 2 1 6 1 の出力をラッチし、バッファ 2 1 0 7 に出力する。また、インバータ 2 1 1 4 は、データ信号 $i t$ を反転して出力する。 30

【 0 0 7 3 】

NAND 回路 2 1 3 7 は、バッファ 2 1 0 7 およびインバータ 2 1 1 4 の出力の論理積を反転して出力し、バッファ 2 1 0 9 は、NAND 回路 2 1 3 7 の出力をタイミング信号 $s c l k$ として出力する。

【 0 0 7 4 】

図 2 2 は、図 2 1 のカウンタ回路 2 1 2 1 の構成例を示している。図 2 2 のカウンタ回路は、NAND 回路 2 2 0 1 ~ 2 2 0 4、NOR 回路 2 2 1 1、インバータ 2 2 2 1、EOR 回路 2 2 3 1、一致回路 2 2 4 1 ~ 2 2 4 3、2 入力 AND 回路 2 2 5 1 ~ 2 2 5 5、フリップフロップ 2 2 6 1 ~ 2 2 6 5、およびバッファ 2 2 7 1 ~ 2 2 9 1 を備える。 40

【 0 0 7 5 】

データ信号 $i t$ は、バッファ 2 2 8 4 を介してフリップフロップ 2 2 6 1 ~ 2 2 6 5 のクロック端子に入力され、カウンタクリア信号は、バッファ 2 2 8 1 を介して AND 回路 2 2 5 1 ~ 2 2 5 5 の一方の入力端子に入力される。AND 回路 2 2 5 1 ~ 2 2 5 5 の他方の入力端子には、フリップフロップ 2 2 6 1 ~ 2 2 6 5 の出力を用いて生成された信号が入力される。

【 0 0 7 6 】

フリップフロップ 2 2 6 1 ~ 2 2 6 5 は、データ信号 $i t$ に従ってそれぞれ AND 回路 50

2251～2255の出力をラッチし、バッファ2271および2273～2276を介してカウンタ値として出力する。

【0077】

図23は、図8の位相調整回路、図14のシフトレジスタ回路、および図20のsclk生成回路を用いた場合の制御信号S14～S18の変化を示すタイミングチャートである。タイミング信号sclkとしては、sclk(it/2)を用いている。また、理解を容易にするため、制御信号S16～S18の間で信号値“1”が移動することによるクロック信号iclkの位相ずれは、実際の回路より大きく設定されている。

【0078】

時刻t1～t14はデータ信号itのアップエッジ/ダウンエッジに対応し、制御信号downは、これらの各時刻において毎回更新される。時刻t2において、タイミング信号sclkのアップエッジにより、シフトレジスタ回路302がdown=“0”を認識し、制御信号S16の信号値“1”を制御信号S17に移動させる。これにより、クロック信号iclkが後退する。

【0079】

その後、時刻t7において、タイミング信号sclkのアップエッジにより、シフトレジスタ回路302がdown=“0”を認識し、制御信号S17の信号値“1”を制御信号S18に移動させる。これにより、クロック信号iclkがさらに後退する。

【0080】

その後、時刻t11において、タイミング信号sclkのアップエッジにより、シフトレジスタ回路302がdown=“1”を認識し、制御信号S18の信号値“1”を制御信号S17に移動させる。これにより、クロック信号iclkが前進する。この時点で、データ信号itのエッジとクロック信号iclkのダウンエッジがほぼ一致し、クロック信号iclkのアップエッジによりデータ信号itを受信することが可能になる。

【0081】

本発明は、LSI間のデータ伝送のみならず、送信装置からデータを受信する受信装置におけるクロック信号を調整するために、広く適用することができる。

(付記1) 入力されるクロック信号を遅延させて該クロック信号の位相を調整し、調整されたクロック信号を出力する位相調整手段と、

入力されるデータ信号と前記調整されたクロック信号の位相関係を検出し、該位相関係を示す第1の制御信号を出力する位相検出手段と、

前記第1の制御信号に従って、前記位相調整手段の遅延量を増加させるか減少させるかを決定し、入力されるタイミング信号に従って、該遅延量を増減する第2の制御信号を生成して前記位相調整手段に出力する制御手段とを備えることを特徴とするクロック調整装置。

【0082】

(付記2) 前記データ信号のエッジを用いて前記タイミング信号を生成する生成手段をさらに備えることを特徴とする付記1記載のクロック調整装置。

(付記3) 前記生成手段は、前記データ信号を分周して前記タイミング信号を生成することを特徴とする付記2記載のクロック調整装置。

【0083】

(付記4) 前記生成手段は、前記データ信号のエッジをカウントして、規定回数のエッジを検出したとき前記タイミング信号のエッジを生成することを特徴とする付記2記載のクロック調整装置。

【0084】

(付記5) 前記調整されたクロック信号に従って前記データ信号の値をラッチするラッチ手段をさらに備えることを特徴とする付記1または2記載のクロック調整装置。

(付記6) 前記位相調整手段は、直列に接続された複数のインバータ手段を含み、前記入力されるクロック信号が該複数のインバータ手段を通過するとき、前記第2の制御信号の値に応じていずれかのインバータ手段から出力されるクロック信号を選択し、前記調

10

20

30

40

50

整されたクロック信号として出力することを特徴とする付記 1 または 2 記載のクロック調整装置。

【0085】

(付記 7) 前記位相調整手段は、直列に接続された複数のインバータ手段と各インバータ手段の入力にスイッチ手段を介して接続されたキャパシタ手段を含み、前記入力されるクロック信号が該複数のインバータ手段を通過するとき、前記第 2 の制御信号の値に応じて各スイッチ手段を制御し、最後のインバータ手段から出力されるクロック信号を前記調整されたクロック信号として出力することを特徴とする付記 1 または 2 記載のクロック調整装置。

【0086】

(付記 8) 前記位相検出手段は、前記データ信号のエッジを利用したクロック信号に従って前記調整されたクロック信号の値をラッチし、ラッチされた値を前記第 1 の制御信号として出力するフリップフロップ手段を含むことを特徴とする付記 1 または 2 記載のクロック調整装置。

【0087】

(付記 9) 前記位相検出手段は、前記データ信号のアップエッジおよびダウンエッジの両方を用いて、前記データ信号のエッジを利用したクロック信号を生成する信号発生手段を含むことを特徴とする付記 6 記載のクロック調整装置。

【0088】

(付記 10) 前記制御手段は、前記調整されたクロック信号の有効エッジとは異なる方のエッジが前記データ信号のエッジに近づくように、前記位相調整手段の遅延量を増減することを特徴とする付記 1 または 2 記載のクロック調整装置。

【0089】

(付記 11) 前記制御手段は、前記第 2 の制御信号が複数ビットからなるとき、各ビットの値を保持し、保持された値を前記タイミング信号に従って隣接する 2 つのビットのいずれかの方向にシフトさせるシフトレジスタ手段を含み、前記第 1 の制御信号に従って該シフトレジスタ手段のシフト方向を決定することを特徴とする付記 1 または 2 記載のクロック調整装置。

【0090】

(付記 12) 前記制御手段は、前記第 2 の制御信号が複数ビットからなるとき、各ビットの値を保持するフリップフロップ手段と、前記第 1 の制御信号に従って、該フリップフロップ手段の出力から生成された複数ビットの信号のうち 1 つを選択し、該フリップフロップ手段に出力するセクタ手段とを含み、該フリップフロップ手段は、前記タイミング信号に従って該セクタ手段の出力をラッチし、前記第 2 の制御信号として出力することを特徴とする付記 1 または 2 記載のクロック調整装置。

【0091】

(付記 13) 入力されるクロック信号を位相調整手段により遅延させて該クロック信号の位相を調整し、

入力されるデータ信号と調整されたクロック信号の位相関係を検出し、

前記位相関係を示す第 1 の制御信号に従って、前記位相調整手段の遅延量を増加させるか減少させるかを決定し、

入力されるタイミング信号に従って、前記遅延量を増減する第 2 の制御信号を生成して前記位相調整手段に出力する

ことを特徴とするクロック調整方法。

【図面の簡単な説明】

【0092】

【図 1】本発明のクロック調整装置の原理図である。

【図 2】データ同期伝送方式を示す図である。

【図 3】データ受信回路の構成図である。

【図 4】i c l k 前進のタイミングチャートである。

10

20

30

40

50

- 【図5】 i c l k 後退のタイミングチャートである。
- 【図6】 i c l k と d t f f i n のタイミングチャートである。
- 【図7】 シミュレーション結果を示す図である。
- 【図8】 第1の位相調整回路の構成図である。
- 【図9】 第1の位相調整ブロックの構成図である。
- 【図10】 第2の位相調整ブロックの構成図である。
- 【図11】 遅延回路を示す図である。
- 【図12】 制御信号を示す図である。
- 【図13】 第2の位相調整回路の構成図である。
- 【図14】 第1のシフトレジスタ回路の構成図である。 10
- 【図15】 基本ブロックの構成図である。
- 【図16】 第2のシフトレジスタ回路の構成図である。
- 【図17】 桁あふれ検出回路の構成図である。
- 【図18】 ストローブ信号発生回路の構成図である。
- 【図19】 ストローブ信号発生回路内の信号のタイミングチャートである。
- 【図20】 第1の s c l k 生成回路の構成図である。
- 【図21】 第2の s c l k 生成回路の構成図である。
- 【図22】 カウンタ回路の構成図である。
- 【図23】 位相調整時の制御信号のタイミングチャートである。
- 【図24】 同期伝送方式を示す図である。 20
- 【図25】 ソース同期伝送方式を示す図である。
- 【符号の説明】
- 【0093】
- 101 CLKドライバ
- 102、104、201 送信装置
- 103、105、202 受信装置
- 111 位相調整手段
- 112 位相検出手段
- 113 制御手段
- 301 s c l k 生成回路 30
- 302 シフトレジスタ回路
- 303 位相調整回路
- 304 ストローブ信号発生回路
- 305、308、1502、1691～1695、2001～2005、2261～2
- 265 フリップフロップ
- 306 入力回路
- 307 遅延回路
- 701、703、705 実線
- 702、704 破線
- 801～804、1301～1304 位相調整ブロック 40
- 805、1381～1384、1721、1831、2151、2251～2255
- A N D 回路
- 901～912、1361～1373、1621～1628、1701、1702、1
- 821、1822、2131～2137、2201～2204 N A N D 回路
- 921～941、1001～1019、1311～1313、1661～1668、1
- 731、1801～1804、2011～2015、2111～2114、2221 イ
- ンバータ
- 1021～1026、1321～1341、1601～1617、1811～1814
- 、2101～2109、2271～2291 バッファ
- 1031～1078 F E T スイッチ 50

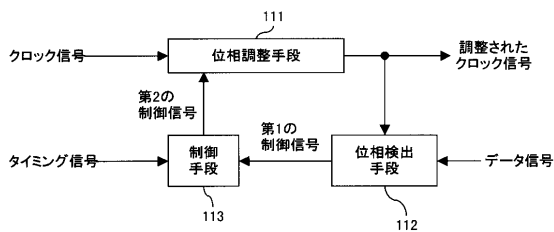
- 1 0 8 1 ~ 1 1 2 8 キャパシタ
- 1 3 5 1 ~ 1 3 5 4 O R 回路
- 1 4 0 1 ~ 1 4 3 2 基本ブロック
- 1 5 0 1、1 6 8 1 ~ 1 6 8 5、2 1 6 1、2 1 7 1 セレクタ
- 1 6 3 1 ~ 1 6 3 5、1 7 1 1 ~ 1 7 1 4、2 1 4 1 ~ 2 1 4 3、2 2 1 1 N O R 回

路

- 1 6 4 1 ~ 1 6 4 3、2 2 3 1 E O R 回路
- 1 6 5 1 ~ 1 6 5 4、2 2 4 1 ~ 2 2 4 3 一致回路
- 1 6 7 1 桁あふれ検出回路
- 2 1 2 1 カウンタ回路

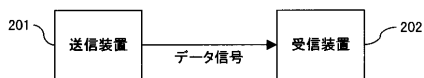
【 図 1 】

本発明のクロック調整装置の原理図



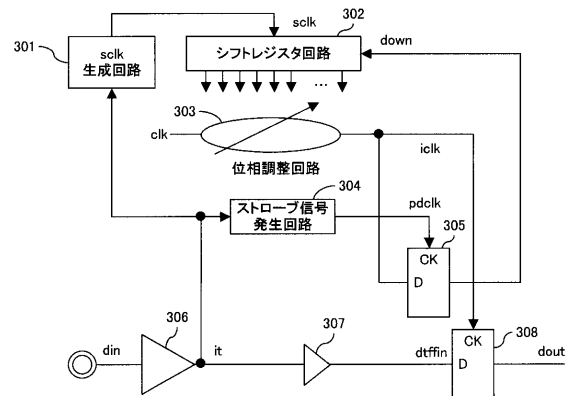
【 図 2 】

データ同期伝送方式を示す図



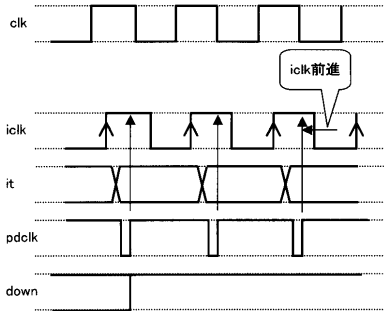
【 図 3 】

データ受信回路の構成図



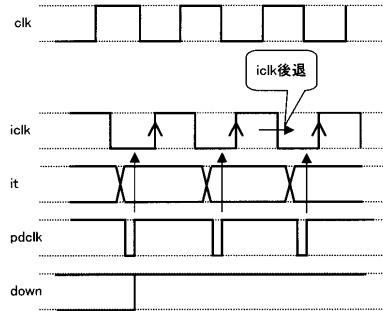
【 図 4 】

iclk前進のタイミングチャート



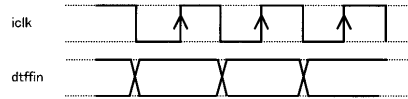
【 図 5 】

iclk後退のタイミングチャート



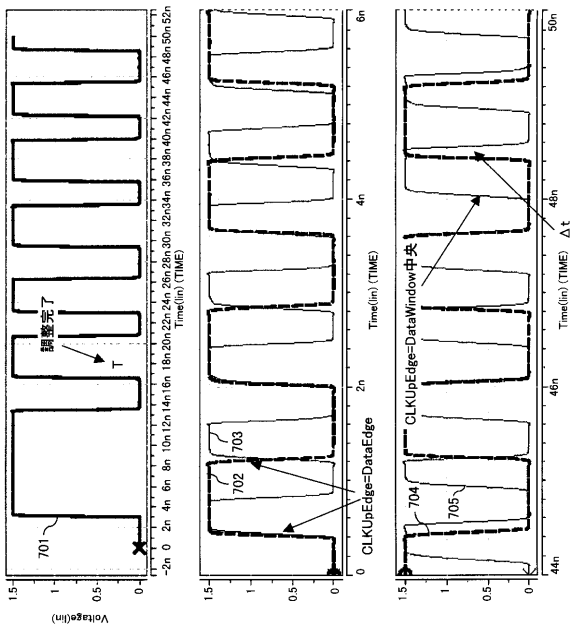
【 図 6 】

iclkとdtffinのタイミングチャート



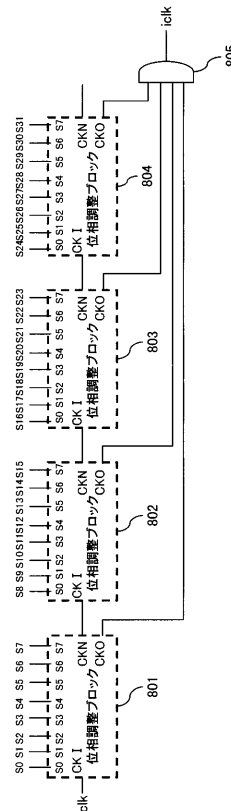
【 図 7 】

シミュレーション結果を示す図



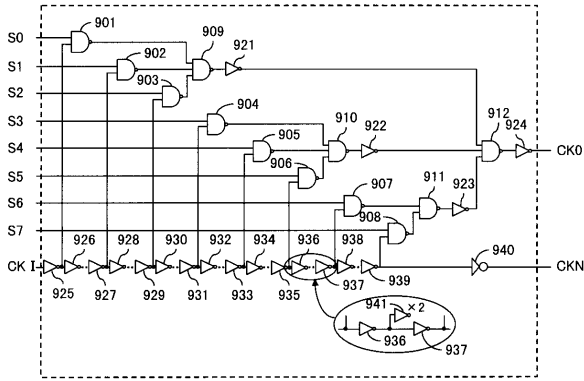
【 図 8 】

第1の位相調整回路の構成図



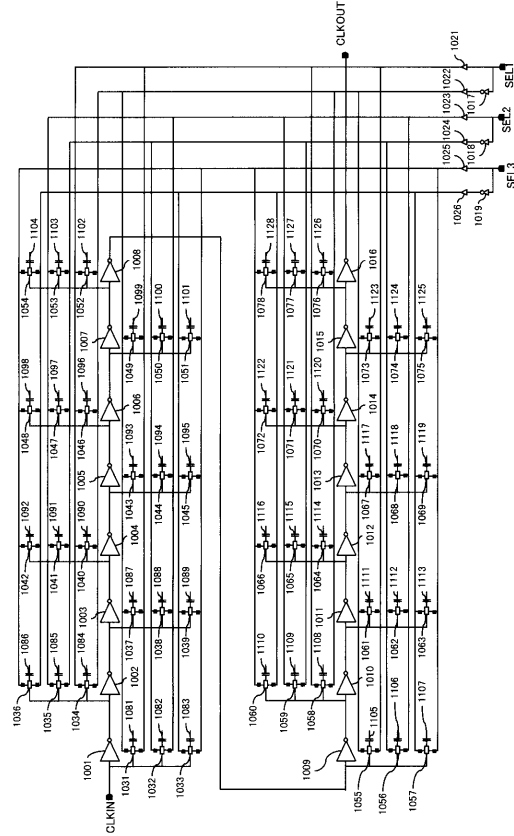
【 図 9 】

第1の位相調整ブロックの構成図



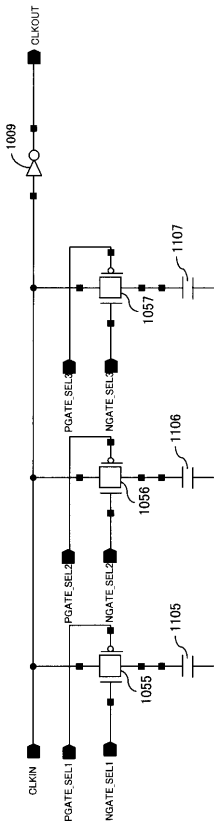
【 図 10 】

第2の位相調整ブロックの構成図



【 図 11 】

遅延回路を示す図



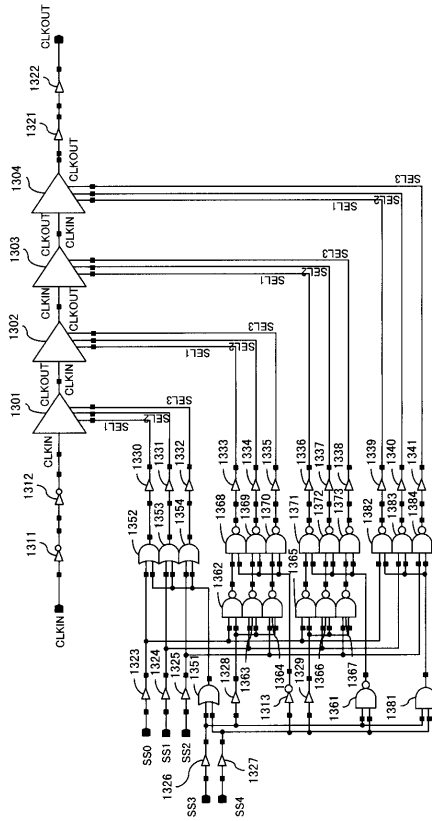
【 図 12 】

制御信号を示す図

	Case							
	00	01	02	03	04	05	06	07
SEL1	Off	On	Off	On	Off	On	Off	On
SEL2	Off	Off	On	On	Off	Off	On	On
SEL3	Off	Off	Off	Off	On	On	On	On
遅延	0	+1	+2	+3	+4	+5	+6	+7

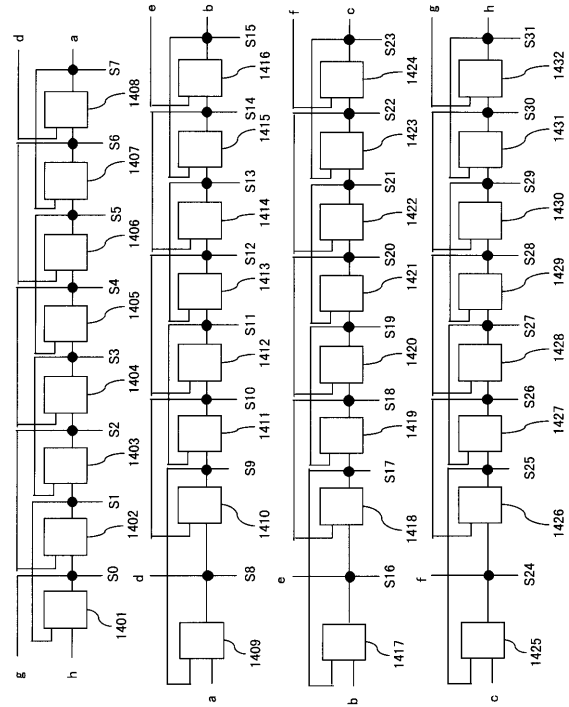
【 図 1 3 】

第2の位相調整回路の構成図



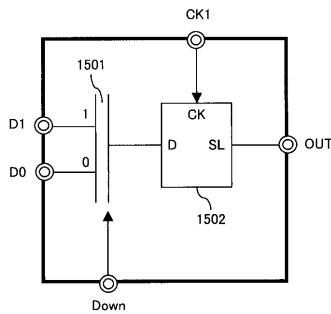
【 図 1 4 】

第1のシフトレジスタ回路の構成図



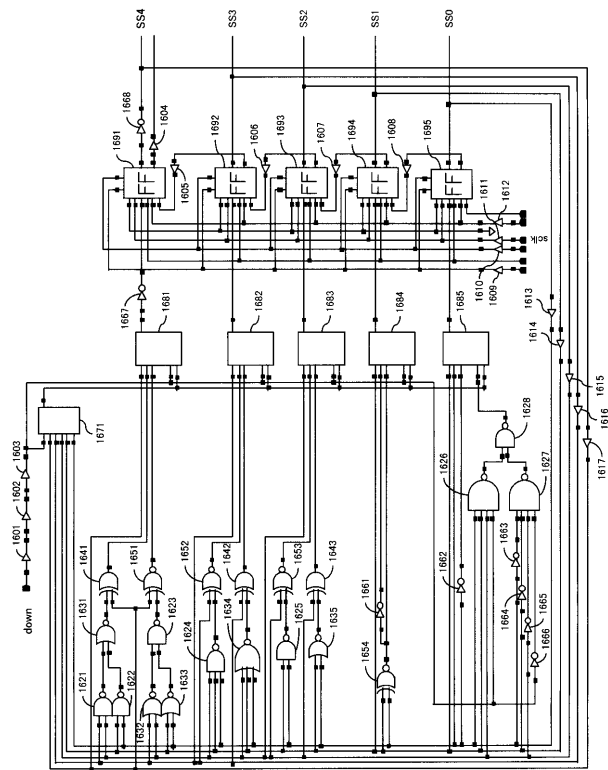
【 図 1 5 】

基本ブロックの構成図



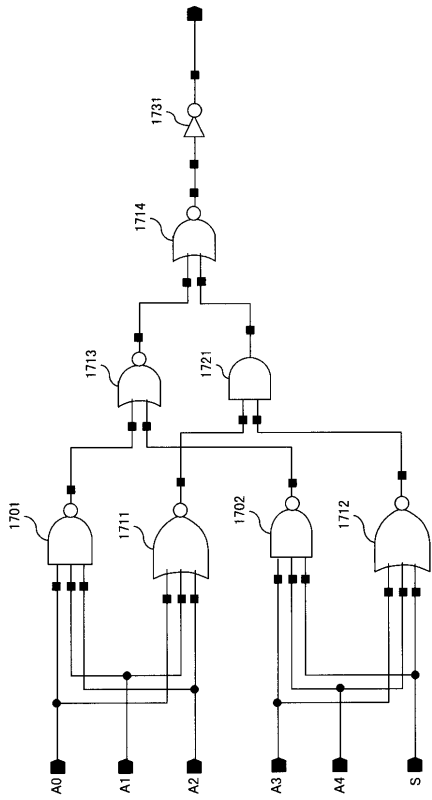
【 図 1 6 】

第2のシフトレジスタ回路の構成図



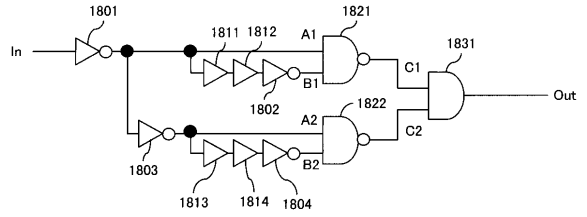
【 図 1 7 】

析あふれ検出回路の構成図



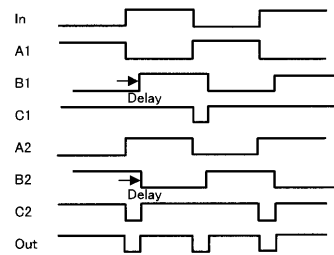
【 図 1 8 】

ストローブ信号発生回路の構成図



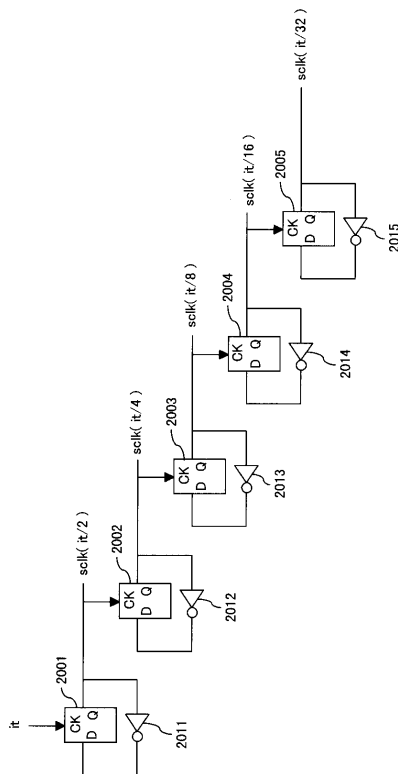
【 図 1 9 】

ストローブ信号発生回路内の信号のタイミングチャート



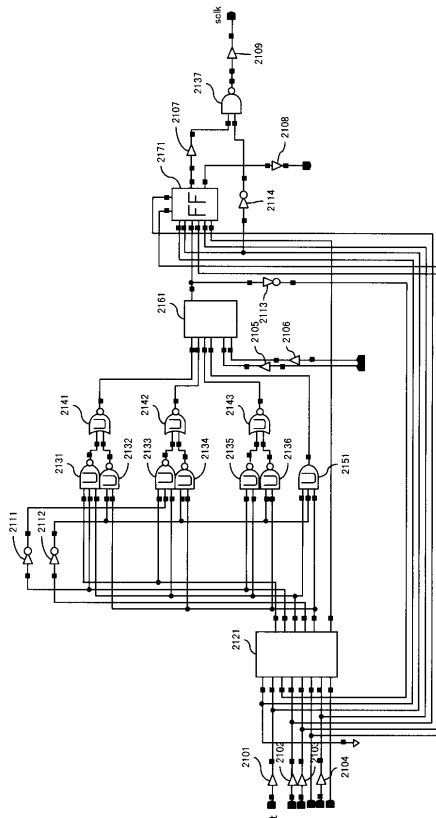
【 図 2 0 】

第1のsclk生成回路の構成図



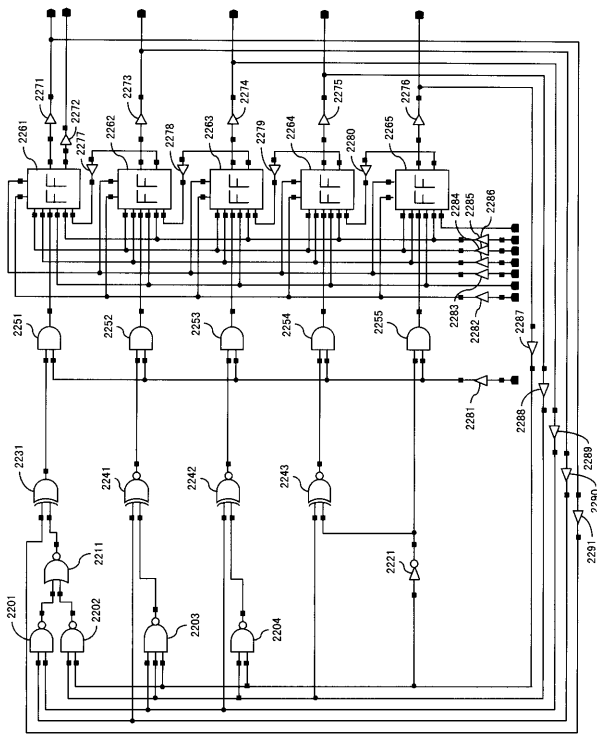
【 図 2 1 】

第2のsclk生成回路の構成図



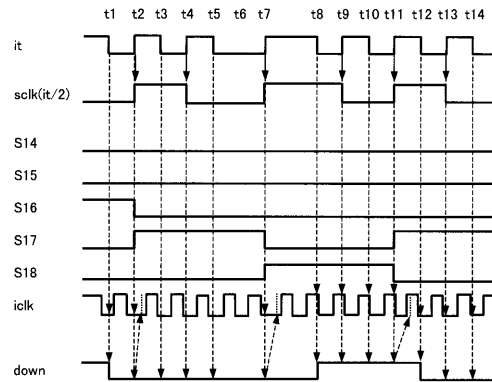
【 図 2 2 】

カウンタ回路の構成図



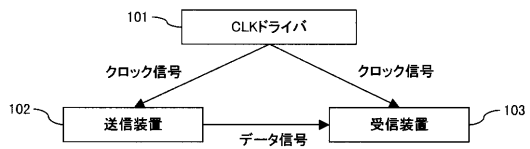
【 図 2 3 】

位相調整時の制御信号の
タイミングチャート



【 図 2 4 】

同期伝送方式を示す図



【 図 2 5 】

ソース同期伝送方式を示す図

