



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2018년01월31일  
(11) 등록번호 10-1813691  
(24) 등록일자 2017년12월22일

- |   |   |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)<br/>H02M 1/12 (2006.01) H02M 7/48 (2007.01)</p> <p>(21) 출원번호 10-2012-0071161</p> <p>(22) 출원일자 2012년06월29일<br/>심사청구일자 2016년06월22일</p> <p>(65) 공개번호 10-2013-0048139</p> <p>(43) 공개일자 2013년05월09일</p> <p>(30) 우선권주장<br/>13/286,430 2011년11월01일 미국(US)</p> <p>(56) 선행기술조사문헌<br/>WenSheng Song et al., Dead-time effect and a neutral point voltage control for a single-phase NPC converter, 2008 International Conference on Electrical Machines and Systems, pp.1421-1426. (2008.10.20.)<br/>S. Shekhawat et al., Microprocessor-based sinusoidally sampled PWM technique for neutral-point clamped inverter, Power Electronics Specialists Conference, 1988.19th Annual IEEE, vo.1. pp.50-58, (1988.4.14)<br/>US04961129 A<br/>US20040267468 A1</p> | <p>(73) 특허권자<br/>페어차일드코리아반도체 주식회사<br/>경기도 부천시 원미구 평천로850번길 55 (도당동)</p> <p>(72) 발명자<br/>쉐카왓 샴팻<br/>미국 펜실베이니아, 마운틴 탑, 레벨힐 로드 16<br/>이명호<br/>경기 부천시 원미구 소향로 18, 2404동 1704호 (상동, 행복한마을)<br/>(뒷면에 계속)</p> <p>(74) 대리인<br/>유미특허법인</p> |
|---|---|

전체 청구항 수 : 총 20 항

심사관 : 광인구

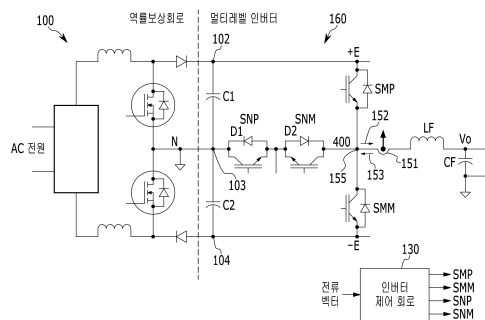
(54) 발명의 명칭 **멀티레벨 인버터용 데드타임을 제어하는 전류벡터**

**(57) 요약**

본 발명은 멀티레벨 인버터 회로 및 그 동작 방법에 관한 것이다.

상기 멀티레벨 인버터 회로 출력의 정반주기의 생성 동안 제1 메인 스위치와 제1 중립 스위치를 조절하여, 상기 제1 메인 스위치는 상기 멀티레벨 인버터 회로의 출력 노드와 양노드의 연결을 제어하기 위해 스위칭하고, 상기 제1 중립 스위치는 상기 출력 노드와 중립 전위의 연결을 제어하기 위해 스위칭한다. 상기 멀티레벨 인버터 회로의 교류 전류 출력이 흐르는 방향을 감지한다. 상기 멀티레벨 인버터 회로의 교류 전류 출력이 부하로 흐르는 양 방향인 것을 감지하면, 상기 멀티레벨 인버터 회로의 출력의 정반주기의 생성 동안 상기 제1 중립 스위치 및 상기 제1 메인 스위치의 스위칭 사이에 데드 타임을 제거한다.

**대표도**



(72) 발명자

**이용택**

경기 김포시 고촌읍 수기로 67-54, 103동 504호 (수기마을힐스테이트1단지)

**하쑤보 아기용가르시아**

경기 부천시 오정구 삼작로 467, 5203호 (작동, 실리콘하우스아파트)

**최봉주**

경기도 부천시 삼작로 467, 5402호 (작동, 실리콘하우스아파트)

## 명세서

### 청구범위

#### 청구항 1

멀티레벨 인버터 회로를 동작시키는 방법에 있어서,

상기 멀티레벨 인버터 회로 출력의 정반주기의 생성 동안 제1 메인 스위치와 제1 중립 스위치를 조절하여, 상기 제1 메인 스위치는 상기 멀티레벨 인버터 회로의 출력 노드와 양노드의 연결을 제어하기 위해 스위칭하고, 상기 제1 중립 스위치는 상기 출력 노드와 중립 전위의 연결을 제어하기 위해 스위칭하는 단계;

상기 멀티레벨 인버터 회로의 교류 전류 출력이 흐르는 방향을 감지하는 단계; 및

상기 멀티레벨 인버터 회로의 교류 전류 출력이 부하로 흐르는 양 방향인 것을 감지하면, 상기 멀티레벨 인버터 회로의 출력의 정반주기의 생성 동안 상기 제1 중립 스위치 및 상기 제1 메인 스위치의 스위칭 사이에 데드 타임을 제거하는 단계를 포함하는 멀티레벨 인버터 회로 동작 방법.

#### 청구항 2

제1항에 있어서,

상기 멀티레벨 인버터 회로의 출력의 정반주기 생성 동안 상기 멀티레벨 인버터 회로의 교류 전류 출력이 부하로 흐르는 양 방향일 때, 제1 기간 동안 상기 제1 중립 스위치는 지속적으로 턴 오프되는 단계를 포함하는 멀티레벨 인버터 회로 동작 방법.

#### 청구항 3

제1항에 있어서,

상기 멀티레벨 인버터 회로 출력의 부반주기의 생성 동안 제2 메인 스위치와 제2 중립 스위치를 조절하여, 상기 제2 메인 스위치는 상기 멀티레벨 인버터 회로의 출력 노드와 음노드의 연결을 제어하기 위해 스위칭하고, 상기 제2 중립 스위치는 상기 출력 노드와 음전위의 연결을 제어하기 위해 스위칭하는 단계; 및

상기 멀티레벨 인버터 회로의 교류 전류 출력이 음방향으로 흐르는 것을 감지하면, 상기 멀티레벨 인버터 회로의 출력의 부반주기의 생성 동안 상기 제2 중립 스위치 및 상기 제2 메인 스위치의 스위칭 사이에 데드 타임을 제거하는 단계를 더 포함하고,

상기 음방향은 부하로부터 상기 멀티레벨 인버터 회로로 흐르는 방향인 멀티레벨 인버터 회로 동작 방법.

#### 청구항 4

제3항에 있어서,

상기 멀티레벨 인버터 회로 출력의 부반주기 생성 동안 상기 멀티레벨 인버터 회로의 교류 전류 출력이 상기 음방향으로 흐를 때, 제2 기간동안 상기 제2 중립 스위치는 지속적으로 턴 오프되는 단계를 더 포함하는 멀티레벨 인버터 회로 동작 방법.

#### 청구항 5

제3항에 있어서,

상기 멀티레벨 인버터 회로의 교류 전류 출력이 음방향으로 흐를 때, 상기 멀티레벨 인버터 회로의 출력의 정반주기 생성 동안, 상기 제1 중립 스위치 및 상기 제1 메인 스위치의 스위칭 사이에 데드 타임을 삽입하는 단계를 더 포함하는 멀티레벨 인버터 회로 동작 방법.

#### 청구항 6

제5항에 있어서,

상기 멀티레벨 인버터 회로의 교류 전류 출력이 상기 양 방향으로 흐를 때, 상기 멀티레벨 인버터 회로의 출력의 부반주기 생성 동안, 상기 제2 중립 스위치 및 상기 제2 메인 스위치의 스위칭 사이에 데드 타임을 삽입하는 단계를 더 포함하는 멀티레벨 인버터 회로 동작 방법.

**청구항 7**

제1항에 있어서,

상기 양노드의 제 1 커패시터의 양 전압을 공급하는 단계; 및

음노드의 제2 커패시터의 음 전압을 공급하는 단계를 더 포함하고,

상기 제1 커패시터는 상기 양노드와 중립 노드 사이에 연결되어 있고, 상기 제2 커패시터는 상기 음노드와 상기 중립 노드 사이에 연결되어 있는 멀티레벨 인버터 회로 동작 방법.

**청구항 8**

제7항에 있어서,

역률보상(PFC) 회로를 사용하여, 상기 제1 커패시터 및 상기 제2 커패시터를 충전하는 단계를 더 포함하는 멀티레벨 인버터 회로 동작 방법.

**청구항 9**

제3항에 있어서,

다수의 태양 전지를 사용하여, 상기 양노드에 양 전압, 상기 음노드에 음 전압, 및 상기 양노드와 상기 음노드 사이의 중립 노드에 중립 전위를 공급하는 단계를 더 포함하는 멀티레벨 인버터 회로 동작 방법.

**청구항 10**

멀티레벨 인버터 회로를 동작하는 방법에 있어서,

상기 멀티레벨 인버터 회로의 교류(AC) 전압 출력의 제1 반주기를 생성하는 단계;

상기 멀티레벨 인버터 회로의 교류 전류 출력이 흐르는 방향을 감지하는 단계; 및

상기 교류 전압 출력의 상기 제 1 반주기의 생성 동안 상기 멀티레벨 인버터 회로의 교류 전류 출력이 흐르는 방향에 기초하여 상기 멀티레벨 인버터 회로의 제 1 중립 스위치 및 제1 메인 스위치의 스위칭 사이에 데드 타임을 제거하는 단계를 포함하는 멀티레벨 인버터 회로 동작 방법.

**청구항 11**

제10항에 있어서,

제1 기간에 상기 교류 전압 출력의 정반주기의 생성 동안 상기 교류 전류 출력이 부하로 향하는 양 방향으로 흐르는 것을 감지하는 단계를 더 포함하고,

상기 제1 기간 동안에, 상기 제1 중립 스위치 및 제1 메인 스위치의 스위칭 사이에 데드 타임을 제거하는 멀티레벨 인버터 회로 동작 방법.

**청구항 12**

제11항에 있어서,

상기 제 1 기간 동안에 상기 제1 중립 스위치는 지속적으로 오프되는 단계를 더 포함하는 멀티레벨 인버터 회로 동작 방법.

**청구항 13**

제 11항에 있어서,

상기 제1 기간 직전의 소정 기간에 상기 제1 중립 스위치 및 제1 메인 스위치의 스위칭 사이에 데드 타임을 삽

입하는 단계를 더 포함하는 멀티레벨 인버터 회로 동작 방법.

**청구항 14**

제11항에 있어서,

제2 기간에 상기 멀티레벨 인버터 회로의 교류 전압 출력의 부반주기 생성 동안 상기 교류 전류 출력이 음방향으로 흐르는 것을 감지하는 단계; 및

상기 제2 기간 동안 멀티레벨 인버터 회로의 제2 중립 스위치 및 제2 메인 스위치의 스위칭 사이에 데드 타임을 제거하는 단계를 더 포함하고,

상기 음방향은 부하로부터 상기 멀티레벨 인버터 회로로 흐르는 방향인 멀티레벨 인버터 회로 동작 방법.

**청구항 15**

제14항에 있어서,

상기 제2 기간 직전의 소정의 기간에 상기 제2 중립 스위치 및 제2 메인 스위치의 스위칭 사이에 데드 타임을 삽입하는 단계를 더 포함하는 멀티레벨 인버터 회로 동작 방법.

**청구항 16**

제14항에 있어서,

상기 제2 기간 동안 상기 제 2 중립 스위치를 지속적으로 오프되도록 유지하는 단계를 더 포함하는 멀티레벨 인버터 회로 동작 방법.

**청구항 17**

멀티레벨 인버터 회로에 있어서,

양전압 소스에 연결된 메인 양 스위치;

음전압 소스에 연결된 메인 음 스위치;

중립 전위 및 상기 메인 양 스위치에 연결된 중립 양 스위치;

상기 중립 전위 및 상기 메인 음 스위치에 연결된 중립 음 스위치; 및

상기 메인 양 스위치, 상기 메인 음 스위치, 상기 중립 양 스위치 및 상기 중립 음 스위치에 연결된 제어 출력을 가지고, 상기 멀티레벨 인버터 회로의 교류 전류 출력이 흐르는 방향을 나타내는 전류 벡터 정보를 받는 입력을 가지며, 상기 전류 벡터 정보에 기초하여 상기 중립 음 스위치와 상기 메인 양 스위치의 스위칭 사이 및 상기 중립 양 스위치와 상기 메인 음 스위치의 스위칭 사이에 데드 타임을 제거하는 인버터 제어 회로를 포함하는 멀티레벨 인버터 회로.

**청구항 18**

제 17항에 있어서,

상기 메인 양 스위치, 상기 메인 음 스위치, 상기 중립 양 스위치 및 상기 중립 음 스위치는, 금속 산화물 반도체 (MOS) 트랜지스터로 구성된 멀티레벨 인버터 회로.

**청구항 19**

제17항에 있어서,

상기 양 전압 소스를 제공하는 제1 커패시터 및 상기 음 전압 소스를 제공하는 제2 커패시터를 더 포함하는 멀티레벨 인버터 회로.

**청구항 20**

제 19항에 있어서,

상기 제 1 커패시터 및 상기 제 2 커패시터는 역률 보상 (PFC) 회로에 의해 충전되는 멀티레벨 인버터 회로.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 일반적으로 전기 회로, 구체적으로 멀티레벨 인버터들에 관한 것이다.

**배경 기술**

[0002] 인버터들은 직류(DC)를 교류(AC)로 전환하는 전기 회로이다. 예를 들어, 인버터들은 모터 제어 및 태양 전지 등에 다양하게 적용되고 있다.

[0003] 멀티레벨 인버터들은 파워 트랜지스터들과 같은 스위치들과 커패시터 전압 소스들을 포함할 수 있다. 파워 트랜지스터들의 스위칭 동작은 커패시터 전압 소스들 중 하나의 전압을 출력으로 표시한다. 멀티레벨 인버터들은 양 (positive), 중립(neutral), 및 음(minus)과 같은 세 개 이상의 레벨의 출력 전압을 생성한다. 파워 트랜지스터들은 데드 타임 (dead time)에 동기되어 동작하도록 조절되어, 의도되지 않은 전도나 단락이 방지될 수 있다.

[0004] 그런데 데드 타임에 의해 전고조파 왜곡(THD)이 발생할 수 있다. 전고조파 왜곡은 정현파 교류 전압 출력( $V_o$ )의 피크를 왜곡시킬 수 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 개선된 전고조파 왜곡 및 출력의 피크 왜곡을 방지할 수 있는 인버터 및 그 동작 방법을 제공하고자 한다.

**과제의 해결 수단**

[0006] 본 발명의 실시 예에 따른 멀티레벨 인버터 회로를 동작시키는 방법은, 상기 멀티레벨 인버터 회로 출력의 정반 주기의 생성 동안 제1 메인 스위치와 제1 중립 스위치를 조절하여, 상기 제1 메인 스위치는 상기 멀티레벨 인버터 회로의 출력 노드와 양노드의 연결을 제어하기 위해 스위칭하고, 상기 제1 중립 스위치는 상기 출력 노드와 중립 전위의 연결을 제어하기 위해 스위칭하는 단계; 상기 멀티레벨 인버터 회로의 교류 전류 출력이 흐르는 방향을 감지하는 단계; 및 상기 멀티레벨 인버터 회로의 교류 전류 출력이 부하로 흐르는 양 방향인 것을 감지하면, 상기 멀티레벨 인버터 회로의 출력의 정반주기의 생성 동안 상기 제1 중립 스위치 및 상기 제1 메인 스위치의 스위칭 사이에 데드 타임을 제거하는 단계를 포함한다.

[0007] 상기 멀티레벨 인버터 회로 동작 방법은, 상기 멀티레벨 인버터 회로의 출력의 정반주기 생성 동안 상기 멀티레벨 인버터 회로의 교류 전류 출력이 부하로 흐르는 양방향일 때, 제1 기간 동안 상기 제1 중립 스위치는 지속적으로 턴 오프되는 단계를 포함한다.

[0008] 상기 멀티레벨 인버터 회로 동작 방법은, 상기 멀티레벨 인버터 회로 출력의 부반주기의 생성 동안 제2 메인 스위치와 제2 중립 스위치를 조절하여, 상기 제2 메인 스위치는 상기 멀티레벨 인버터 회로의 출력 노드와 음노드의 연결을 제어하기 위해 스위칭하고, 상기 제2 중립 스위치는 상기 출력 노드와 음전위의 연결을 제어하기 위해 스위칭하는 단계; 및 상기 멀티레벨 인버터 회로의 교류 전류 출력이 음방향으로 흐르는 것을 감지하면, 상기 멀티레벨 인버터 회로의 출력의 부반주기의 생성 동안 상기 제2 중립 스위치 및 상기 제2 메인 스위치의 스위칭 사이에 데드 타임을 제거하는 단계를 더 포함한다. 상기 음방향은 부하로부터 상기 멀티레벨 인버터 회로로 흐르는 방향이다.

[0009] 상기 멀티레벨 인버터 회로 동작 방법은, 상기 멀티레벨 인버터 회로 출력의 부반주기 생성 동안 상기 멀티레벨 인버터 회로의 교류 전류 출력이 상기 음방향으로 흐를 때, 제2 기간동안 상기 제2 중립 스위치는 지속적으로 턴 오프되는 단계를 더 포함한다.

- [0010] 상기 멀티레벨 인버터 회로 동작 방법은, 상기 멀티레벨 인버터 회로의 교류 전류 출력이 음방향으로 흐를 때, 상기 멀티레벨 인버터 회로의 출력의 정반주기 생성 동안, 상기 제1 중립 스위치 및 상기 제1 메인 스위치의 스위칭 사이에 데드 타임을 삽입하는 단계를 더 포함한다.
- [0011] 상기 멀티레벨 인버터 회로 동작 방법은, 상기 멀티레벨 인버터 회로의 교류 전류 출력이 상기 양방향으로 흐를 때, 상기 멀티레벨 인버터 회로의 출력의 부반주기 생성 동안, 상기 제2 중립 스위치 및 상기 제2 메인 스위치의 스위칭 사이에 데드 타임을 삽입하는 단계를 더 포함한다.
- [0012] 상기 멀티레벨 인버터 회로 동작 방법은, 상기 양노드의 제 1 커패시터의 양 전압을 공급하는 단계; 및 상기 음노드의 제2 커패시터의 음 전압을 공급하는 단계를 더 포함하고, 상기 중립 노드는 상기 제1 및 제2 커패시터의 단자 사이에 있다.
- [0013] 상기 멀티레벨 인버터 회로 동작 방법은, 역률보상(PFC) 회로를 사용하여, 상기 제1 커패시터 및 상기 제2 커패시터를 충전하는 단계를 더 포함한다.
- [0014] 상기 멀티레벨 인버터 회로 동작 방법은, 다수의 태양 전지를 사용하여, 상기 양노드에 양 전압, 상기 음노드에 음 전압, 및 상기 중립 노드에 중립 전위를 공급하는 단계를 더 포함한다.
- [0015] 본 발명의 실시 예에 따른 멀티레벨 인버터 회로를 동작하는 방법은, 상기 멀티레벨 인버터 회로의 교류(AC) 전압 출력의 제1 반주기를 생성하는 단계; 상기 멀티레벨 인버터 회로의 교류 전류 출력이 흐르는 방향을 감지하는 단계; 및 상기 교류 전압 출력의 상기 제 1 반주기의 생성 동안 상기 멀티레벨 인버터 회로의 교류 전류 출력이 흐르는 방향에 기초하여 상기 멀티레벨 인버터 회로의 제 1 중립 스위치 및 제1 메인 스위치의 스위칭 사이에 데드 타임을 제거하는 단계를 포함한다.
- [0016] 상기 멀티레벨 인버터 회로 동작 방법은, 제1 기간에 상기 교류 전압 출력의 정반주기의 생성 동안 상기 교류 전류 출력이 상기 양 방향으로 흐르는 것을 감지하는 단계를 더 포함하고, 상기 제1 기간 동안에, 상기 제1 중립 스위치 및 제1 메인 스위치의 스위칭 사이에 데드 타임을 제거한다.
- [0017] 상기 멀티레벨 인버터 회로 동작 방법은, 상기 제 1 기간 동안에 상기 제1 중립 스위치는 지속적으로 오프되는 단계를 더 포함한다.
- [0018] 상기 멀티레벨 인버터 회로 동작 방법은, 상기 제1 기간 직전의 소정 기간에 상기 제1 중립 스위치 및 제1 메인 스위치의 스위칭 사이에 데드 타임을 삽입하는 단계를 더 포함한다.
- [0019] 상기 멀티레벨 인버터 회로 동작 방법은, 제2 기간에 상기 멀티레벨 인버터 회로의 교류 전압 출력의 부반주기 생성 동안 상기 교류 전류 출력이 음방향으로 흐르는 것을 감지하는 단계; 및 상기 제2 기간 동안 멀티레벨 인버터 회로의 제2 중립 스위치 및 제2 메인 스위치의 스위칭 사이에 데드 타임을 제거하는 단계를 더 포함하고, 상기 음방향은 부하로부터 상기 멀티레벨 인버터 회로로 흐르는 방향이다.
- [0020] 상기 멀티레벨 인버터 회로 동작 방법은, 상기 제2 기간 직전의 소정의 기간에 상기 제2 중립 스위치 및 제2 메인 스위치의 스위칭 사이에 데드 타임을 삽입하는 단계를 더 포함한다.
- [0021] 상기 멀티레벨 인버터 회로 동작 방법은, 상기 제2 기간 동안 상기 제 2 중립 스위치를 지속적으로 오프되도록 유지하는 단계를 더 포함한다.
- [0022] 본 발명의 실시 예에 따른 멀티레벨 인버터 회로는, 양전압 소스에 연결된 메인 양 스위치; 음전압 소스에 연결된 메인 음 스위치; 중립 전위 및 상기 메인 양 스위치에 연결된 중립 양 스위치; 상기 중립 전위 및 상기 메인 음 스위치에 연결된 중립 음 스위치; 및 상기 메인 양 스위치, 상기 메인 음 스위치, 상기 중립 양 스위치 및 상기 중립 음 스위치에 연결된 제어 출력을 가지고, 상기 멀티레벨 인버터 회로의 교류 전류 출력이 흐르는 방향을 나타내는 전류 벡터 정보를 받는 입력을 가지며, 상기 전류 벡터 정보에 기초하여 상기 중립 음 스위치와 상기 메인 양 스위치의 스위칭 사이 및 상기 중립 양 스위치와 상기 메인 음 스위치의 스위칭 사이에 데드 타임을 제거하는 인버터 제어 회로를 포함한다.
- [0023] 상기 메인 양 스위치, 상기 메인 음 스위치, 상기 중립 양 스위치 및 상기 중립 음 스위치는, 금속 산화물 반도체 (MOS) 트랜지스터로 구성된다.
- [0024] 상기 멀티레벨 인버터 회로는, 상기 양 전압 소스를 제공하는 제1 커패시터 및 상기 음 전압 소스를 제공하는 제2 커패시터를 더 포함한다.

[0025] 상기 제 1 커패시터 및 상기 제 2 커패시터는 역률 보상 (PFC) 회로에 의해 충전된다.

**발명의 효과**

[0026] 본 발명의 실시 예에 따르면, 데드 타임에 의해 발생하는 전고조파 왜곡(THD)으로 인한 정현파 교류 전압 출력 (Vo)의 피크 왜곡을 방지할 수 있다.

**도면의 간단한 설명**

- [0027] 도 1은 본 발명의 실시 예에 따른 멀티레벨 인버터 회로와 전기 회로의 개략도이다.
  - 도 2는 본 발명의 실시 예에 따른 멀티레벨 인버터 회로의 이상적인 제어 펄스의 파형을 나타낸 흐름도이다.
  - 도 3은 본 발명의 다른 실시 예에 따른 멀티레벨 인버터 회로를 가진 전기 회로의 개략도이다.
  - 도 4는 본 발명의 실시 예에 따른 데드 타임 (dead time)을 조절하는 전류 벡터를 나타낸 흐름도이다.
  - 도 5는 본 발명의 다른 실시 예에 따른 데드 타임 (dead time)을 조절하는 전류 벡터를 나타낸 흐름도이다.
  - 도 6은 본 발명의 실시 예에 따른 도 3의 멀티레벨 인버터 회로를 모의로 나타낸 개략도이다.
  - 도 7은 도 6의 멀티레벨 인버터 회로의 시뮬레이션 결과를 보여주는 그래프이다.
  - 도 8은 시뮬레이션에서 데드 타임 (dead time)이 제로인 이상적인 경우에서 도 6의 멀티레벨 인버터 회로의 교류 전압 출력의 파형도를 나타낸다.
  - 도 9는 시뮬레이션에서 데드 타임 (dead time)이 삽입된 비이상적인 경우에서 도 6의 멀티레벨 인버터 회로의 교류 전압 출력의 파형도를 나타낸다.
- 다른 도면에서 동일한 참조 부호는 동일하거나 같은 구성 요소를 나타낸다.

**발명을 실시하기 위한 구체적인 내용**

- [0028] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0029] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0030] 본 발명의 실시 예들은 전고주파 왜곡의 개선을 위해 데드 타임 (dead time)을 제어하는 전류 벡터, 이 전류 벡터가 적용되는 인버터 기술 및 제어 방식을 제공한다.
- [0031] 도 1은 본 발명의 실시 예에 따른 멀티레벨 인버터 회로(160)와 전기 회로의 개략도이다.
- [0032] 멀티레벨 인버터 회로(160)는 커패시터(C1)과 커패시터(C2)의 직류(DC) 전압을 커패시터(CF)를 거쳐서 정현파 교류(AC) 전압 출력(Vo)으로 변환한다. 도 1에 도시된 바와 같이, 멀티레벨 인버터 회로(160)는 역률 보상 (power factor correction, 이하 PFC)회로(100)에 연결되어 있다.
- [0033] PFC 회로(100)는 직류 전압 소스 역할을 하는 커패시터(C1)와 커패시터(C2)를 충전하기 위해 교류 소스(예를 들어, 교류 전기 콘센트)에 연결되어 있다. PFC 회로(100)를 포함한 PFC 회로의 동작은 일반적으로 본 발명이 속하는 기술분야에서 널리 알려져 있으며 그 설명은 생략한다.
- [0034] 멀티레벨 인버터 회로(160)는 PFC 회로 대신에 직류 전압 소스를 공급할 수 있는 다른 전기 회로에 연결될 수 있다. 예를 들어, 멀티레벨 인버터 회로(160)는 태양광 발전소의 복수 태양 전지로부터 직류 전압을 받도록 연결될 수 있다.
- [0035] 특히, 한 예를 들면, 멀티레벨 인버터 회로(160)는 양(Positive) 노드(102)에 정전압 소스(positive voltage



source), 음(minus) 노드(104)에 음전압 소스(negative voltage source), 그리고 태양 전지로부터 중립(neutral) 노드(103)에 중립 전위(neutral potential)를 받을 수 있다

- [0036] 도 1에서, 멀티레벨 인버터 회로(160)는 커패시터(C1)와 커패시터(C2), 4 개의 중립 양 스위치(Neutral Positive Switch)(SNP), 중립 음 스위치(Neutral Minus Switch)(SNM), 메인 양 스위치(Main Positive Switch)(SMP), 메인 음 스위치(Main Minus Switch)(SMM), 다이오드(D1), 다이오드(D2), 변류기(151), 출력 인덕터(LF), 출력 커패시터(CF) 및 인버터 제어 회로(130)를 포함한다.
- [0037] 인버터 제어 회로(130)는 정현파 교류 전압 출력( $V_o$ )을 생성하는 중립 양 스위치(SNP), 중립 음 스위치(SNM), 메인 양 스위치(SMP), 및 메인 음 스위치(SMM)를 스위칭 하기 위한 제어 펄스들을 생성하는 전기 회로를 포함한다. 본 발명의 실시예에서, 인버터 제어 회로(130)는 전류 벡터 정보를 변류기(151)(current transformer)로부터 받기 위해 전기적으로 변류기(151)에 연결되어 있다.
- [0038] 전류 벡터 정보는 멀티레벨 인버터 회로(160)의 교류 전류 출력이 부하로 향하는 양 방향 (화살표 152 참조) 또는 부하로부터 인버터로 향하는 음 방향 (화살표 153 참조)으로 가고 있는지를 나타낸다. 후술하는 바와 같이, 멀티레벨 인버터 제어 회로(160)는 전류 벡터 정보를 기초로 스위칭 데드 타임 (dead time)을 제거한다.
- [0039] 인버터 제어 회로(130)에 의해 생성된 제어 펄스('게이트 펄스'로도 지칭됨.)들 각각은 대응하는 스위치를 턴 온 또는 턴 오프하기 위해 해당 스위치의 제어 요소에 인가된다. 그 제어 요소는 스위치로 사용되는 트랜지스터 (또는 다른 스위칭 장치)의 타입에 따라 베이스, 게이트 또는 다른 단자가 될 수 있다.
- [0040] 도 1에서 도시된 바와 같이, 중립 양 스위치(SNP), 중립 음 스위치(SNM), 메인 양 스위치(SMP), 메인 음 스위치(SMM)는 NPN 바이폴라 접합 트랜지스터(BJT)를 포함하고, 인버터 제어 회로(130)에 의해 생성되는 제어 펄스들은 해당 트랜지스터의 베이스에 인가된다. 중립 양 스위치(SNP), 중립 음 스위치(SNM), 메인 양 스위치(SMP), 메인 음 스위치(SMM) 중 하나 이상이 금속 산화물 반도체 (MOS) 트랜지스터인 경우에는 인버터 제어 회로(130)에 의해 생성된 제어 펄스가 해당 트랜지스터의 게이트에 인가된다.
- [0041] 멀티레벨 인버터 회로(160)의 이산 출력은 멀티레벨로서, 예를 들어, 세 개의 다른 레벨로서 이산 출력 노드(155)에 생성된다. 이 때, 세 개의 다른 레벨은 중립, 양 전압 및 음 전압이다.
- [0042] 도 1에서 커패시터(C1)와 커패시터(C2)는 양노드(102)에 양전압 (+ E), 중립 노드(103)에 중립 전위 (N), 및 음노드(104)에 부 전압 (-E) 을 제공하는 직류 전압 소스 역할을 한다. 이산 출력 노드(155)의 멀티레벨 전압은 인덕터(LF)와 커패시터(CF)로 형성된 필터 네트워크에 의해 부드럽게 세이핑되어, 부하로 공급되는 정현파 교류 전압 출력( $V_o$ )으로 생성된다. .
- [0043] 도 1에서 커패시터(C1)의 일단은 음노드(102)에 연결되어 있고 커패시터(C1)의 타단은 중립노드(103)에 연결되어 있다. 커패시터(C2)의 일단은 커패시터(C1)의 타단과 중립노드(103)에 연결되며, 커패시터(C2)의 타단은 음노드(104)에 연결되어 있다. 중립 양 스위치(SNP)의 일단은 중립노드(103)에 연결되어 있고, 중립 양 스위치(SNP)의 타단은 중립 음 스위치(SNM)의 일단에 연결되어 있다. 중립 음 스위치(SNM)의 타단은 이산 출력 노드(155)에 연결되어 있다.
- [0044] 다이오드(D1)은 중립 양 스위치(SNP) 의 양단에 연결되어 있고, 다이오드(D2)는 중립 음 스위치(SNM)의 양단에 연결되어 있다. 메인 양 스위치(SMP)의 일단은 정 노드 102에 연결되어 있고, 메인 양 스위치(SMP)의 타단은 이산 출력 노드(155)에 연결되어 있다. 메인 음 스위치(SMM)의 일단 음노드(104)에 연결되어 있고, 메인 음 스위치(SMM)의 타단은 메인 양 스위치(SMP)의 타단과 이산 출력 노드(155)에 연결되어 있다.
- [0045] 변류기(151)은 멀티레벨 인버터 회로(160)의 교류 전류 출력과 함께 인덕터(LF)에 직렬로 연결되어 있다. 인덕터(LF)의 일단은 이산 출력 노드(155)에 연결되며 인덕터(LF)의 타단은 커패시터(CF)의 일단에 연결되어 있다. 커패시터(CF)의 타단은 중립노드(103)에 연결되어 있다. 교류 전압 출력( $V_o$ )은 인덕터(LF)의 타단이 커패시터(CF)의 일단에 연결된 노드에서 발생된다.
- [0046] 메인 양 스위치(SMP)는 양전압(+E)과 이산 출력 노드(155)를 연결하는 메인 스위치이고, 메인 음 스위치(SMM)는 음전압(-E)과 이산 출력 노드(155)를 연결하는 메인 스위치이다. 마찬가지로, 중립 양 스위치(SNP)와 중립 음 스위치(SNM)는 중립 전위 N을 이산 출력 노드(155)에 연결하는 중립 스위치들이다. 멀티 레벨 인버터 회로(160)의 토폴로지(topology)에서 중립 중립 양 스위치(SNP)와 중립 음 스위치(SNM)는 중립노드(103)와 이산 출력 노드(155) 사이에 직렬로 연결되어 있다.

- [0047] 지금부터 도 1의 전기 회로의 동작은 도 2의 흐름도를 참조하여 설명한다.
- [0048] 도 2는 본 발명의 실시 예에 따른 멀티레벨 인버터 회로의 동작을 제어하는 인버터 제어 회로에 의해 생성되는 이상적인 제어 펄스들의 파형도이다.
- [0049] 이하 설명에서, 하이 레벨 제어 펄스는 해당 스위치를 턴 온하고, 로우 레벨 제어 펄스는 해당 스위치를 턴 오프한다. 스위치를 턴 온 또는 턴 오프하기 위한 레벨은 해당 스위치 및 그 스위치의 구조에 달려있다. 제어 펄스(401)는 메인 양 스위치(SMP)의 스위칭을 제어하고, 제어 펄스(402)는 메인 음 스위치(SMM)의 스위칭을 제어하며, 제어 펄스(403)은 중립 양 스위치(SNP)의 스위칭을 제어하고, 제어 펄스(404)는 중립 음 스위치(SNM)의 스위칭을 제어한다.
- [0050] 간단한 설명하자면, 제어 펄스(401-404)들은 스위칭 간에 데드 타임이 없다는 점에서 "이상적인 제어 펄스"라고 언급된다.
- [0051] 또한, 도 2는 이산 출력 노드(155)에서 이산 출력(400)의 파형도를 보여준다. 이산 출력(400)의 양의 반주기(이하, 정반주기)를 생성하기 위해 메인 음 스위치(SMM) (제어 펄스 402 참조)는 턴 오프되고, 중립 양 스위치(SNP)(제어 펄스 403 참조)는 턴 온 된다. 예를 들어, 펄스 폭 변조 (PWM) 또는 기타 제어 방식에 의해 메인 양 스위치(SMP)(제어 펄스 401 참조) 및 SNM (제어 펄스 404 참조)의 온/오프가 조절된다.
- [0052] 이산 출력(400)의 정반주기 생성 기간 동안, 메인 양 스위치(SMP)가 턴 온 되고 중립 음 스위치(SNM)는 턴 오프 되어, 멀티레벨 인버터(160)의 출력 전류는 부하로 향하는 양 방향(화살표 152 참조)으로 흐른다. 그러면 양전압 출력 +E가 생성된다. 다이오드(D1)은 역방향 전류 흐름을 막는다.
- [0053] 또한 이산 출력(400)의 정반주기 생성 기간 동안, 메인 양 스위치(SMP)가 턴 오프 되고 중립 음 스위치(SNM)이 턴 온 되어, 중립 노드(103)의 중립 전위를 이산 출력 노드(155)에 연결한다. 그러면 이산 출력(400)은 중립 전위 N이 된다.
- [0054] 이산 출력(400)의 음의 반주기(이하, 부반주기)를 생성하기 위해, 메인 양 스위치(SMP)는 턴 오프되고, 중립 음 스위치(SNM)은 턴 온된다. 예를 들면 PWM 방식에 의해 메인 음 스위치(SMM) 및 중립 양 스위치(SNP)의 온/오프가 조절된다. 이산 출력(400)의 부반주기 생성 기간 동안, 메인 음 스위치(SMM)는 턴 온 되고, 중립 양 스위치(SNP)는 턴 오프 되어, 멀티레벨 인버터(160)의 출력 전류는 부하로부터 멀어지는 방향 즉, 음 방향(화살표 153 참조)으로 흐르도록 한다. 그러면, 음 전압 출력 -E이 생성된다. 다이오드(D2)는 역방향 전류 흐름을 막는다.
- [0055] 또한 이산 출력(400)의 부반주기의 생성 기간 동안, 메인 음 스위치(SMM)는 턴 오프 되고 중립 양 스위치(SNP)는 턴 온 되어, 중립 노드(103)의 중립 전위를 이산 출력 노드(155)에 연결한다, 그러면 이산 출력(400)은 중립 전위 N이 된다.
- [0056] 이산 출력(400)은 정현과 교류 전압 출력( $V_o$ )을 생성하는 인덕터(LF)와 커패시터(CF)로 형성된 필터 네트워크에 입력된다. 이산 출력(400)의 정반주기 생성은 정현과 교류 전압 출력( $V_o$ )의 정반주기의 생성에 대응한다. 마찬가지로, 이산 출력(400)의 부반주기의 생성은 정현과 교류 전압 출력( $V_o$ )의 부반주기의 생성에 대응한다. 따라서, 특별히 명시하지 않는 한, "인버터 출력"은 이산 출력 또는 인버터의 정현과 교류 전압 출력을 참고한다.
- [0057] 도 3은 본 발명의 실시예에 따른 멀티레벨 인버터 회로과 전기 회로를 나타낸다. 도 3에서, 커패시터(C1)의 일단은 양노드(102)에 연결되어 있고 커패시터(C1)의 타단은 중립노드(103)에 연결되어 있다. 커패시터(C2)의 일단은 커패시터(C1)의 타단과 중립노드(103)에 연결되며, 커패시터(C2)의 타단은 음노드(104)에 연결되어 있다.
- [0058] 메인 양 스위치(SMP)의 일단은 양노드(102)에 연결되며, 메인 양 스위치(SMP)의 타단이 중립 양 스위치(SNP)의 일단에 연결되어 있다. 중립 양 스위치(SNP)의 타단이 이산 출력 노드(155)에 연결되어 있다.
- [0059] 다이오드(D1)는 중립노드(103)를 메인 양 스위치(SMP)의 타단과 중립 양 스위치(SNP)의 일단에 연결한다. 메인 음 스위치(SMM)의 일단은 음노드(104)에 연결되어 있고 메인 음 스위치(SMM)의 타단은 중립 음 스위치(SNM)의 일단에 연결되어 있다. 중립 음 스위치(SNM)의 타단은 이산 출력 노드(155)에 연결되어 있다.
- [0060] 다이오드(D2)는 중립노드(103)를 메인 음 스위치(SMM)의 타단과 중립 음 스위치(SNM)의 일단에 연결한다. 변류기(151)는 멀티레벨 인버터 회로(170)의 교류 전류 출력이 인덕터(LF)에 흐르는 라인에 연결되어 있다. 인덕터(LF)의 일단은 이산 출력 노드(155)에 연결되고 인덕터(LF)의 타단은 커패시터(CF)의 일단에 연결되어 있다. 커패시터(CF)의 타단은 중립노드(103)에 연결되어 있다. 교류 전압 출력( $V_o$ )는 인덕터(LF)의 타단과 커패시터(CF)의 일단이 연결된 노드에서 발생된다.

- [0061] 멀티레벨 인버터 회로(170)는 도 1의 멀티레벨 인버터 회로(160)와 같은 구성 요소를 가지고 있으며, 비슷한 방식으로 동작한다. 두 인버터 회로 간의 차이점은, 멀티레벨 인버터 회로(170)의 토폴로지에서 중립 양 스위치(neutral positive switch)(SNP)가 메인 양 스위치(main positive switch)(SMP)와 직렬로 연결되어 있고, 중립 음 스위치(neutral minus switch)(SNM)와 메인 음 스위치(main minus switch)(SMM)가 직렬로 연결되어 있다.
- [0062] 또한, 메인 스위치들(main switches)(SMP, SMM)은 멀티레벨 인버터 회로(170)에서 MOS 트랜지스터이다. 스위칭 요소 및 토폴로지의 선택은 어플리케이션(application) 및 디자인 트레이드 오프(design trade off)에 따라 달라진다. 도 3의 전기 회로의 구성 요소와 노드는 도 1의 전기 회로를 참고해서 설명한 바와 같으므로, 도 2의 제어 펄스들이 동일하게 멀티레벨 인버터 회로(170)에 적용된다.
- [0063] 데드 타임(dead time)은 일반적으로 의도되지 않은 전도 또는 단락을 방지하기 위해 실제 회로에 필요하다. 멀티레벨 인버터 회로에서, 데드 타임 (dead time)은 일반적으로 메인 스위치의 스위칭과 메인 스위치와 함께 조절되는 중립(neutral) 스위치의 스위칭 사이에 삽입된다.
- [0064] 예를 들어, 인버터 출력의 정반주기를 생성하기 위해 양 전압 +E 및 중립 전위 N 사이의 이산 출력을 생성하도록 메인 양 스위치(SMP) 및 중립 음 스위치(SNM)를 조절할 때, 메인 양 스위치(SMP) 및 중립 음 스위치(SNM) 모두 다른 스위치 (즉, SMP 또는 SNM)가 턴 온 되기 전에 오프 되는 시간으로 데드 타임이 삽입된다. 인버터 출력의 부반주기를 생성하기 위해 음 전압 -E 및 중립 전위 N 사이의 이산 출력을 생성하도록 메인 음 스위치(SMM) 및 중립 양 스위치(SNP)를 조절할 때도 마찬가지다. 즉, 두 스위치들이 교대로 스위칭되거나 스위칭 동작이 조절될 때, 두 스위치들의 스위칭 변환 시, 두 스위치가 모두 턴 오프되는 시간이 데드 타임이다.
- [0065] 도 4는 본 발명의 실시 예에 따라 데드 타임(dead time)이 조절된 전류 벡터를 나타낸 흐름도이다. 도 4에서, 파형 401-404은 도 2의 파형과 같고 메인 양 스위치(SMP), 메인 음 스위치(SMM), 중립 양 스위치(SNP) 및 중립 음 스위치(SNM) 각각에 대한 이상적인 제어 펄스(401-404)들을 나타낸다. 제어 펄스(401-404)는 스위칭 전환 사이에 데드 타임 (dead time)을 포함하지 않는 것이 이상적이다.
- [0066] 도 4에서, 제어 펄스(421-424)들은 데드 타임 (dead time)과 함께 스위치들(SMP, SMM, SNP, SNM)을 스위칭 하기 위한 제어 펄스를 나타낸다. 제어 펄스(421)는 메인 양 스위치(SMP)의 스위칭을 제어하고, 제어 펄스(422)는 메인 음 스위치(SMM)의 스위칭을 제어하며, 제어 펄스(423)는 중립 양 스위치(SNP)의 스위칭을 제어하고, 제어 펄스(424)는 중립 음 스위치(SNM)의 스위칭을 제어한다.
- [0067] 제어 펄스(421) 및 제어 펄스(424)를 참고하면, 메인 양 스위치(SMP) 및 중립 음 스위치(SNM)은 인버터 출력의 정반주기(화살표 471) 동안 교대로 스위칭한다. 중립 음 스위치(SNM)의 턴 오프와 메인 양 스위치(SMP)의 턴 온 사이 그리고 그 반대 즉, 중립 음 스위치(SNM)의 턴 온과 메인 양 스위치(SMP)의 턴 오프 사이가 데드 타임(DT)이다. 구체적으로, 중립 음 스위치(SNM)가 턴 오프 된 후 메인 양 스위치(SMP)가 턴 온 되기 전 기간이 데드 타임이며, 메인 양 스위치(SMP)가 턴 오프 된 후 중립 음 스위치(SNM)가 턴 온 되기 전이 데드 타임이다. 데드 타임은 중립 음 스위치(SNM)와 메인 양 스위치(SMP)가 동시에 턴 온 되는 것을 방지한다.
- [0068] 마찬가지로, 메인 음 스위치(SMM)와 중립 양 스위치(SNP)는 인버터 출력의 부반주기(화살표 481 참조) 동안 교대로 스위칭한다.
- [0069] 중립 양 스위치(SNP)의 턴 오프와 메인 음 스위치(SMM)의 턴 온 사이 그리고 그 반대 즉, 중립 양 스위치(SNP)의 턴 온과 메인 음 스위치(SMM)의 턴 오프 사이가 데드 타임 (DT)이다. 데드 타임은 중립 양 스위치(SNP)와 메인 음 스위치(SMM)가 동시에 턴 온 되는 것을 방지한다.
- [0070] 실시예에서, 인버터 제어 회로(130)는 메인 스위치의 및 전류 벡터를 기초로 함께 조절되는 중립 스위치의 스위칭 전환 사이에 데드 타임을 제거하거나 조정한다.
- [0071] 실시예에서, 인버터 제어 회로(130)는 인버터의 교류 전류 출력이 인버터의 교류 전압 출력과 같은 극성을 가지는 방향으로 흐르는 기간 동안 스위칭 전환 사이의 데드 타임을 제거한다
- [0072] 보다 구체적으로, 인버터 제어 회로(130)는 기간(474) 동안에 메인 양 스위치(SMP)와 함께 조절되는 중립 음 스위치(SNM)와 메인 양 메인 양 스위치(SMP)의 스위칭 전환 사이에 데드 타임을 제거하도록 구성되어 있다. 기간(474)은 인버터 출력의 정반주기(471)와 인버터의 교류 전류 출력이 부하로 흐르는 양 방향 기간(473)이 중첩되는 기간이다. 이 때 인버터의 교류 전류 출력의 방향은 변류기(151)의 전류 벡터 정보(151)를 통해 알 수 있다.
- [0073] 유사하게, 인버터 제어 회로(130)는 기간(484) 동안에 메인 음 스위치(SMM)와 함께 조절되는 중립 양 스위치(SNP)와 메인 음 스위치(SMM)의 스위칭 전환 사이에 데드 타임을 제거하도록 구성되어 있다. 기간(484)은 인버

터 출력의 부반주기(화살표 481) 중 인버터의 교류 전류 출력이 음 방향(도 1의 화살표 153)으로 흐르는 기간(482)과 중첩되는 기간이다. 이 때 인버터의 교류 전류 출력은 방향은 변류기(151)의 전류 벡터 정보를 통해 알 수 있다.

- [0074] 도 4에서, 인버터 출력의 정반주기 동안, 데드 타임이 인버터 제어 회로(130)에 의해 제거되는 기간은 화살표 474로 표시되어 있고, 인버터 출력의 부반주기 동안 데드 타임이 인버터 제어 회로(130)에 의해 제거되는 기간은 화살표 484로 표시되어 있다. 데드 타임이 제거된 이 기간들 동안, 각 기간에 대응하는 메인 스위치(즉, 인버터 출력의 정반주기 동안의 메인 양 스위치(SMP) 또는 인버터 출력의 부반주기 동안의 메인 음 스위치(SMM))는 대응하는 중립 스위치가 턴 오프 되는 것을 기다리지 않고 턴 온 된다.
- [0075] 예를 들어, 메인 스위치는 대응 중립 스위치가 턴 오프 되는 동시에 턴 온 될 수 있다. 이 경우에는 메인 스위치의 제어 펄스의 하강 에지와 중립 스위치의 제어 펄스의 상승 에지가 동시에 발생할 수 있으며, 메인 스위치와 중립 스위치 모두가 턴 온 되는 짧은 순간이 있을 수 있다. 그러나, 그 순간에, 다이오드(D1) 및 중립 양 스위치(SNP)의 포워드(forward) 전압 강하는 다이오드(D2)를 역방향 바이어스시켜, 샷-쓰로우(shoot-through) 상황이 방지될 수 있다.
- [0076] 도 4에서, 인버터 제어 회로(130)가 데드 타임을 제거한 기간(474) 동안, 메인 양 스위치(SMP)는 중립 음 스위치(SNM)의 턴 오프를 기다리지 않고 턴 온 된다. 예를 들어, 기간(474) 동안 제어 펄스(451)와 제어 펄스(424)를 비교해보면, 중립 스위치(SNM)를 턴 오프 하기 위한 제어 펄스(424) 하강 에지 시점(T1)에 제어 펄스(451)의 상승 에지가 발생한다. 따라서 시점(T1)에 메인 양 스위치(SMP)가 턴 온 된다.
- [0077] 인버터의 교류 전류 출력이 음 방향으로 흐르고 인버터의 출력이 정반주기에 있는 기간(476) 동안, 인버터 제어 회로(130)는 데드 타임을 유지한다. 이 기간(476)에서, 인버터 제어 회로(130)는 중립 음 스위치(SNM)의 턴 오프 및 메인 양 스위치(SMP)의 턴 온 사이 및 그 반대의 경우에 데드 타임(DT)을 삽입한다. 도 4에서 기간(472)는 인버터의 교류 전류 출력이 음 방향으로 흐르는 기간이다.
- [0078] 마찬가지로, 인버터 제어 회로(130)가 데드 타임을 제거한 기간(484) 동안, 메인 음 스위치(SMM)는 중립 양 스위치(SNP)의 턴 오프를 기다리지 않고 턴 온 된다.
- [0079] 예를 들어, 기간(484) 동안 제어 펄스(452)와 제어 펄스(423)을 비교해보면, 중립 스위치(SNP)를 턴 오프 하기 위한 제어 펄스(423) 하강 에지 시점(T2)에 제어 펄스(452)의 상승 에지가 발생한다. 따라서 시점(T2)에 메인 음 스위치(SMM)가 턴 온 된다.
- [0080] 인버터의 교류 전류 출력이 양 방향으로 흐르고 인버터의 출력이 부반주기에 있는 기간(486) 동안, 인버터 제어 회로(130)는 데드 타임을 삽입한다. 이 기간(486)에서, 인버터 제어 회로(130)는 중립 스위치(SNP)의 턴 오프 및 메인 음 스위치(SMM)의 턴 온 사이 및 그 반대의 경우에도 데드 타임을 삽입한다.
- [0081] 데드 타임이 제거된 기간(474)과 기간(484) 동안, 이산 출력 노드(155)의 전위가 충분하지 않아 잘못된 방향으로 전류가 흐르지 않는다. 그래서, 중립 스위치는 이 기간 동안 대응하는 메인 스위치와 함께 조절되는 대신 지속적으로 턴 오프 될 수 있다. 이것은 도 5의 흐름도에 제어 펄스(501)과 제어 펄스(502)로 나타난다.
- [0082] 인버터 출력의 정반주기(도 5의 471) 동안 데드 타임이 제거된 기간(474) 중, 인버터 제어 회로(130)는 도 5에 도시된 파형을 가지는 제어 펄스(502)로 중립 음 중립 음 스위치(SNM)를 지속적으로 턴 오프한다. 유사하게, 인버터 출력의 부반주기(도 5의 481) 동안 데드 타임이 제거된 기간(484) 중, 인버터 제어 회로(130)는 도 5에 도시된 파형을 가지는 제어 펄스(501)로 중립 양 스위치(SNP)를 지속적으로 턴 오프한다.
- [0083] 도 5의 흐름도에서 제어 펄스들 401-404, 421, 451 및 452는 도 4의 제어 펄스와 같다.
- [0084] 인버터 제어 회로(130)는 도 2, 4 및 5의 흐름도를 참고해서 설명한 바와 같이 데드 타임을 조정 또는 제거하기 위해 멀티레벨 인버터(예, 160 및 170)를 조절하는 아날로그, 디지털 또는 아날로그 및 디지털 회로의 조합을 사용하여 구현될 수 있다.
- [0085] 예를 들어, 도 4의 흐름도를 참고해서, 인버터 제어 회로(130)는 중립 음 스위치(SNM) 및 메인 양 스위치(SMP)를 조절함에 있어 제어 펄스(424) 및 제어 펄스(451)를, 중립 양 스위치(SNP) 및 메인 음 스위치(SMM)를 조절함에 있어 제어 펄스(423)과 제어 펄스(452)를 생성하도록 구성될 수 있다.
- [0086] 또 다른 예를 들어, 도 5의 흐름도를 참고해서, 인버터 제어 회로(130)는 중립 음 스위치(SNM) 및 메인 양 스위치(SMP)를 조절함에 있어 제어 펄스(502) 및 제어 펄스(451)를, 중립 양 스위치(SNP) 및 메인 음 스위치(SMM)를

조절함에 있어 제어 펄스(501)과 제어 펄스(452)를 생성하도록 구성될 수 있다.

- [0087] 일반적으로, 인버터 제어 회로(130)는 인버터의 교류 전류 출력의 방향을 결정하기 위해 변류기(151)에서 전류 벡터 정보를 받도록 구성될 수 있다. 인버터의 교류 전류 출력이 부하(즉, 교류 전압 출력( $V_o$ ))로 흐르는 양 방향이고, 인버터가 교류 전압 출력( $V_o$ )의 정반주기를 생성할 때, 인버터 제어 회로(130)는 중립 음 스위치(SNM)의 턴 오프와 메인 양 스위치(SMP)의 턴 온 사이 및 그 반대의 경우에 데드 타임을 제거한다. 이 경우, 인버터 제어 회로(130)는 중립 음 스위치(SNM)가 턴 오프 됨과 동시에 메인 양 스위치(SMP)를 턴 온할 수 있다. 인버터 제어 회로(130)는 교류 전압 출력( $V_o$ )의 정반주기의 생성기간이 아닌 나머지 기간에는 메인 양 스위치(SMP)와 중립 음 스위치(SNM)의 전환 사이에 데드 타임을 지속적으로 추가한다.
- [0088] 인버터의 교류 전류 출력이 부하로부터 흐르는 음방향(즉, 인버터로 향하는 방향)이고, 인버터가 교류 전압 출력( $V_o$ )의 부반주기를 생성할 때, 인버터 제어 회로(130)는 중립 양 스위치(SNP)의 턴 오프와 메인 음 스위치(SMM)의 턴 온 사이 및 그 반대의 경우에 데드 타임을 제거한다. 이 경우, 인버터 제어 회로(130)는 중립 양 스위치(SNP)가 턴 오프 됨과 동시에 메인 음 스위치(SMM)를 턴 온할 수 있다. 인버터 제어 회로(130)는 교류 전압 출력( $V_o$ )의 부반주기 생성기간이 아닌 나머지 기간에는 메인 음 스위치(SMM)와 중립 양 스위치(SNP)의 전환 사이에 데드 타임을 지속적으로 추가한다.
- [0089] 도 6은 Powersim, Inc에서 상업적으로 사용되는 PSIM v. 9.0 회로 시뮬레이션 소프트웨어를 사용하여 시뮬레이션한 멀티레벨 인버터 회로(170) (도 3)의 개략도를 나타낸 도면이다.
- [0090] 도 6에서 커패시터(C1) 및 커패시터(C2)의 양단에 연결되어 있는 500V직류 전원이 멀티레벨 인버터 회로(170)에 입력된다. 메인과 중립 스위치는 시뮬레이션에서 MOS 트랜지스터로 구성된다. 메인과 중립 스위치는 0부터 1us(micro second)까지 가변하는 데드 타임을 가지는 제어 펄스로 구동된다.
- [0091] 도 7 은 시뮬레이션의 결과를 보여주는 그래프다. 도 7의 그래프에서, 수직축은 전고조파 왜곡을 퍼센트(%)로 나타내고, 수평축은 us(micro second)단위로 데드 타임을 나타낸다. 도 7에서 도시된 바와 같이, 정현파 교류 전압 출력( $V_o$ )의 전고조파 왜곡은 데드 타임을 조절하는 전류 벡터에 따라 데드 타임이 제거될수록 감소한다.
- [0092] 도 8은 시뮬레이션에서 데드 타임이 0인 이상적인 경우에 교류 전압 출력( $V_o$ )의 파형도를 나타낸다.
- [0093] 도 9는 시뮬레이션에서 소정의 데드 타임이 있을 때 교류 전압 출력( $V_o$ )의 파형도를 나타낸다. 도 8과 9의 점선 부분에서 볼 수 있듯이, 데드 타임이 있을 때, 증가한 전고조파 왜곡(THD)은 정현파 교류 전압 출력( $V_o$ )의 피크를 왜곡한다. 따라서, 데드 타임을 제거하는 것은 멀티레벨 인버터의 전고조파 왜곡을 개선하는 효과를 제공할 수 있다.
- [0094] 전기 회로 및 멀티레벨 인버터를 위해 데드 타임을 조절하는 전류 벡터 방법을 설명했다.
- [0095] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

**부호의 설명**

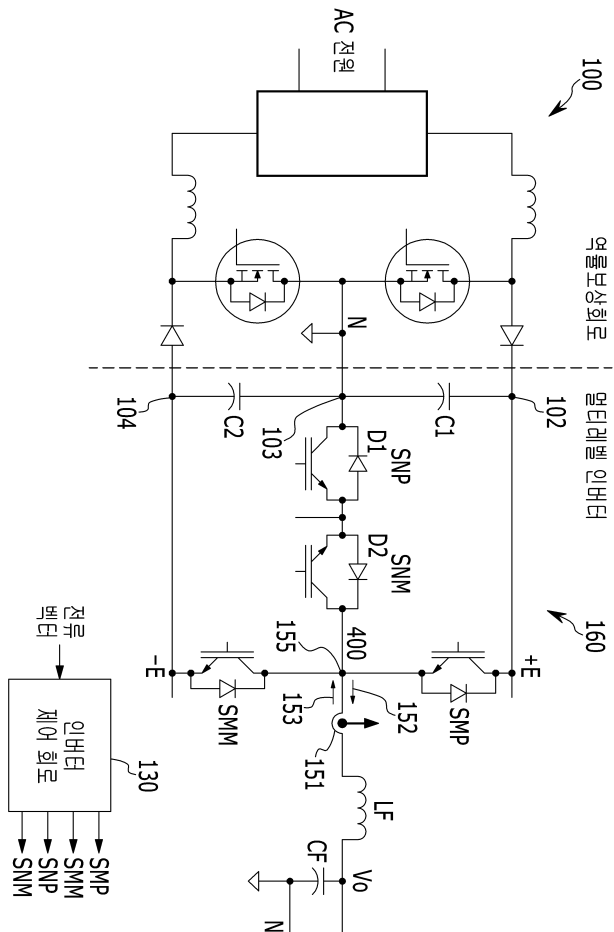
- [0096] 멀티레벨 인버터 회로(160, 170)
- 커패시터(C1)
- 커패시터(C2)
- 커패시터(CF)
- PFC 회로(100)
- 중립 양 스위치(SNP)
- 중립 음 스위치(SNM)
- 메인 양 스위치(SMP)
- 메인 음 스위치(SMM)
- 변류기(151)

인버터 제어 회로(130)

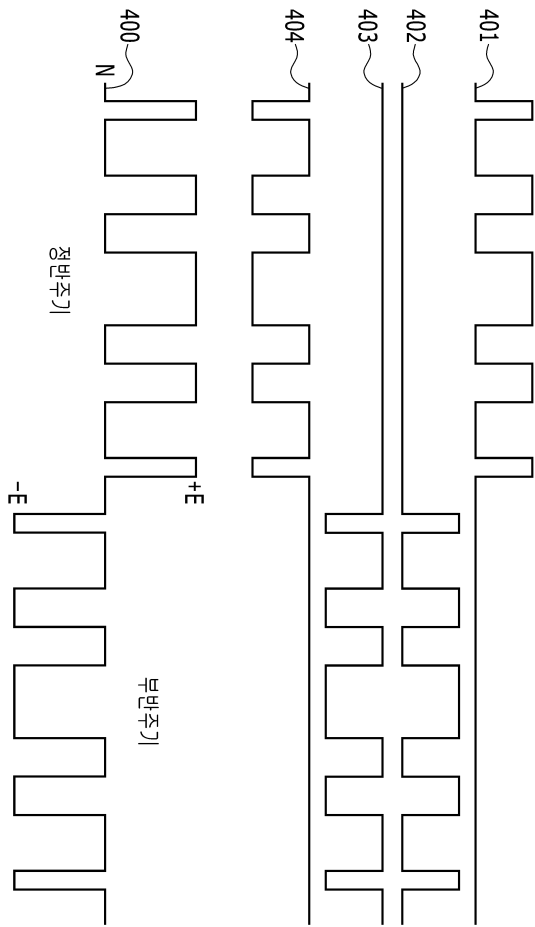
인덕터(LF)

도면

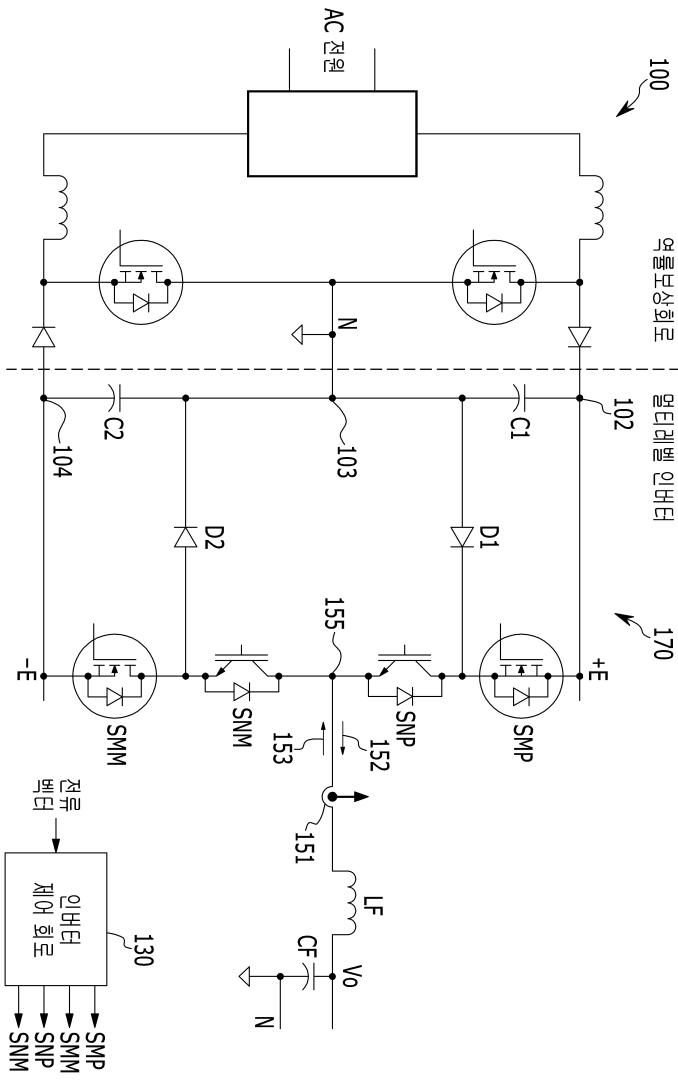
도면1



도면2

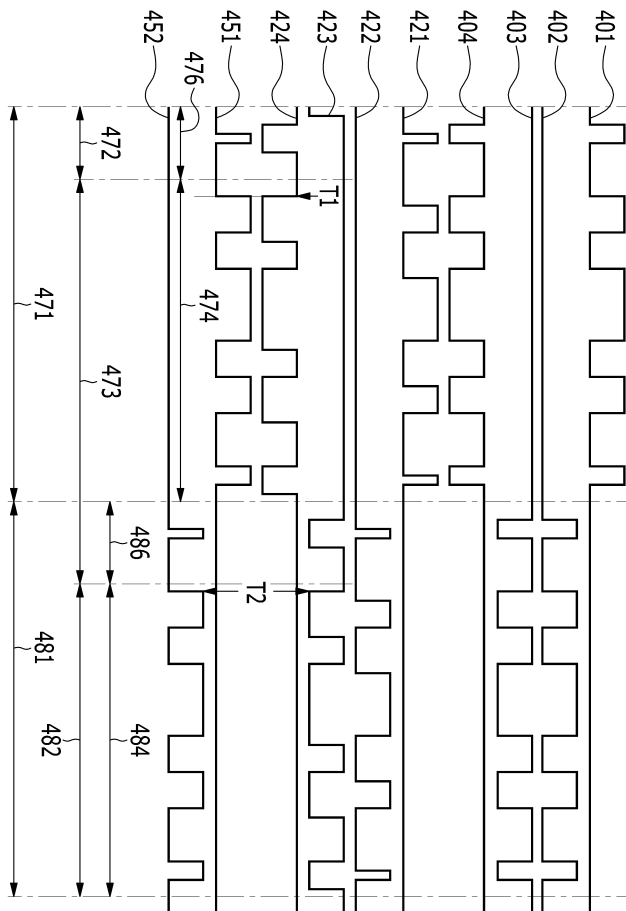


도면3

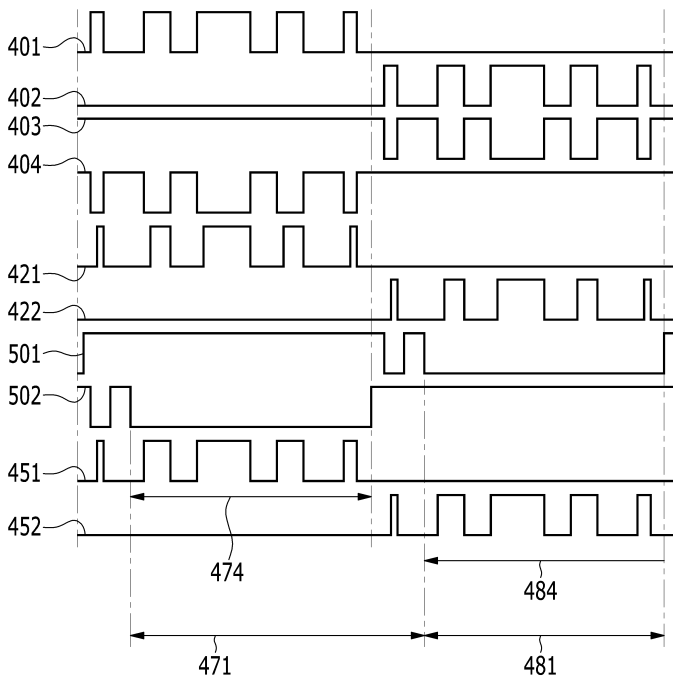




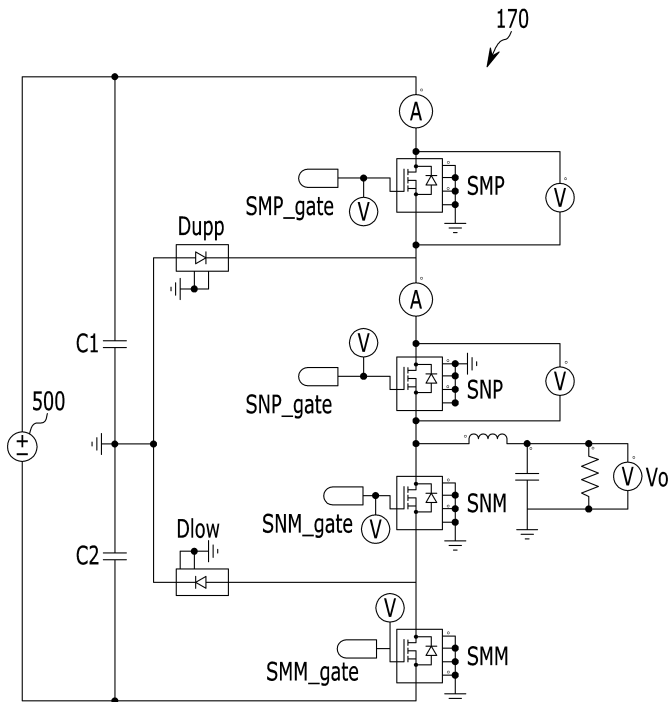
도면4



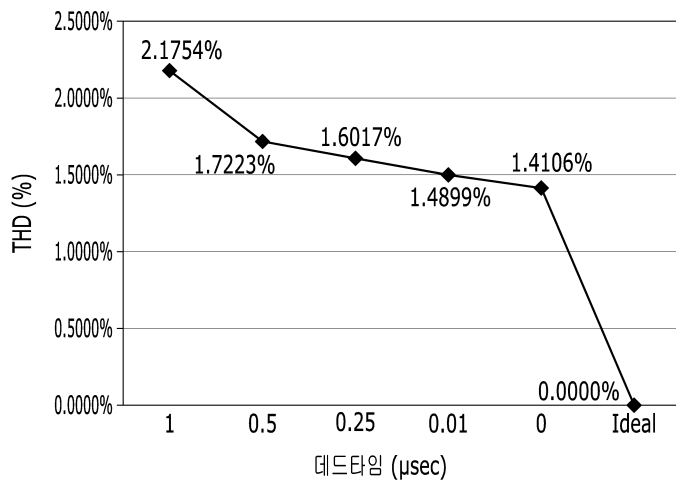
도면5



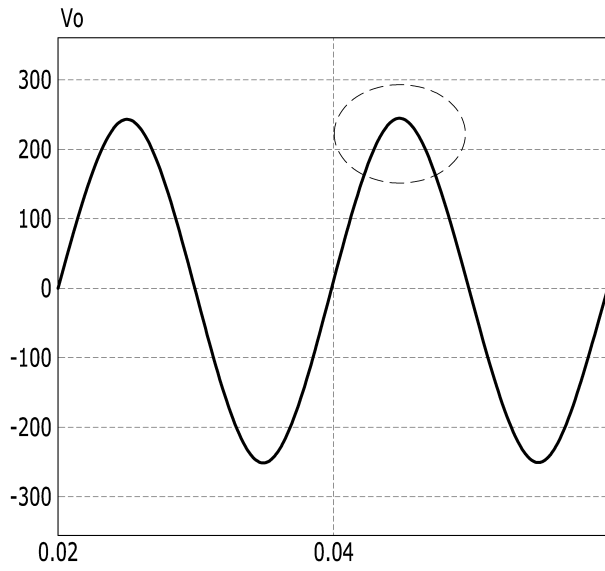
도면6



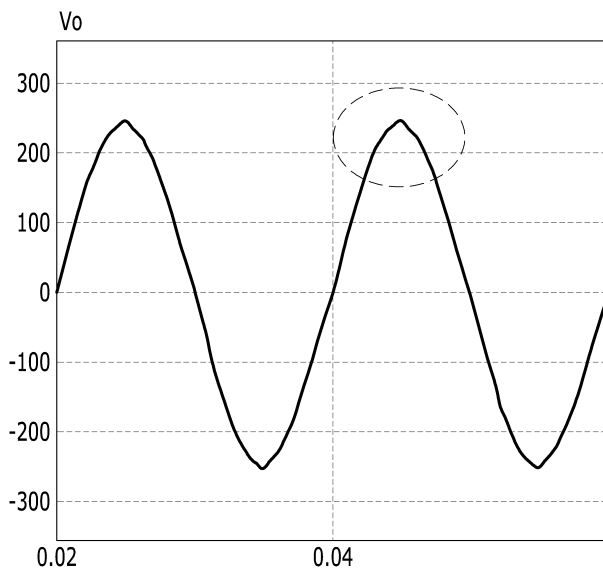
도면7



도면8



도면9



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 제11항 내지 제16항 말미

【변경전】

멀티레벨 인버터 회로 동작 방법.

【변경후】

멀티레벨 인버터 회로 동작 방법.