

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-266329

(P2009-266329A)

(43) 公開日 平成21年11月12日(2009.11.12)

(51) Int.Cl. F I テーマコード(参考)  
**G 1 1 C 11/416 (2006.01)** G 1 1 C 11/34 3 3 1 5 B 0 1 5  
**G 1 1 C 11/413 (2006.01)** G 1 1 C 11/34 J

審査請求 未請求 請求項の数 2 O L (全 22 頁)

(21) 出願番号 特願2008-116591 (P2008-116591)  
 (22) 出願日 平成20年4月28日 (2008.4.28)

(71) 出願人 308014341  
 富士通マイクロエレクトロニクス株式会社  
 東京都新宿区西新宿二丁目7番1号  
 (74) 代理人 100092174  
 弁理士 平戸 哲夫  
 (72) 発明者 井本 博之  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内  
 Fターム(参考) 5B015 HH01 JJ24 KA33 KB12 KB20  
 KB22 KB92

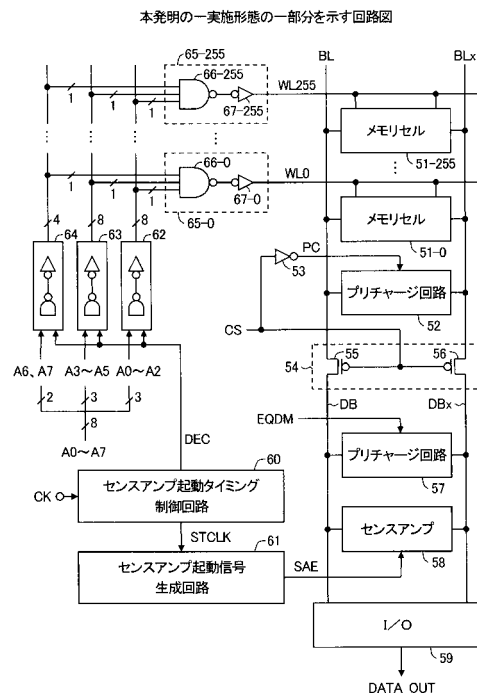
(54) 【発明の名称】 スタティックRAM

(57) 【要約】

【課題】センスアンプ起動タイミングの最適化を図り、アクセスタイムの短縮化を図ることができるSRAMを提供する。

【解決手段】センスアンプ起動タイミング制御回路60内に、VDDにリセットされるダミービット線DBLと、ダミービット線DBLに接続され、メモリセルの選択時に選択される複数のレプリカセルと、メモリセルの選択後、ダミービット線DBLがVDD/2に下降すると、ダミービット線DBLの電位をVDDにリセットするリセット回路と、メモリセルの選択後、ダミービット線DBLが2回目にVDD/2に下降したときに、センスアンプ起動タイミング信号STCLKを生成するセンスアンプ起動タイミング信号生成部とを含める。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 の電位にプリチャージされるビット線に接続されたメモリセルと、  
前記メモリセルから読み出された電圧を増幅するセンスアンプと、  
前記センスアンプにセンスアンプ起動信号を与えて前記センスアンプを起動するセンスアンプ起動信号生成回路と、

前記センスアンプ起動信号生成回路にセンスアンプ起動タイミング信号を与えて、前記センスアンプの起動タイミングを制御するセンスアンプ起動タイミング制御回路と、  
を有し、

前記センスアンプ起動タイミング制御回路は、

10

前記第 1 の電位にプリチャージされるダミービット線と、

前記ダミービット線に接続され、前記メモリセルの選択時に選択される複数のレプリカセルと、

前記メモリセルの選択後、前記ダミービット線が第 2 の電位に変化すると、前記ダミービット線の電位を前記第 1 の電位にリセットするリセット回路と、

前記メモリセルの選択後、前記ダミービット線が所定回数目に前記第 2 の電位になったときに、前記センスアンプ起動タイミング信号を生成するセンスアンプ起動タイミング信号生成部と、

を有することを特徴とするスタティック R A M。

20

## 【請求項 2】

前記センスアンプ起動タイミング信号生成部は、

前記ダミービット線の前記第 2 の電位への遷移回数を計数する計数回路と、

前記計数回路の計数値と所定値とを比較する比較器と、

前記比較器の出力信号と前記ダミービット線の電位を検出するダミービット線電位検出回路の出力信号とを入力して前記センスアンプ起動タイミング信号を生成するセンスアンプ起動タイミング信号生成回路と、

を有することを特徴とする請求項 1 に記載のスタティック R A M。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

30

本発明は、メモリセルから読み出された電圧を増幅するセンスアンプの起動タイミングを最適タイミングに制御するセンスアンプ起動タイミング制御回路を有するスタティック R A M (static random access memory. 以下、S R A M という) に関する。

## 【背景技術】

## 【0002】

図 8 は従来 of S R A M の一例の一部分を示す回路図である。図 8 中、1 はメモリセル、W L はワード線、B L、B L x はビット線、D B、D B x はデータバス、2 はセンスアンプ、3 はセンスアンプ起動タイミング制御回路、4 はセンスアンプ起動信号生成回路である。

## 【0003】

40

メモリセル 1 は、記憶媒体として C M O S インバータ 5、6 をクロス接続したフリップフロップ 7 を有している。C M O S インバータ 5、6 において、8、9 は P M O S トランジスタ、10、11 は N M O S トランジスタである。また、12、13 は転送ゲートをなす N M O S トランジスタである。

## 【0004】

センスアンプ 2 は、P M O S トランジスタ 14、15 と、N M O S トランジスタ 16 ~ 18 とを有している。P M O S トランジスタ 14、15 及び P M O S トランジスタ 16、17 はラッチ型アンプとして動作するものである。N M O S トランジスタ 18 は、センスアンプ起動信号 S A E により O N、O F F が制御されるものである。

## 【0005】

50

ここで、センスアンプ起動信号 S A E が L レベルのときは、N M O S トランジスタ 1 8 は O F F となり、センスアンプ 2 は非活性状態となる。これに対して、センスアンプ起動信号 S A E が H レベルのときは、N M O S トランジスタ 1 8 は O N となり、センスアンプ 2 は活性状態となる。

**【 0 0 0 6 】**

センスアンプ起動タイミング制御回路 3 は、センスアンプ起動タイミング信号 S T C L K を生成するものである。センスアンプ起動信号生成回路 4 は、センスアンプ起動タイミング制御回路 3 が出力するセンスアンプ起動タイミング信号 S T C L K を受けてセンスアンプ起動信号 S A E を生成するものである。

**【 0 0 0 7 】**

図 9 はセンスアンプ起動タイミング制御回路 3 の構成を示す回路図である。図 9 中、2 0 はセルフリセット回路、2 1 はセルフリセット回路 2 0 の出力信号 O U T を反転してセンスアンプ起動タイミング信号 S T C L K を出力するインバータである。

**【 0 0 0 8 】**

セルフリセット回路 2 0 において、D W L L はダミーワード線、D B L はダミービット線、2 2 は電源電圧 V D D を供給する V D D 電源線、2 3 は P M O S トランジスタ、2 4 はインバータ、2 5 - 1、2 5 - N はレプリカセルである。レプリカセル 2 5 - 2 ~ 2 5 - ( N - 1 ) は図示を省略している。レプリカセル 2 5 - 1 ~ 2 5 - N は、メモリセル 1 が有するトランジスタと同一サイズのトランジスタを使用して構成されたものである。

**【 0 0 0 9 】**

P M O S トランジスタ 2 3 は、ダミービット線 D B L の電位を電源電位 V D D にプリチャージするものであり、ソースを V D D 電源線 2 2 に接続し、ドレインをダミービット線 D B L に接続し、ゲートをダミーワード線 D W L L に接続している。インバータ 2 4 は、ダミービット線 D B L の電位変化を検出してダミービット線電位検出信号 O U T を出力するものであり、そのスレッシュホールド電位を  $0.5 \times V D D$  とするものである。

**【 0 0 1 0 】**

レプリカセル 2 5 - 1 は、記憶媒体として C M O S インバータ 2 6 - 1、2 7 - 1 をクロス接続してなるフリップフロップ 2 8 - 1 を有している。C M O S インバータ 2 6 - 1、2 7 - 1 において、2 9 - 1、3 0 - 1 は P M O S トランジスタ、3 1 - 1、3 2 - 1 は N M O S トランジスタである。

**【 0 0 1 1 】**

また、3 3 - 1、3 4 - 1 は転送ゲートをなす N M O S トランジスタである。N M O S トランジスタ 3 3 - 1 は、ソースをダミービット線 D B L に接続し、ドレインを記憶ノード 3 5 - 1 に接続し、ゲートをダミーワード線 D W L L に接続している。N M O S トランジスタ 3 4 - 1 は、ソースを開放とし、ドレインを記憶ノード 3 6 - 1 に接続し、ゲートをダミーワード線 D W L L に接続している。

**【 0 0 1 2 】**

また、記憶ノード 3 6 - 1 は、V D D 電源線に接続されている。したがって、電源投入後、レプリカセル 2 5 - 1 においては、常に、P M O S トランジスタ 2 9 - 1 は O F F、N M O S トランジスタ 3 1 - 1 は O N、P M O S トランジスタ 3 0 - 1 は O N、N M O S トランジスタ 3 2 - 1 は O F F となる。

**【 0 0 1 3 】**

レプリカセル 2 5 - N は、記憶媒体として C M O S インバータ 2 6 - N、2 7 - N をクロス接続してなるフリップフロップ 2 8 - N を有している。C M O S インバータ 2 6 - N、2 7 - N において、2 9 - N、3 0 - N は P M O S トランジスタ、3 1 - N、3 2 - N は N M O S トランジスタである。

**【 0 0 1 4 】**

また、3 3 - N、3 4 - N は転送ゲートをなす N M O S トランジスタである。N M O S トランジスタ 3 3 - N は、ソースをダミービット線 D B L に接続し、ドレインを記憶ノード 3 5 - N に接続し、ゲートをダミーワード線 D W L L に接続している。N M O S トラン

10

20

30

40

50

ジスタ 34 - N は、ソースを開放とし、ドレインを記憶ノード 36 - N に接続し、ゲートをダミーワード線 DWL L に接続している。

【 0015 】

また、記憶ノード 36 - N は、VDD 電源線に接続されている。したがって、電源投入後、レプリカセル 25 - N においては、常に、PMOS トランジスタ 29 - N は OFF、NMOS トランジスタ 31 - N は ON、PMOS トランジスタ 30 - N は ON、NMOS トランジスタ 32 - N は OFF となる。

【 0016 】

図示しないレプリカセル 25 - 2 ~ 25 - (N - 1) も、レプリカセル 25 - 1、25 - N と同様に構成され、レプリカセル 25 - 1、25 - N と同様にダミーワード線 DWL L 及びダミービット線 DBL に接続される。

10

【 0017 】

図 10 はセンスアンプ起動タイミング制御回路 3 の動作を示す波形図である。(A) はダミービット線 DWL L の電位、(B) はダミービット線 DBL の電位、(C) はセルフリセット回路 20 が出力するダミービット線電位検出信号 OUT、(D) はセンスアンプ起動タイミング制御回路 3 が出力するセンスアンプ起動タイミング信号 STCLK を示している。

【 0018 】

ここで、ダミーワード線 DWL L の電位が L レベルである場合、PMOS トランジスタ 23 は ON となっており、NMOS トランジスタ 33 - 1 ~ 33 - N は OFF となっている。この結果、ダミービット線 DBL は PMOS トランジスタ 23 を介して充電されており、ダミービット線 DBL の電位は電源電位 VDD、ダミービット線電位検出信号 OUT は L レベル、センスアンプ起動タイミング信号 STCLK は H レベルになっている。

20

【 0019 】

この状態から、ダミーワード線 DWL L の電位を H レベルにすると、PMOS トランジスタ 23 は OFF、NMOS トランジスタ 33 - 1 ~ 33 - N は ON となる。この結果、レプリカセル 25 - i (但し、i = 1、2、...、N である。) においては、ダミービット線 DBL から NMOS トランジスタ 33 - i、31 - i を介して接地側に電流が流れ、ダミービット線 DBL の電位は接地電位 0V に向かって下降し始める。その後、ダミービット線 DBL の電位がインバータ 24 のスレッシュホールド電位 ( $0.5 \times VDD$ ) に達すると、ダミービット線電位検出信号 OUT は H レベル、センスアンプ起動信号 STCLK は L レベルとなる。

30

【 0020 】

その後、ダミーワード線 DWL L の電位を L レベルに戻すと、PMOS トランジスタ 23 は ON、NMOS トランジスタ 33 - 1 ~ 33 - N は OFF となる。この結果、ダミービット線 DBL は PMOS トランジスタ 23 を介して充電され、ダミービット線 DBL の電位は電源電位 VDD に向かって上昇する。その後、ダミービット線 DBL の電位がインバータ 24 のスレッシュホールド電位に達すると、ダミービット線電位検出信号 OUT は L レベル、センスアンプ起動タイミング信号 STCLK は H レベルに戻る。

【 0021 】

図 11 はセンスアンプ起動信号生成回路 4 の構成を示す回路図である。図 11 中、38 はインバータ、39 は遅延回路、40 は NAND 回路、41 はインバータである。インバータ 38 はセンスアンプ起動タイミング信号 OUT を反転するものである。遅延回路 39 は、センスアンプ起動タイミング信号 STCLK を遅延するものであり、インバータを縦列接続して構成されている。NAND 回路 40 は、インバータ 38 の出力信号と遅延回路 39 の出力信号とを NAND 処理するものである。インバータ 41 は NAND 回路 40 の出力信号を反転してセンスアンプ起動信号 SAE を出力するものである。

40

【 0022 】

図 12 はセンスアンプ起動信号生成回路 4 の動作を示す波形図である。(A) はセンスアンプ起動タイミング信号 STCLK、(B) はインバータ 38 の出力信号、(C) は遅

50

延回路 39 の出力信号、(D) は NAND 回路 40 の出力信号、(E) はセンスアンプ起動信号 SAE を示している。

【0023】

ここで、センスアンプ起動タイミング信号 STCLK が H レベルである場合、インバータ 38 の出力信号は L レベル、遅延回路 39 の出力信号は H レベル、NAND 回路 40 の出力信号は H レベル、センスアンプ起動信号 SAE は L レベルとなる。

【0024】

この状態から、センスアンプ起動タイミング信号 STCLK が L レベルになると、インバータ 38 の出力信号は H レベルとなり、NAND 回路 40 の出力信号は L レベル、センスアンプ起動信号 SAE は H レベルとなる。その後、遅延回路 39 の遅延時間が経過すると、遅延回路 39 の出力信号は L レベルになる。この結果、NAND 回路 40 の出力信号は H レベルとなり、センスアンプ起動信号 SAE は L レベルに戻る。

10

【0025】

即ち、センスアンプ起動信号生成回路 4 は、センスアンプ起動タイミング信号 STCLK が H レベルから L レベルに遷移すると、センスアンプ起動信号 SAE を H レベルにし、一定時間だけセンスアンプ起動信号 SAE を H レベルとすることにより、センスアンプ起動信号 SAE の H レベル期間だけセンスアンプ 2 を活性状態にするというものである。

【0026】

図 13 は図 8 に示す従来の SRAM のメモリセル 1 からのデータリード時の動作例を示す波形図である。図 13 はメモリセル 1 が “0” を記憶している場合、即ち、メモリセル 1 では、PMOS トランジスタ 8 が OFF、NMOS トランジスタ 10 が ON、PMOS トランジスタ 9 が ON、NMOS トランジスタ 11 が OFF とされ、記憶ノード 43 の電位が接地電位 0 V、記憶ノード 44 の電位が電源電位 VDD とされている場合を例にしている。

20

【0027】

(A) はワード線 WL の電位、(B) はビット線 BL、BLx の電位、(C) はデータバス DB、DBx の電位、(D) はダミーワード線 DWL の電位、(E) はダミービット線 DBL の電位、(F) はセンスアンプ起動タイミング信号 STCLK、(G) はセンスアンプ起動信号 SAE を示している。なお、図 13 (D)、(E)、(F) はそれぞれ図 10 (A)、(B)、(D) に対応し、図 13 (F)、(G) はそれぞれ図 12 (A)、(E) に対応している。

30

【0028】

図 8 に示す従来の SRAM においては、リード時にメモリセルが選択される前には、ビット線 BL、BLx とデータバス DB、DBx とは図示しないコラム選択回路により電氣的に非接続とされた状態で、ビット線 BL、BLx 及びデータバス DB、DBx はそれぞれ電源電位 VDD にプリチャージされている。そして、例えば、メモリセル 1 が選択される場合には、ワード線 WL 及びダミーワード線 DWL が同時に H レベルにされると共に、コラム選択回路を介してビット線 BL、BLx 及びデータバス DB、DBx とが電氣的に接続される。

40

【0029】

ここで、ワード線 WL が H レベルとされることから、メモリセル 1 の転送ゲートをなす NMOS トランジスタ 12、13 は ON となる。この場合、NMOS トランジスタ 10 は ON となっているので、ビット線 BL から NMOS トランジスタ 12、10 を介して接地側に電流が流れ始め、ビット線 BL の電位は、接地電位 0 V に向かって下降し始める。したがって、また、データバス DB の電位も接地電位 0 V に向かって下降し始める。

【0030】

他方、NMOS トランジスタ 11 は OFF となっているので、ビット線 BLx から NMOS トランジスタ 13、11 を介して接地側に電流が流れることはなく、ビット線 BLx の電位は電源電位 VDD に維持される。したがって、また、データバス DBx の電位も電源電位 VDD に維持される。

50

## 【0031】

また、ダミーワード線DWLLがHレベルとされることから、前述したように、ダミービット線DBLの電位も接地電位0Vに向かって下降し始める。その後、ダミービット線DBLの電位がインバータ24のスレッシュホールド電位に達すると、センスアンプ起動タイミング信号STCLKはLレベルとなる。

## 【0032】

ここで、センスアンプ起動信号生成回路4は、センスアンプ起動タイミング信号STCLKがHレベルからLレベルに変化すると、センスアンプ起動信号SAEをHレベルにする。この結果、センスアンプ2のNMOSTランジスタ18はONとなり、センスアンプ2は活性状態となる。他方、ワード線WLはLレベルに戻されると共に、ビット線BL、BLxとデータバスDB、DBxとの間のコラム選択回路はOFFとされ、ビット線BL、BLxの電位が電源電位VDDにリセットされる。

10

## 【0033】

また、この場合、データバスDBの電位<データバスDBxの電位となっているので、センスアンプ2においては、PMOSTランジスタ14はOFF、NMOSTランジスタ16はON、PMOSTランジスタ15はON、NMOSTランジスタ17はOFFとなる。この結果、データバスDBの電位は接地電位0Vに引き下げられ、データバスDBxの電位は電源電位VDDに維持される。その後、ダミーワード線DWLLがLレベルに戻され、ダミービット線DBLの電位が電源電位VDDにリセットされると共に、データバスDB、DBxの電位が電源電位VDDにリセットされる。

20

## 【0034】

以上のように、図8に示す従来のSRAMにおいては、本物のメモリセル1の特性とレプリカセル25-1~25-Nの特性との間に相関があることを利用してセンスアンプ起動タイミング信号STCLKを得るとしている。そして、センスアンプ起動タイミング制御回路3においては、レプリカセル25-1~25-Nの負荷が本物のメモリセル1の負荷と同一となるようにダミービット線DBLを設け、レプリカセル25-1~25-Nの“0”が出力される側の出力端子をダミービット線DBLに接続している。

## 【0035】

この結果、ダミービット線DBLからレプリカセル25-1~25-Nを介して接地側に流れる電流は、ビット線BL又はビット線BLxからメモリセル1を介して接地側に流れる電流よりもN倍大きく、ダミービット線DBLの電位は、ビット線BL又はビット線BLxの電位変化のN倍の早さで変化する。本例の場合、ダミービット線DBLの電位をインバータ24で受けてセンスアンプ起動タイミングを判定しているため、ダミービット線DBLの電位がインバータ24のスレッシュホールド電位に下降した時点がセンスアンプ起動タイミングであると判定されることになる。

30

## 【0036】

他方、メモリセル1からの読み出し電圧は、センスアンプ2で受けるが、メモリセル1からのリードデータの0/1判定に必要なデータバスDB、DBx間の電圧差は、例えば、100~150mV程度である。そこで、例えば、データバスDB、DBx間の電圧差が125mVでセンスアンプ2が起動するように設計する場合、センスアンプ2の起動時には、ダミービット線DBLの電位が $0.5 \times VDD [V]$ となっていることが必要である。ここで、 $0.125 [V] = 0.5 \times VDD / N [V]$ であるから、必要とするレプリカセルの並列数Nは、 $N = 0.5 \times VDD / 0.125$ となる。

40

## 【0037】

近年、SRAMの低電圧化が進み、電源電位VDDとして1[V]が当たり前になっている。この場合、必要とするレプリカセルの並列数Nは、 $N = 0.5 \times 1 / 0.125 = 4$ 個となる。なお、例えば、電源電位VDDが2.5[V]である旧来のSRAMの場合には、必要とするレプリカセルの並列数Nは、 $N = 0.5 \times 2.5 / 0.125 = 10$ 個となる。

## 【0038】

50

ここで、図 1 3 に示すように、ワード線 W L が L レベルから H レベルに遷移した後、センスアンプ起動信号 S A E が L レベルから H レベルへの遷移を開始するまでの時間をセンスアンプ起動時間  $t_{slf}$  と定義する。すると、センスアンプ起動時間  $t_{slf}$  のバラツキは、レプリカセルの並列数  $N$  に対して、 $1 / N$  の関係にある。したがって、レプリカセルの並列数  $N$  が多いほど、バラツキの少ないセンスアンプ起動タイミング信号 S T C L K を生成することができる。

【 0 0 3 9 】

これに対して、レプリカセルの並列数  $N$  が少なくなると、レプリカセルのバラツキが平均化されなくなり、センスアンプ起動時間  $t_{slf}$  のバラツキが大きくなってしまふ。センスアンプ起動時間  $t_{slf}$  のバラツキは、レプリカセル 1 個あたりのバラツキを  $1$  [sec]、レプリカセルが  $N$  個並列の場合のバラツキを  $2$  [sec] とすると、レプリカセルが  $N$  個並列の場合のバラツキ  $2$  は、 $2 = 1 / N$  で表すことができる。

10

【 0 0 4 0 】

そこで、レプリカセルの並列数が少ないセンスアンプ起動タイミング制御回路を備える S R A M を設計する場合において、歩留まりを上げるためには、チップ内のバラツキをカバーするために、タイミング設計に大きなマージンを持たせる必要がある。このため、レプリカセルの並列数が少ないセンスアンプ起動タイミング制御回路を備えるようにすると、性能の低い（アクセスタイムの遅い）S R A M になってしまうという問題がある。

【 0 0 4 1 】

図 1 4 はセンスアンプ起動タイミング制御回路 3 におけるセンスアンプ起動タイミング出現確率を示す図である。横軸にダミーワード線 D W L L が L レベルから H レベルに遷移してから時間  $t$  を取り、縦軸にダミーワード線 D W L L が L レベルから H レベルに遷移してから時間  $t$  が経過した時点におけるセンスアンプ起動タイミングの出現確率を取っている。

20

【 0 0 4 2 】

図 1 4 中、4 7、4 8 はダミーワード線 D W L L が L レベルから H レベルに遷移してから時間  $t$  が経過した時点におけるセンスアンプ起動タイミング出現確率を示すセンスアンプ起動タイミング出現確率関数を示している。センスアンプ起動タイミング出現確率関数 4 7 は、センスアンプ起動タイミングのバラツキが小さい場合であり、センスアンプ起動タイミング出現確率関数 4 8 は、センスアンプ起動タイミングのバラツキが大きい場合である。

30

【 0 0 4 3 】

ここで、センスアンプ起動タイミング出現確率関数 4 8 が示すように、センスアンプ起動タイミングのバラツキが大きい場合、十分な歩留まりを確保するためには、センスアンプ起動時間  $t_{slf}$  の設計中心値を時間  $t_2$  とし、センスアンプ起動タイミングが最も遅くなる時間  $t_4$  までをスペックとして含むようにする必要がある。

【 0 0 4 4 】

これに対して、センスアンプ起動タイミング出現確率関数 4 7 が示すようなセンスアンプ起動タイミング出現確率特性を得ることができれば、十分な歩留まりを確保するためには、センスアンプ起動時間  $t_{slf}$  の設計中心値を時間  $t_1$  とし、センスアンプ起動タイミングが最も遅くなる時間  $t_3$  までをスペックとして含むようにすることで足り、アクセスタイムの早い S R A M を設計することができる。なお、 $t_0$  はセンスアンプ起動までに最低必要な時間である。

40

【 0 0 4 5 】

ここで、レプリカセルの並列数  $N$  を増やすと、 $N$  の割合で、センスアンプ起動タイミングのチップ内バラツキを低減することができることから、この原理を利用し、単純にレプリカセルの並列数  $N$  を増やすと、センスアンプ起動タイミングが早まり、データバス D B、D B x 間の電位差が充分でない時点でセンスアンプ 2 が起動してしまい、誤読み出しが発生してしまうという不都合がある。

【特許文献 1】特開 2 0 0 2 - 3 6 7 3 7 7 号公報

50

【特許文献2】特開2001-84775号公報

【特許文献3】特開平11-203877号公報

【発明の開示】

【発明が解決しようとする課題】

【0046】

本発明は、かかる点に鑑み、従来以上にセンスアンプ起動タイミングの最適化を図り、アクセスタイムの短縮化を図ることができるようにしたSRAMを提供することを目的とする。

【課題を解決するための手段】

【0047】

ここで開示するSRAMは、第1の電位にプリチャージされるビット線に接続されたメモリセルと、前記メモリセルから読み出された電圧を増幅するセンスアンプと、前記センスアンプにセンスアンプ起動信号を与えて前記センスアンプを起動するセンスアンプ起動信号生成回路と、前記センスアンプ起動信号生成回路にセンスアンプ起動タイミング信号を与えて、前記センスアンプの起動タイミングを制御するセンスアンプ起動タイミング制御回路とを有している。

【0048】

そして、前記センスアンプ起動タイミング制御回路は、前記第1の電位にプリチャージされるダミービット線と、前記ダミービット線に接続され、前記メモリセルの選択時に選択される複数のレプリカセルと、前記メモリセルの選択後、前記ダミービット線が第2の電位に変化すると、前記ダミービット線の電位を前記第1の電位にリセットするリセット回路と、前記メモリセルの選択後、前記ダミービット線が所定回数目に前記第2の電位になったときに、前記センスアンプ起動タイミング信号を生成するセンスアンプ起動タイミング信号生成部とを有している。

【発明の効果】

【0049】

開示したSRAMにおいては、前記リセット回路は、前記メモリセルの選択後に前記ダミービット線が前記第2の電位に変化すると、前記ダミービット線の電位を前記第1の電位にリセットし、前記センスアンプ起動タイミング信号生成部は、前記メモリセルの選択後に前記ダミービット線が所定回数目に前記第2の電位になったときに、前記センスアンプ起動タイミング信号を生成する。

【0050】

したがって、前記レプリカセルの数を増やしても、前記レプリカセルの数を適切な数、即ち、前記ダミービット線が所定回数目に前記第2の電位に変化する時点がセンスアンプ起動タイミングとして最適となるような数とすることにより、前記メモリセルの選択後のセンスアンプ起動タイミングのパラッキを小さくし、センスアンプ起動タイミングが最も遅くなる時間を短くし、アクセスタイムの早いものとすることができる。

【発明を実施するための最良の形態】

【0051】

図1は本発明の一実施形態の一部を示す回路図である。図1中、51-0、51-255はメモリセルである。メモリセル51-0、51-255間に設けられているメモリセル51-1~51-254は図示を省略している。メモリセル51-0~51-255は、ビット線BL、BLxに接続され、ワード線WL0~WL255を介して選択されるように構成されている。ワード線WL1~WL254は図示を省略している。

【0052】

52はビット線BL、BLx用のプリチャージ回路である。53はコラム選択信号CSを反転してプリチャージ回路52に与えるプリチャージ制御信号PCを生成するインバータである。DB、DBxはデータバスである。54はビット線BL、BLxとデータバスDB、DBxとの間に接続されたコラム選択回路である。

【0053】

10

20

30

40

50



コラム選択回路54は、PMOSトランジスタ55、56を有している。PMOSトランジスタ55は、ソースをビット線BLに接続し、ドレインをデータバスDBに接続し、ゲートにコラム選択信号CSが与えられるように構成されている。PMOSトランジスタ56は、ソースをビット線BLxに接続し、ドレインをデータバスDBxに接続し、ゲートにコラム選択信号CSが与えられるように構成されている。

【0054】

このように構成されたコラム選択回路54においては、コラム選択信号CSがLレベルの場合、PMOSトランジスタ55、56はONとなり、ビット線BL、BLxとデータバスDB、DBxとは電氣的に接続される。これに対して、コラム選択信号CSがHレベルの場合には、PMOSトランジスタ55、56はOFFとなり、ビット線BL、BLxとデータバスDB、DBxとは電氣的に非接続とされる。

10

【0055】

57はデータバスDB、DBx用のプリチャージ回路であり、プリチャージ回路57にはプリチャージ制御信号EQDMが与えられる。58はデータバスDB、DBxに対応して設けられたセンスアンプである。59はデータバスDB、DBxに対応して設けられたI/O回路である。DATA\_OUTはI/O回路59から出力されるリードデータである。

【0056】

60はセンスアンプ起動タイミング制御回路である。センスアンプ起動タイミング制御回路60は、クロック信号CKを入力し、プリデコーダ制御信号DECと、センスアンプ起動タイミング信号STCLKとを生成するものである。

20

【0057】

61はセンスアンプ起動信号生成回路である。センスアンプ起動信号生成回路61は、センスアンプ起動タイミング制御回路60が出力するセンスアンプ起動タイミング信号STCLKを入力して、センスアンプ58に与えるセンスアンプ起動信号SAEを生成するものである。センスアンプ起動信号生成回路61は、図8(図11)に示すセンスアンプ起動信号生成回路4と同一構成とされている。

【0058】

A0~A7は外部から与えられるロウアドレス信号、62、63、64はプリデコーダである。プリデコーダ62は、ロウアドレス信号A0~A2をデコードして8ビットのプリデコード信号を出力するものである。プリデコーダ63は、ロウアドレス信号A3~A5をデコードして8ビットのプリデコード信号を出力するものである。プリデコーダ64は、アドレス信号A6、A7をデコードして4ビットのプリデコード信号を出力するものである。

30

【0059】

プリデコーダ62、63、64の基本構成は、NAND回路とインバータとを使用した従来周知の構成とされるが、本例においては、NAND回路にプリデコーダ制御信号が与えられ、プリデコーダ制御信号DECがLレベルの場合には非活性状態、プリデコーダ制御信号DECがHレベルの場合に活性状態となるように構成される。

【0060】

また、65-0はワード線WL0に対応して設けられたメインデコーダ、65-255はワード線WL255に対応して設けられたメインデコーダである。ワード線WL1~WL254に対応して設けられたメインデコーダ65-1~65-254は図示を省略している。

40

【0061】

メインデコーダ65-0は、NAND回路66-0とインバータ67-0とを有している。NAND回路66-0は、プリデコーダ62が出力する8ビットのプリデコード信号中の対応する1つのプリデコード信号と、プリデコーダ63が出力する8ビットのプリデコード信号中の対応する1つのプリデコード信号と、プリデコーダ64が出力する4ビットのプリデコード信号中の対応する1つのプリデコード信号とを入力するものである。イ

50

ンバータ 67 - 0 は、NAND 回路 66 - 0 の出力を反転してワード線 WL 0 を駆動するものである。

【0062】

メインデコーダ 65 - 255 は、NAND 回路 66 - 255 とインバータ 67 - 255 とを有している。NAND 回路 66 - 255 は、プリデコーダ 62 が出力する 8 ビットのプリデコード信号中の対応する 1 つのプリデコード信号と、プリデコーダ 63 が出力する 8 ビットのプリデコード信号中の対応する 1 つのプリデコード信号と、プリデコーダ 64 が出力する 4 ビットのプリデコード信号中の対応する 1 つのプリデコード信号とを入力するものである。インバータ 67 - 255 は、NAND 回路 66 - 255 の出力を反転してワード線 WL 255 を駆動するものである。

10

【0063】

図 2 はメモリセル 51 - 0 及びビット線 BL、BLx 用のプリチャージ回路 52 の構成を示す回路図である。メモリセル 51 - 0 は、CMOS インバータ 70、71 をクロス接続してなるフリップフロップ 72 を有している。CMOS インバータ 70、71 において、73、74 は PMOS トランジスタ、75、76 は NMOS トランジスタである。

【0064】

また、メモリセル 51 - 0 は、転送ゲートをなす NMOS トランジスタ 77、78 を有している。NMOS トランジスタ 77 は、ドレインを記憶ノード 79 に接続し、ソースをビット線 BL に接続し、ゲートをワード線 WL 0 に接続している。NMOS トランジスタ 78 は、ドレインを記憶ノード 80 に接続し、ソースをビット線 BLx に接続し、ゲートをワード線 WL 0 に接続している。メモリセル 51 - 1 ~ 51 - 255 も同様に構成されている。

20

【0065】

ビット線 BL、BLx 用のプリチャージ回路 52 は、PMOS トランジスタ 81 ~ 83 を有している。PMOS トランジスタ 81 は、ソースを VDD 電源線に接続し、ドレインをビット線 BL に接続し、ゲートをインバータ 53 の出力端子に接続している。PMOS トランジスタ 82 は、ソースを VDD 電源線に接続し、ドレインをビット線 BLx に接続し、ゲートをインバータ 53 の出力端子に接続している。PMOS トランジスタ 83 は、ソースをビット線 BL に接続し、ドレインをビット線 BLx に接続し、ゲートをインバータ 53 の出力端子に接続している。

30

【0066】

ここで、コラム選択信号 CS が H レベルのときは、プリチャージ制御信号 PC は L レベルとなり、PMOS トランジスタ 81 ~ 83 は ON となる。この結果、ビット線 BL、BLx は電源電位 VDD にプリチャージされる。これに対して、コラム選択信号 CS が L レベルのときは、プリチャージ制御信号 PC は H レベルとなり、PMOS トランジスタ 81 ~ 83 は OFF となる。

【0067】

図 3 はデータバス DB、DBx 用のプリチャージ回路 57 及びセンスアンプ 58 の構成を示す回路図である。データバス DB、DBx 用のプリチャージ回路 57 は、PMOS トランジスタ 86 ~ 88 を備えている。

40

【0068】

PMOS トランジスタ 86 は、ソースを VDD 電源線に接続し、ドレインをデータバス DB に接続し、ゲートにプリチャージ制御信号 EQDM が与えられるように構成されている。PMOS トランジスタ 87 は、ソースを VDD 電源線に接続し、ドレインをデータバス DBx に接続し、ゲートにプリチャージ制御信号 EQDM が与えられるように構成されている。PMOS トランジスタ 88 は、ソースをデータバス DB に接続し、ドレインをデータバス DBx に接続し、ゲートにプリチャージ制御信号 EQDM が与えられるように構成されている。

【0069】

ここで、プリチャージ制御信号 EQDM が L レベルのときは、PMOS トランジスタ 8

50

6～88はONとなり、データバスDB、DBxは電源電位VDDにプリチャージされる。これに対して、プリチャージ制御信号EQDMがHレベルのときは、PMOSトランジスタ86～88はOFFとなる。

【0070】

センスアンプ58は、PMOSトランジスタ89、90と、NMOSトランジスタ91～93とを有している。PMOSトランジスタ89、90及びNMOSトランジスタ91、92はラッチ型アンプとして動作するものである。NMOSトランジスタ93は、センスアンプ起動信号SAEによりON、OFFが制御されるものである。

【0071】

PMOSトランジスタ89は、ソースをVDD電源線に接続し、NMOSトランジスタ91は、ソースをNMOSトランジスタ93のドレインに接続している。そして、PMOSトランジスタ89のゲートとNMOSトランジスタ91のゲートは接続され、その接続点はデータバスDBxに接続されている。また、PMOSトランジスタ89のドレインとNMOSトランジスタ91のドレインは接続され、その接続点はデータバスDBに接続されている。

10

【0072】

PMOSトランジスタ90は、ソースをVDD電源線に接続し、NMOSトランジスタ92は、ソースをNMOSトランジスタ93のドレインに接続している。そして、PMOSトランジスタ90のゲートとNMOSトランジスタ92のゲートは接続され、その接続点は、データバスDBに接続されている。また、PMOSトランジスタ90のドレインとNMOSトランジスタ92のドレインは接続され、その接続点は、データバスDBxに接続されている。NMOSトランジスタ93は、ソースを接地し、ゲートにセンスアンプ起動信号SAEが与えられるように構成されている。

20

【0073】

このように構成されたセンスアンプ58においては、センスアンプ起動信号SAEがHレベルのときは、NMOSトランジスタ93がONとなり、センスアンプ58は活性状態となる。これに対して、センスアンプ起動信号SAEがLレベルのときは、NMOSトランジスタ93がOFFとなり、センスアンプ58は非活性状態とされる。

【0074】

図4はメモリセル51-0からのデータリード時のワード線WL0、ビット線BL、BLx、コラム選択信号CS、センスアンプ起動信号SAE、データバスDB、DBx及びプリチャージ制御信号EQDMの電位変化を示す波形図である。図4はメモリセル51-0が“0”を記憶している場合、即ち、メモリセル51-0では、PMOSトランジスタ73がOFF、NMOSトランジスタ75がON、PMOSトランジスタ74がON、NMOSトランジスタ76がOFFとされ、記憶ノード79の電位が接地電位0V、記憶ノード80の電位が電源電位VDDとされている場合を例にしている。

30

【0075】

本発明の一実施形態においては、メモリセル51-0が選択される前には、ワード線WL0～WL255はLレベル、コラム選択信号CSはHレベル、センスアンプ起動信号SAEはLレベル、プリチャージ制御信号EQDMはLレベルとされている。ここで、ワード線WL0～WL255がLレベルとされることから、メモリセル51-0～51-255内のフリップフロップはビット線BL、BLxと電氣的に非接続とされる。

40

【0076】

また、コラム選択信号CSがHレベルとされることから、コラム選択回路54のPMOSトランジスタ55、56はOFFとなり、ビット線BL、BLxとデータバスDB、DBxとは電氣的に非接続とされる。また、プリチャージ制御信号PCはHレベルとなるので、ビット線BL、BLx用のプリチャージ回路52のPMOSトランジスタ81～83はONとなる。この結果、ビット線BL、BLxは、ビット線BL、BLx用のプリチャージ回路52により電源電位VDDにプリチャージされる。

【0077】

50

また、センスアンプ起動信号 S A E が L レベルとされることから、センスアンプ 5 8 の N M O S トランジスタ 9 3 は O F F となり、センスアンプ 5 8 は非活性状態とされる。また、プリチャージ制御信号 E Q D M が L レベルとされることから、データバス D B 、 D B x 用のプリチャージ回路 5 7 の P M O S トランジスタ 8 6 ~ 8 8 は O N となる。この結果、データバス D B 、 D B x は、データバス D B 、 D B x 用のプリチャージ回路 5 7 により電源電位 V D D にプリチャージされる。

【 0 0 7 8 】

この状態から、メモリセル 5 1 - 0 が選択される場合には、ワード線 W L 0 の電位が H レベルとされると共に、コラム選択信号 C S が L レベル、プリチャージ制御信号 E Q D M が H レベルとされる。ここで、ワード線 W L 0 が H レベルとされることから、メモリセル 5 1 - 0 のフリップフロップ 7 2 は、ビット線 B L 、 B L x に電氣的に接続される。

10

【 0 0 7 9 】

また、コラム選択信号 C S が L レベルとされることから、コラム選択回路 5 4 の P M O S トランジスタ 5 5 、 5 6 は O N となり、ビット線 B L 、 B L x とデータバス D B 、 D B x とが電氣的に接続される。また、プリチャージ制御信号 P C が H レベルとされることから、ビット線 B L 、 B L x 用のプリチャージ回路 5 2 の P M O S トランジスタ 8 1 ~ 8 3 は O F F となる。また、プリチャージ制御信号 E Q D M が L レベルとされることから、データバス D B 、 D B x 用のプリチャージ回路 5 7 の P M O S トランジスタ 8 6 ~ 8 8 は O F F となる。

【 0 0 8 0 】

ここで、メモリセル 5 1 - 0 内の N M O S トランジスタ 7 5 は O N とされているので、ビット線 B L からメモリセル 5 1 - 0 の N M O S トランジスタ 7 7 、 7 5 を介して接地側に電流が流れ、ビット線 B L の電位は、電源電位 V D D から接地電位 0 V に向かって下降し始める。したがって、また、データバス D B x の電位も、電源電位 V D D から接地電位 0 V に向かって下降し始める。

20

【 0 0 8 1 】

他方、N M O S トランジスタ 7 6 は O F F となっているので、ビット線 B L x から N M O S トランジスタ 7 8 、 7 6 を介して接地側に電流が流れることはなく、ビット線 B L x の電位は電源電位 V D D に維持される。したがって、また、データバス D B x の電位も電源電位 V D D に維持される。

30

【 0 0 8 2 】

そして、センスアンプ起動タイミングになると、センスアンプ起動信号 S A E が H レベルとなり、センスアンプ 5 8 は活性状態となる。他方、ワード線 W L 0 は L レベルに戻され、メモリセル 5 1 - 0 の転送ゲートをなす N M O S トランジスタ 7 7 、 7 8 は O F F となる。また、コラム選択信号 C S が H レベルとされ、コラム選択回路 5 4 の P M O S トランジスタ 5 5 、 5 6 は O F F となる。この場合、プリチャージ制御信号 P C は L レベルとなるので、プリチャージ回路 5 2 の P M O S トランジスタ 8 1 ~ 8 3 は O N となる。この結果、ビット線 B L 、 B L x の電位が電源電位 V D D にリセットされる。

【 0 0 8 3 】

また、この場合、データバス D B 、 D B x においては、データバス D B の電位 < データバス D B x の電位となっているので、センスアンプ 5 8 においては、P M O S トランジスタ 8 9 は O F F 、 N M O S トランジスタ 9 1 は O N 、 P M O S トランジスタ 9 0 は O N 、 N M O S トランジスタ 9 2 は O F F となる。この結果、データバス D B の電位は接地電位 0 V に引き下げられ、データバス D B x の電位は電源電位 V D D に維持される。

40

【 0 0 8 4 】

その後、センスアンプ駆動信号 S A E が L レベルとされ、センスアンプ 5 8 は非活性状態となる。また、プリチャージ制御信号 E Q D M が L レベルとされ、プリチャージ回路 5 7 の P M O S トランジスタ 8 6 ~ 8 8 が O N となり、データバス D B 、 D B x は電源電位 V D D にリセットされる。

【 0 0 8 5 】

50

図5はセンスアンプ起動タイミング制御回路60の構成を示す回路図である。図5中、96はクロック信号CKを入力してカウンタクリア信号STAを生成するカウンタクリア信号生成回路である。カウンタクリア信号生成回路96において、97はクロック信号CKを遅延する遅延回路、98は遅延回路97の出力信号を反転するインバータ、99はクロック信号CKとインバータ98の出力信号とをNAND処理してカウンタクリア信号STAを出力するNAND回路である。

【0086】

100はRSフリップフロップである。RSフリップフロップ100は、セット入力端子/Sにはカウンタクリア信号生成回路96が出力するカウンタクリア信号STAが与えられ、リセット入力端子/Rには、センスアンプ起動タイミング信号STCLKが与えられ、正相出力端子Qにプリデコーダ制御信号DECを出力するものである。

10

【0087】

また、101はバッファ、102はセルフリセット回路、103はインバータ、104は遅延回路、105はNAND回路、106はインバータである。バッファ101はプリデコーダ制御信号DECを増幅するものである。セルフリセット回路102は、図9に示すセルフリセット回路20と同一構成のものである。但し、レプリカセルの個数は、セルフリセット回路20の場合の2倍としている。なお、説明の都合上、セルフリセット回路102内の要素については、図9に示した符号を使用する。

【0088】

また、インバータ103はセルフリセット回路102が出力するビット線電位検出信号OUTを反転するものである。遅延回路104は、インバータ103の出力信号CUPを遅延するものである。NAND回路105は、バッファ101の出力信号DWLと遅延回路104の出力信号LPCとをNAND処理するものである。インバータ106は、NAND回路105の出力信号を反転してダミーワード線DWLLを駆動するものである。

20

【0089】

また、107はMビットカウンタ、108は比較器、109はNAND回路である。Mビットカウンタ107は、インバータ103の出力信号CUPをカウンタ信号入力端子に与えられ、クリア入力端子CLRにカウンタクリア信号生成回路96が出力するカウンタクリア信号STAが与えられるものである。

【0090】

比較器108は、Mビットカウンタ107の出力値Aと回数指定値Rとを比較するものである。本発明の一実施形態では、回数指定値Rは1とされる。比較器108の出力信号CBは、Mビットカウンタ107の出力値Aと回数指定値Rとが一致するときはHレベル、Mビットカウンタ107の出力値Aと回数指定値Rとが不一致のときはLレベルとされる。

30

【0091】

NAND回路109は、セルフリセット回路102が出力するビット線電位検出信号OUTと比較器108の出力信号CBとをNAND処理してセンスアンプ起動タイミング信号STCLKを出力するものである。センスアンプ起動タイミング信号STCLKは、センスアンプ起動信号生成回路61に与えられる。

40

【0092】

図6は本発明の一実施形態の動作を示す波形図である。図6は、メモリセル51-0が“0”を記憶している場合、即ち、メモリセル51-0においては、PMOSトランジスタ73がOFF、NMOSトランジスタ75がON、PMOSトランジスタ74がON、NMOSトランジスタ76がOFFとされ、記憶ノード79の電位が接地電位0V、記憶ノード80の電位が電源電位VDDとされている場合を例にしている。

【0093】

(A)はクロック信号CK、(B)はカウンタクリア信号STA、(C)はプリデコーダ制御信号DEC、(D)はワード線WL0の電位、(E)はビット線BL、BLxの電位、(F)はバッファ101の出力信号DWL、(G)はダミーワード線DWLLの電位

50

、(H)はダミービット線DBLの電位、(I)はセルフリセット回路102が出力するビット線電位検出信号OUT、(J)は遅延回路104の出力信号LPC、(K)はインバータ103の出力信号CUP、(L)はMビットカウンタ107のカウント値A、(M)は比較器108の出力信号CB、(N)はセンスアンプ起動タイミング信号STCLK、(O)はセンスアンプ起動信号SAE、(P)は出力データDATA\_OUTを示している。

【0094】

本発明の一実施形態においては、図6(A)に示すように、クロック信号CKがHレベルになると、カウンタクリア信号生成回路96は、図6(B)に示すように、カウンタクリア信号STAをLレベルとする。この結果、Mビットカウンタ107はクリアされ、図6(L)に示すように、そのカウント値Aを0とする。

10

【0095】

また、カウンタクリア信号STAがLレベルにされることから、RSフリップフロップ100は、図6(C)に示すように、プリデコーダ制御信号DECをHレベルとする。この結果、プリデコーダ62~64は、ロウアドレス信号A0~A7に対するプリデコードを行う。

【0096】

また、図6(C)に示すように、プリデコーダ制御信号DECがHレベルになった場合において、メモリセル51-0が選択される場合には、図6(D)に示すように、ワード線WL0がHレベルとされる。この結果、メモリセル51-0の転送ゲートをなすNMOSトランジスタ77、78がONとなり、図6(E)に示すように、ビット線BLが接地電位0Vに向かって下降し始める。

20

【0097】

また、図6(C)に示すように、プリデコーダ制御信号DECがHレベルになると、図6(F)に示すように、バッファ101の出力信号DWLはHレベルになり、図6(G)に示すように、ダミーワード線DWLLの電位はHレベルになる。この結果、セルフリセット回路102においては、レプリカセル25-1~25-Nの転送ゲートをなすNMOSトランジスタ33-1~33-NがONとなり、レプリカセル25-1~25-Nがダミービット線DBLに接続され、図6(H)に示すように、ダミービット線DBLの電位は接地電位0Vに向かって下降し始める。

30

【0098】

そして、ダミービット線DBLの電位がインバータ24のスレッシュホールド電位に達すると、図6(I)に示すように、セルフリセット回路102が出力するビット線電位検出信号OUTがHレベルとなり、図6(K)に示すように、インバータ103の出力信号CUPがLレベルになる。

【0099】

また、図6(K)に示すように、インバータ103の出力信号CUPがLレベルになると、遅延回路104の遅延時間だけ遅延して、図6(J)に示すように、遅延回路104の出力信号LPCがLレベルとなり、図6(G)に示すように、ダミーワード線DWLLの電位がLレベルとなる。この結果、レプリカセル25-1~25-Nはダミービット線DBLと電氣的に非接続とされると共に、PMOSトランジスタ23がONとなり、図6(H)に示すように、ダミービット線DBLが電源電位VDDに向かって上昇し始める。

40

【0100】

そして、ダミービット線DBLの電位がインバータ24のスレッシュホールド電位を上回ると、図6(I)に示すように、インバータ24が出力するビット線遷移検出信号OUTがLレベルになり、図6(K)に示すように、インバータ103の出力信号CUPがHレベルになる。この結果、図6(L)に示すように、Mビットカウンタ107のカウント値Aは1となり、Mビットカウンタ107のカウント値Aと回数指定値Rとが一致し、図6(M)に示すように、比較器108の出力信号CBがHレベルとなる。更に、インバータ103の出力信号CUPが遅延回路104の遅延時間だけ遅延して、図6(J)に示すよう

50

に、遅延回路 104 の出力信号 L P C が H レベルになる。

【0101】

ここで、遅延回路 104 の出力信号 L P C が H レベルになると、ダミーワード線 D W L L の電位が H レベルとなり、レプリカセル 25 - 1 ~ 25 - N はダミービット線 D B L と電氣的に接続されると共に、P M O S トランジスタ 23 が O F F となる。この結果、図 6 ( H ) に示すように、再び、ダミービット線 D B L の電位は接地電位 0 V に向かって下降し始める。

【0102】

そして、ダミービット線 D B L の電位が 2 回目にインバータ 24 のスレッシュホールド電位に達すると、図 6 ( I ) に示すように、セルフリセット回路 102 が出力するビット線電位検出信号 O U T が H レベルとなる。この結果、図 6 ( N ) に示すように、センスアンプ起動タイミング信号 S T C L K が L レベルになり、図 6 ( O ) に示すように、センスアンプ起動信号 S A E は H レベルになる。

10

【0103】

また、セルフリセット回路 102 が出力するビット線電位検出信号 O U T が H レベルになると、図 6 ( K ) に示すように、インバータ 103 の出力信号 C U P が L レベルになる。また、インバータ 103 の出力信号 C U P が L レベルになると、遅延回路 104 の遅延時間だけ遅延して、図 6 ( J ) に示すように、遅延回路 104 の出力信号 L P C が L レベルになり、ダミーワード線 D W L L は L レベルになる。この結果、レプリカセル 25 - 1 ~ 25 - N はダミービット線 D B L と電氣的に非接続とされると共に、P M O S トランジスタ 23 が O N となり、図 6 ( H ) に示すように、ダミービット線 D B L が電源電位 V D D に向かって上昇し始める。

20

【0104】

そして、ダミービット線 D B L の電位がインバータ 24 のスレッシュホールド電位を上回ると、図 6 ( I ) に示すように、セルフリセット回路 102 が出力するビット線電位検出信号 O U T が L レベルになり、図 6 ( N ) に示すように、センスアンプ起動タイミング信号 S T C L K は H レベルに戻る。

【0105】

また、ビット線電位検出信号 O U T が L レベルに戻ると、図 6 ( K ) に示すように、インバータ 103 の出力信号 C U P が H レベルになる。この結果、図 6 ( L ) に示すように、カウンタ 107 のカウント値 A は 2 となり、図 6 ( M ) に示すように、比較器 108 の出力信号 C B は L レベルになる。なお、図 6 ( O ) に示すように、センスアンプ駆動信号 S A E が H レベルになると、センスアンプ 58 は起動し、本例の場合には、図 6 ( P ) に示すように、リードデータ D A T A \_ O U T として “ 0 ” が出力される。

30

【0106】

図 7 は本発明の一実施形態の効果を説明するための図である。( A ) は本発明の一実施形態におけるセンスアンプ起動タイミング出現確率を示す図である。横軸にダミーワード線 D W L が L レベルから H レベルに遷移してから時間  $t$  を取り、縦軸にダミーワード線 D W L が L レベルから H レベルに遷移してから時間  $t$  が経過した時点におけるセンスアンプ起動タイミングの出現確率を取っている。

40

【0107】

また、( B ) は、センスアンプ起動までに最低必要な時間を  $t_0$  とした場合における、ダミービット線 D B L を遷移させる回数と、レプリカセルの並列数と、センスアンプ起動時間  $t_{s1f}$  の設計中心値  $t_1$  のチップ内バラツキの割合  $S_2$  と、センスアンプ起動が最も遅くなる時間  $t_2$  / センスアンプ起動までに最低必要とする時間  $t_0$  との関係を示している。なお、「比」は、ダミービット線 D B L の遷移回数が 1 の場合の  $t_2 / t_0$  を 1.00 とした場合の  $t_2 / t_0$  を示している。

【0108】

ここで、センスアンプ起動時間  $t_{s1f}$  の設計中心値  $t_1$  に対するレプリカセル 1 個によるチップ内バラツキ 3 点でのバラツキ値の割合を  $S_1$  とすると、レプリカセルを  $N$  個並列

50

に接続した場合におけるセンスアンプ起動時間 $t_{slf}$ の設計中心値 $t_1$ に対するチップ内バラツキ3点でのバラツキ値の割合 $S_2$ は、 $S_2 = S_1 / N$ になることから、例えば、 $S_1$ が0.2の場合には、 $S_2$ は図7(B)に示すようになる。

【0109】

図7(B)において、ダミービット線DBLの遷移回数=1の場合は、図8に示す従来のSRAMの場合であり、ダミービット線DBLの遷移回数=2の場合は、本発明の一実施形態の場合である。このように、本発明の一実施形態の場合には、センスアンプ起動時間 $t_{slf}$ の設計中心値 $t_1$ のチップ内バラツキの割合 $S_2$ を小さくすることができ、センスアンプ起動時間 $t_{slf}$ のバラツキを小さくすることができる。なお、レプリカセルの並列数を12個、16個又は20個とし、ダミービット線DBLの遷移回数を3回、4回又は5回とすると、センスアンプ起動タイミング $t_{slf}$ の出現確率のバラツキを更に小さくすることができる。

10

【0110】

以上のように、本発明の一実施形態においては、セルフリセット回路102は、メモリセルの選択時にダミービット線DBLの電位がインバータ24のスレッシュホールド電位に下降すると、ダミービット線DBLの電位を電源電位VDDにリセットし、センスアンプ起動タイミング制御回路60は、メモリセルの選択時にダミービット線DBLが2回目にインバータ24のスレッシュホールド電位になったときに、センスアンプ起動タイミング信号STCLKをLレベルに変化させる。

【0111】

即ち、図8に示す従来のSRAMに比較してレプリカセルの数を2倍に増やしても、ダミービット線DBLが2回目にインバータ24のスレッシュホールド電位に下降する時点がセンスアンプ起動タイミング信号STCLKをLレベルにする基準としているので、メモリセルの選択後のセンスアンプ起動タイミングのバラツキを小さくし、センスアンプ起動タイミングが最も遅くなる時間を短くすることができ、アクセスタイムの早いSRAMとすることができる。

20

【0112】

なお、前述のように、レプリカセルの並列数を本発明の一実施形態の場合よりも増やし、例えば、レプリカセルの並列数を12個、16個又は20個とし、ダミービット線DBLの遷移回数を3回、4回又は5回とすると、センスアンプ起動タイミング $t_{slf}$ の出現確率のバラツキを更に小さくすることができるので、センスアンプ起動タイミング制御回路60をこのように構成しても良い。

30

【0113】

また、本発明の一実施形態においては、ダミービット線DBLの遷移回数を計数する計数回路として、Mビットカウンタ107を使用しているが、この代わりに、バイナリカウンタや、シフトレジスタを用いることもできる。

【図面の簡単な説明】

【0114】

【図1】本発明の一実施形態の一部分を示す回路図である。

【図2】本発明の一実施形態が備えるメモリセル及びビット線用のプリチャージ回路の構成を示す回路図である。

40

【図3】本発明の一実施形態が備えるデータバス用のプリチャージ回路及びセンスアンプの構成を示す回路図である。

【図4】本発明の一実施形態が備えるメモリセルからのデータリード時のワード線、ビット線、コラム選択信号、センスアンプ起動信号、データバス及びデータバス用のプリチャージ制御信号の電位変化を示す波形図である。

【図5】本発明の一実施形態が備えるセンスアンプ起動タイミング制御回路の構成を示す回路図である。

【図6】本発明の一実施形態の動作を示す波形図である。

【図7】本発明の一実施形態の効果を説明するための図である。

50



【図 8】従来の S R A M (スタティック・ランダム・アクセス・メモリ) の一例の一部分を示す回路図である。

【図 9】図 8 に示す従来の S R A M が備えるセンスアンプ起動タイミング制御回路の構成を示す回路図である。

【図 10】図 8 に示す従来の S R A M が備えるセンスアンプ起動タイミング制御回路の動作を示す波形図である。

【図 11】図 8 に示す従来の S R A M が備えるセンスアンプ起動信号生成回路の構成を示す回路図である。

【図 12】図 8 に示す従来の S R A M が備えるセンスアンプ起動信号生成回路の動作を示す波形図である。

【図 13】図 8 に示す従来の S R A M のメモリセルからのデータリード時の動作例を示す波形図である。

【図 14】図 8 に示す従来の S R A M が備えるセンスアンプ起動タイミング制御回路におけるセンスアンプ起動タイミング出現確率を示す図である。

【符号の説明】

【 0 1 1 5 】

1 ... メモリセル

2 ... センスアンプ

3 ... センスアンプ起動タイミング制御回路

4 ... センスアンプ起動信号生成回路

5、6 ... C M O S インバータ

7 ... フリップフロップ

8、9 ... P M O S トランジスタ

10 ~ 13 ... N M O S トランジスタ

14、15 ... P M O S トランジスタ

16 ~ 18 ... N M O S トランジスタ

20 セルフリセット回路

21 ... インバータ

22 ... V D D 電源線

23 ... P M O S トランジスタ

24 ... インバータ

25 - 1、25 - N ... レプリカセル

26 - 1、27 - 1、26 - N、27 - N ... C M O S インバータ

28 - 1、28 - N ... フリップフロップ

29 - 1、30 - 1、29 - N、30 - N ... P M O S トランジスタ

31 - 1 ~ 34 - 1、31 - N ~ 34 - N ... N M O S トランジスタ

35 - 1、36 - 1、35 - N、36 - N ... 記憶ノード

38 ... インバータ

39 ... 遅延回路

40 ... N A N D 回路

41 ... インバータ

43、44 ... 記憶ノード

47、48 ... センスアンプ起動タイミング出現確率関数

51 - 0、51 - 255 ... メモリセル

52 ... プリチャージ回路

53 ... インバータ

54 ... コラム選択回路

55、56 ... P M O S トランジスタ

57 ... プリチャージ回路

58 ... センスアンプ

10

20

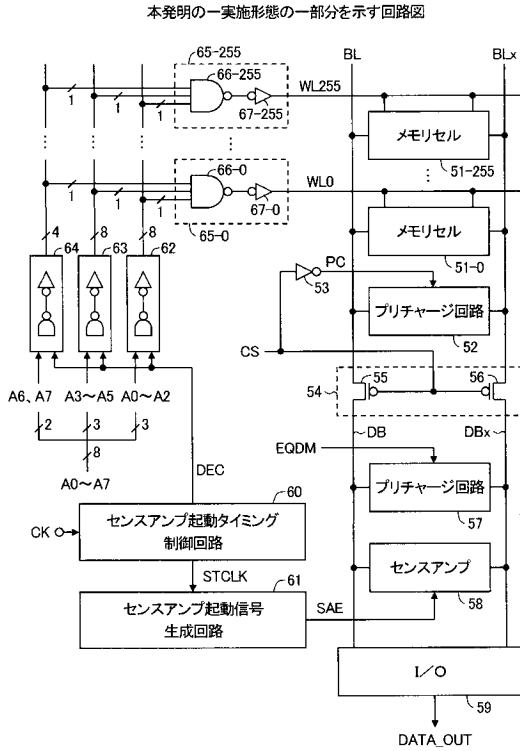
30

40

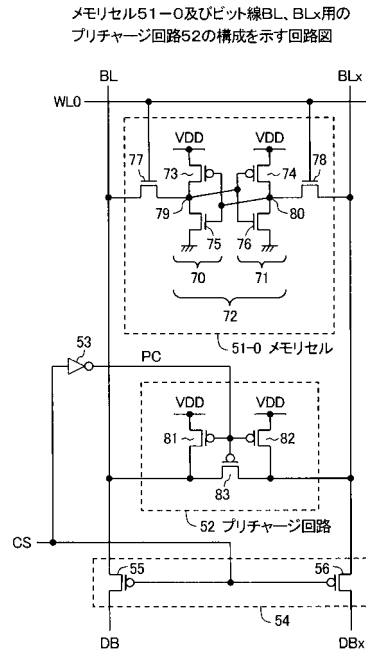
50

5 9 ... I / O 回路	
6 0 ... センスアンプ起動タイミング制御回路	
6 1 ... センスアンプ起動信号生成回路	
6 2 ~ 6 4 ... プリデコーダ	
6 5 - 0、6 5 - 2 5 5 ... メインデコーダ	
6 6 - 0、6 6 - 2 5 5 ... N A N D 回路	
6 7 - 0、6 7 - 2 5 5 ... インバータ	
7 0、7 1 ... C M O S インバータ	
7 2 ... フリップフロップ	
7 3、7 4 ... P M O S トランジスタ	10
7 5 ~ 7 8 ... N M O S トランジスタ	
7 9、8 0 ... 記憶ノード	
8 1 ~ 8 3 ... P M O S トランジスタ	
8 6 ~ 9 0 ... P M O S トランジスタ	
9 1 ~ 9 3 ... N M O S トランジスタ	
9 6 ... カウンタクリア信号生成回路	
9 7 ... 遅延回路	
9 8 ... インバータ	
9 9 ... N A N D 回路	
1 0 0 ... R S フリップフロップ	20
1 0 1 ... バッファ	
1 0 2 ... セルフリセット回路	
1 0 3 ... インバータ	
1 0 4 ... 遅延回路	
1 0 5 ... N A N D 回路	
1 0 6 ... インバータ	
1 0 7 ... M ビットカウンタ	
1 0 8 ... 比較器	
1 0 9 ... N A N D 回路	

【 図 1 】

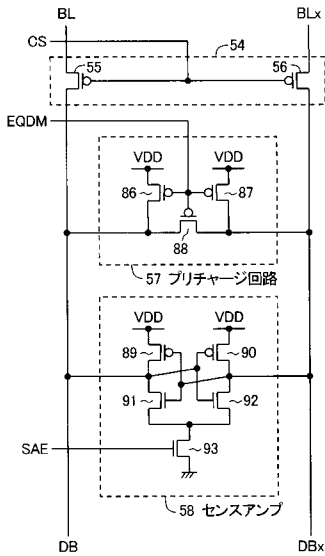


【 図 2 】



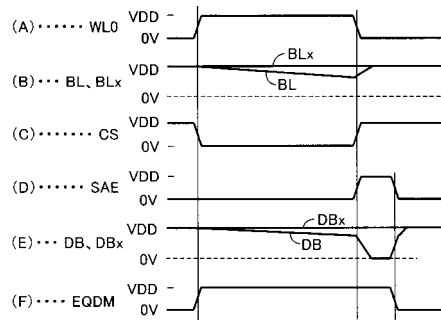
【 図 3 】

データバスDB、DBx用のプリチャージ回路57及びセンスアンプ58の構成を示す回路図

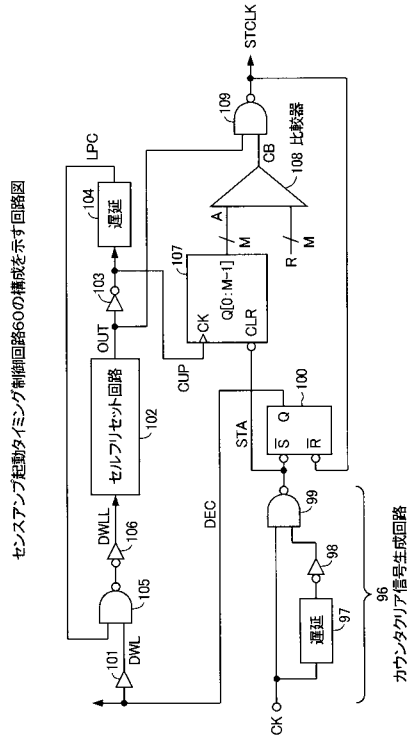


【 図 4 】

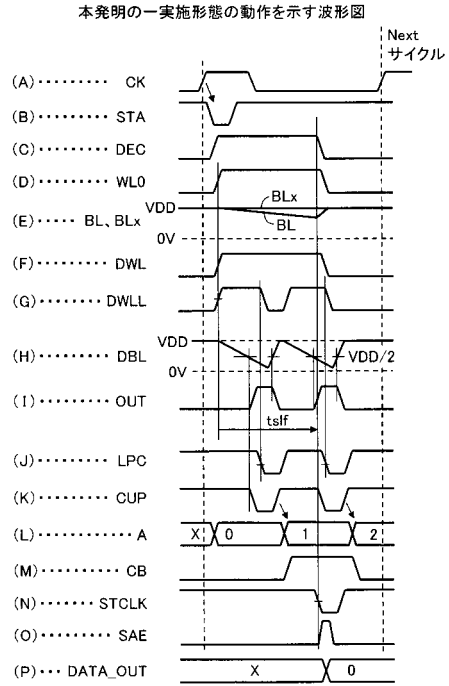
メモリセル51-0からのデータリード時のワード線WL0、ビット線BL、BLx、コラム選択信号CS、センスアンプ起動信号SAE、データバスDB、DBx及びプリチャージ制御信号EQDMの電位変化を示す波形図



【 図 5 】

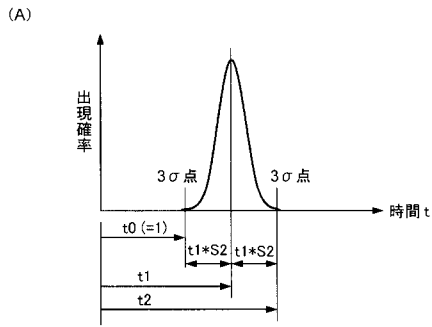


【 図 6 】



【 図 7 】

本発明の一実施形態の効果を説明するための図

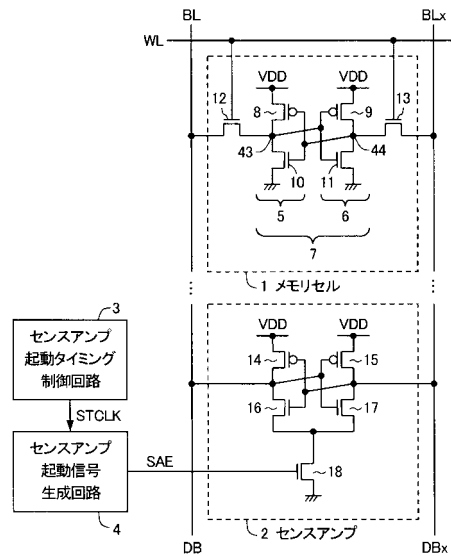


(B) S1=0.2、VDD=1.0V

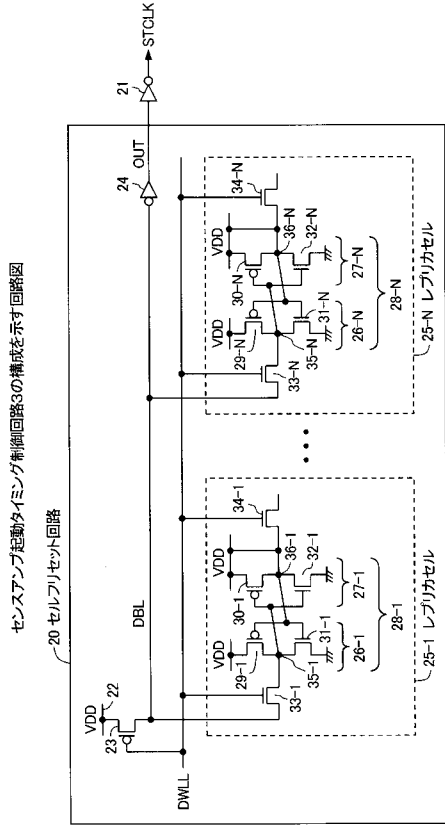
DBL 遷移回数	レプリカセル 並列数	t1のチップ内 バラツキの 割合S2	tslf t2/t0	比	
1	4	0.100	1.22	1.00	← 従来技術
2	8	0.071	1.15	0.94	← 本発明の
3	12	0.058	1.12	0.92	一実施形態
4	16	0.050	1.11	0.90	
5	20	0.045	1.09	0.89	

【 図 8 】

従来のSRAMの一例の一部分を示す回路図

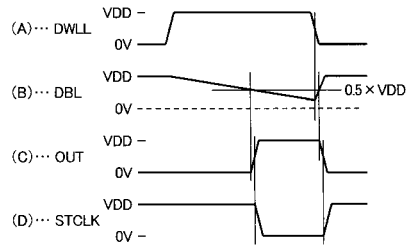


【図9】



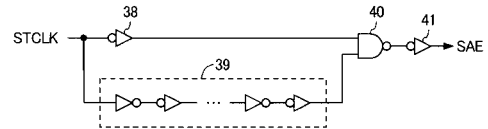
【図10】

センスアンプ起動タイミング制御回路3の動作を示す波形図



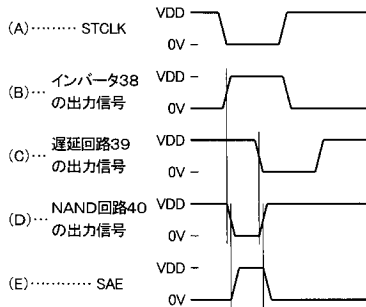
【図11】

センスアンプ起動信号生成回路4の構成を示す回路図



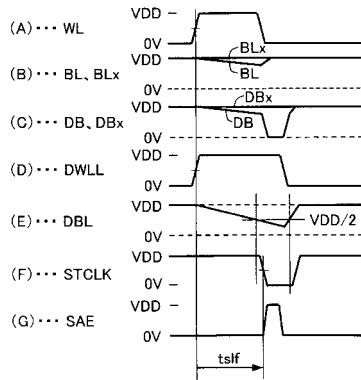
【図12】

センスアンプ起動信号生成回路4の動作を示す波形図



【図13】

図8に示す従来のSRAMのメモリセル1からのデータリード時の動作例を示す波形図



【 図 1 4 】

センスアンプ起動タイミング制御回路3における  
センスアンプ起動タイミング出現確率を示す図

