

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6569288号
(P6569288)

(45) 発行日 令和1年9月4日(2019.9.4)

(24) 登録日 令和1年8月16日(2019.8.16)

(51) Int.Cl.		F I			
HO 1 L 25/065	(2006.01)	HO 1 L	25/08	B	
HO 1 L 25/07	(2006.01)	HO 1 L	25/08	Y	
HO 1 L 25/18	(2006.01)	HO 1 L	23/30	R	
HO 1 L 23/29	(2006.01)				
HO 1 L 23/31	(2006.01)				

請求項の数 5 (全 10 頁)

(21) 出願番号	特願2015-97217 (P2015-97217)	(73) 特許権者	000004455
(22) 出願日	平成27年5月12日(2015.5.12)		日立化成株式会社
(65) 公開番号	特開2016-213371 (P2016-213371A)		東京都千代田区丸の内一丁目9番2号
(43) 公開日	平成28年12月15日(2016.12.15)	(74) 代理人	110002354
審査請求日	平成30年4月2日(2018.4.2)		特許業務法人平和国際特許事務所
		(72) 発明者	滴倉 一行
			東京都千代田区丸の内一丁目9番2号 日 立化成株式会社内
		(72) 発明者	蔵淵 和彦
			東京都千代田区丸の内一丁目9番2号 日 立化成株式会社内
		審査官	豊島 洋介

最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

(I) キャリア上に複数の第1の半導体素子を固定する工程と、
 (II) 前記第1の半導体素子を感光性樹脂材料で一括封止して感光性樹脂膜を形成する工程と、
 (III) 前記感光性樹脂膜を露光及び現像して、前記第1の半導体素子の電極部分を開口する開口部を形成する工程と、
 (IV) 前記開口部において、前記複数の第1の半導体素子の2以上の半導体素子に跨るように、第1の半導体素子の電極と第2の半導体素子を接続用電極を介して電氣的に接続する工程とを備える半導体装置の製造方法であって、

前記感光性樹脂材料の露光後の最低溶解粘度が10000 Pa・s以下である半導体装置の製造方法。

【請求項2】

さらに、前記キャリアを剥離する工程を備える請求項1に記載の半導体装置の製造方法。

【請求項3】

前記感光性樹脂材料が、フィルム状材料又はシート状材料である請求項1又は2のいずれか一項に記載の半導体装置の製造方法。

【請求項4】

前記(III)の工程で形成するパターン硬化膜の膜厚が50~400 μmである請求項

1～3のいずれか一項に記載の半導体装置の製造方法。

【請求項5】

前記感光性樹脂材料がネガ型である請求項1～4のいずれか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法及び当該製造方法により得られる半導体装置に関する。より詳しくは、微細化や高密度化の要求が高い半導体装置を十分に効率よく、低コストに製造するための半導体装置の製造方法、及び当該製造方法により得られる半導体装置に関する。

10

【背景技術】

【0002】

半導体装置の高密度化、高性能化を目的に、異なる性能の半導体素子を一つのパッケージに混載する実装形態が提案されており、低コスト化の観点から、半導体素子間の高密度インターコネクタ技術が重要になっている。

【0003】

3次元実装形態には、パッケージ上に異なるパッケージをフリップチップ実装によって積層することで接続するパッケージ・オン・パッケージ構造がスマートフォンやタブレット端末に広く採用されている（例えば非特許文献1及び非特許文献2参照）。さらに高密度で実装するための形態として、高密度配線を有する有機基板を用いたパッケージ技術、シリコン又はガラスインターポザーを用いたパッケージ技術、シリコン貫通電極（TSV）を用いたパッケージ技術、基板に埋め込まれた半導体素子を半導体素子間伝送に用いるパッケージ技術等が提案されている（例えば特許文献1参照）。

20

【0004】

また、半導体素子同士を高密度で導通させるために、半導体素子間の電気接続部のピッチをより狭く設計する傾向にある。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特表2012-529770号公報

【非特許文献】

【0006】

【非特許文献1】Application of Through Mold Via (TMV) as PoP Base Package, Electronic Components and Technology Conference (ECTC), 2008

【非特許文献2】Advanced Low Profile PoP Solution with Embedded Wafer Level PoP (eWLB-PoP) Technology, ECTC, 2012

40

【発明の概要】

【発明が解決しようとする課題】

【0007】

高密度配線を有する有機基板を用いたパッケージは微細配線の積層が必要なことから十分な歩留まりを得ることが難しい。また、シリコン又はガラスインターポザーを用いたパッケージは大面積のインターポザーが必要となるため、反りの抑制や低コスト化といった課題がある。さらに、高密度化のためにシリコン又はガラス貫通電極を用いても、歩留まりや低コスト化といった課題がある。

加えて、電気接続部が狭い半導体素子間に用いられるアンダーフィルは、充填不足と半導体素子へのダメージの点から、半導体素子搭載後にキャピラリーアンダーフィルを充填

50

する従来方式の適用は困難である。

また、一方の半導体素子上にアンダーフィルを塗布した後にもう一方の半導体素子を圧着して接続する方式であっても、バンプ間に樹脂が噛みこみ導通不良となったり、事前にアンダーフィル付の半導体素子を作製する工程が必要となりプロセスが煩雑になったりと課題があった。

【0008】

本発明の目的は、高密度伝送が可能な半導体装置を良好な歩留まり、かつ低コストで製造できる製造方法を提供することである。

【課題を解決するための手段】

【0009】

本発明によれば、以下の半導体装置の製造方法等が提供される。

1. (I) キャリア上に複数の第1の半導体素子を固定する工程と、
(II) 前記第1の半導体素子を感光性樹脂材料で一括封止して感光性樹脂膜を形成する工程と、

(III) 前記感光性樹脂膜を露光及び現像して、前記第1の半導体素子の電極部分を開口する開口部を形成する工程と、

(IV) 前記開口部において、前記複数の第1の半導体素子の2以上の半導体素子に跨るように、第1の半導体素子の電極と第2の半導体素子を接続用電極を介して電氣的に接続する工程とを備える半導体装置の製造方法。

2. さらに、前記キャリアを剥離する工程を備える1に記載の半導体装置の製造方法。

3. 前記感光性樹脂材料が、フィルム状材料又はシート状材料である1又は2に記載の半導体装置の製造方法。

4. 前記(III)の工程で形成するパターン硬化膜の膜厚が50～400μmである1～3のいずれかに記載の半導体装置の製造方法。

5. 前記感光性樹脂材料がネガ型である1～4のいずれかに記載の半導体装置の製造方法。

6. 1～5のいずれかに記載の製造方法を用いて製造された半導体装置。

【発明の効果】

【0010】

本発明によれば、高密度伝送が可能な半導体装置を歩留まりよく、かつ低コストで製造できる製造方法が提供できる。

【図面の簡単な説明】

【0011】

【図1】キャリアに第1の半導体素子を複数固定した状態を模式的に示す断面図である。

【図2】複数の第1の半導体素子を感光性樹脂材料で一括封止して感光性樹脂膜を形成した状態を模式的に示す断面図である。

【図3】感光性樹脂膜を露光及び現像して、前記第1の半導体素子の電極部分を開口する開口部を形成した状態を模式的に示す断面図である。

【図4】前記複数の第1の半導体素子の2以上の半導体素子に跨るように、第1の半導体素子の電極と第2の半導体素子を接続用電極を介して電氣的に接続した状態を模式的に示す断面図である。

【図5】金属部材をさらに搭載した状態を模式的に示す断面図である。

【図6】キャリアを剥離して基板に半導体装置を搭載し、アンダーフィルを充填した状態を模式的に示す断面図である。

【図7】キャリアを剥離した半導体装置の上面図である。

【図8】シリコン貫通電極(TSV)を用いた積層体を含む半導体装置を模式的に示す断面図である。

【図9】第1の半導体素子及び第2の半導体素子を基板に搭載した半導体装置を模式的に示す上面図である。

【発明を実施するための形態】

10

20

30

40

50

【0012】

以下、図面を参照しながら本発明の好適な実施形態について詳細に説明する。以下の説明では、同一又は相当部分には同一符号を付し、重複する説明は省略する。また、上下左右等の位置関係は、特に断らない限り、図面に示す位置関係に基づくものとする。さらに、図面の寸法比率は図示の比率に限られるものではない。

【0013】

なお、「左」、「右」、「正面」、「裏面」、「上」、「下」、「上方」、「下方」等の用語が利用されている場合、これらは、説明を意図したものであり、必ずしも永久にこの相対位置である、という意味ではない。

【0014】

本発明の半導体装置の製造方法は、下記工程を備える：

(I) キャリア上に複数の第1の半導体素子を固定する工程

(II) 前記第1の半導体素子を感光性樹脂材料で一括封止して感光性樹脂膜を形成する工程

(III) 前記感光性樹脂膜を露光及び現像して、第1の半導体素子の電極部分を開口する開口部を形成する工程

(IV) 前記開口部において、前記複数の第1の半導体素子の2以上に跨るように、第1の半導体素子の電極と第2の半導体素子を接続用電極を介して電氣的に接続する工程

【0015】

本発明の半導体装置の製造方法では、感光性樹脂材料で複数の半導体素子を一括封止するため、取り扱い性が高い。また、封止材料として用いた感光性樹脂材料を露光及び現像によってパターン硬化膜とすることで、金属接続部（開口部に覆われていない部分）の噛みこみを抑制できる方法でアンダーフィルとして用いることができる。

このように、本発明の半導体装置の製造方法は、感光性樹脂材料を用いたパターン硬化膜が複数の半導体素子の封止部として機能するだけでなく、アンダーフィルとしても機能するため、低コスト化が可能な半導体素子の製造方法である。

【0016】

本発明の一実施形態に係る図5に示す半導体装置101を製造する方法について説明する。尚、本発明の半導体装置の製造方法は、微細化及び多ピン化が必要とされる形態において特に好適である。特に、本発明の製造方法は、異種半導体素子を混載するためのインターポーザが必要なパッケージ形態において好適である。

【0017】

図1から図5を参照しながら、半導体装置101の製造方法について説明する。

まず、複数の第1の半導体素子2を第1の半導体素子2の電極7が表面に露出するようにキャリア1上に固定する（図1参照）。電極7は第1の半導体素子の金属接続部である。

【0018】

キャリア1は特に限定されるものではないが、シリコン板、ガラス板、SUS板、ガラスクロス入り基板等であり、高剛性材料からなる基板が好適である。また、キャリア上に第1の半導体素子2を固定させるための樹脂層や樹脂層付の金属薄膜を形成することもできる。また、キャリアには、シリコン板を埋め込むと低反りとなり好ましい。

樹脂層には、例えば、シリコンやフッ素等の非極性成分を含有した樹脂や、加熱によって体積膨張又は発泡する成分を含有した樹脂を用いることができる。

【0019】

キャリア1はウェハ状及びパネル状のいずれでもよい。また、キャリア1のサイズは特に限定されず、直径200mm、直径300mm又は直径450mmのウェハや300～700mmのパネルが好ましく用いられる。

【0020】

キャリア1の厚みは0.2mmから2.0mmの範囲であることが好ましい。キャリア1の厚みが0.2mm未満の場合は工程中における取り扱い性が低下する傾向がある。一

10

20

30

40

50

方、キャリア1の厚みが2.0mm超の場合は材料費が高くなる傾向がある。

【0021】

第1の半導体素子2としては、CPU、グラフィック処理ユニットGPU、DRAM、SRAM等の揮発性メモリ、フラッシュメモリ等の不揮発性メモリ、RFチップやこれらを組合せた性能を有する半導体素子が好ましく用いられる。

また、第1の半導体素子2として、複数の半導体素子が積層された半導体素子積層体も用いることができる。具体的には、TSVを用いて積層した半導体素子積層体を使用することができる。図8は、半導体装置101に用いる半導体素子の一部が半導体素子積層体12である例を示す。

【0022】

第1の半導体素子2の厚みは、絶縁材料を薄くすることで反りを小さくできる観点から、400 μ m以下であることが好ましく、パッケージをさらに薄型化できる観点から、200 μ m以下であることがより好ましい。また、取り扱い性の観点から、第1の半導体素子2の厚みは30 μ m以上であることが好ましい。

【0023】

第1の半導体素子2をキャリア1の正確な位置に配置するために、第1の半導体素子2及びキャリア1は、アライメントマークを有していることが好ましい。

【0024】

次いで、感光性樹脂材料を用いて第1の半導体素子2を覆うように感光性樹脂膜3を形成する(図2)。使用する感光性樹脂材料は特に限定されないが、液状、固形、フィルム状又はシート状の感光性樹脂材料を用いることができる。これらのうち、低反りかつ低コストで封止可能な点、さらにクリーンルーム環境下での汚染を回避する点で、フィルム状又はシート状の感光性樹脂材料が好適である。

フィルム状感光性樹脂材料による封止はラミネート方式でもコンプレッション方式のいずれでもよい。

【0025】

感光性樹脂材料としては、熱硬化時のアウトガスが少なく、かつパターンの変形が少ない観点からネガ型の感光性樹脂材料が好ましい。ネガ型の感光性樹脂材料としては、特に限定はされないが、従来公知の感光性接着材、ソルダーレジスト、感光性アンダーフィル等の感光性絶縁材料が例示できる。

【0026】

感光性樹脂材料は熱硬化成分を含有することが好ましく、封止後のさらなる加熱によって硬化させてもよい。加熱条件は例えば加熱温度は120~180、30分~3時間である。

また、熱硬化成分を含む感光性樹脂材料を加熱硬化して得られるパターン硬化膜(封止部)の室温から120までの平均熱膨張係数は $25 \times 10^{-6} /$ から $100 \times 10^{-6} /$ の範囲であることが好ましい。平均熱膨張係数が $25 \times 10^{-6} /$ 未満の場合は感光性樹脂材料から得られる膜が脆くなるおそれがある。一方、 $100 \times 10^{-6} /$ 超の場合は得られるパッケージに反りが生じ易くなり、取り扱い性が低下するおそれがある。

【0027】

パターン硬化膜形成後の半導体素子封止パッケージの取り扱い性の観点から、感光性封止材料を熱硬化した後の封止部(パターン硬化膜)の室温弾性率は1GPa~10GPaの範囲であることが好ましい。室温弾性率が1GPa未満であると封止部の自己保持性が乏しくなり、取り扱いが困難となる傾向がある。また、室温弾性率が10GPa超であると封止部が脆くなり、割れ易くなる傾向がある。

【0028】

感光性樹脂材料を用いて一括封止して感光性樹脂膜を形成する工程は、液状又は固形材を用いたコンプレッションモールドよりも低コストで製造でき、かつ半導体素子へのダメージも少ない点で、ラミネート工程であることが好ましい。上記工程がラミネート工程で

10

20

30

40

50

ある場合、使用できる感光性樹脂材料としては、例えばフィルム状感光性樹脂を用いることができる。

【0029】

上記工程は、低温工程であることが好ましく、感光性材料は、40～120 で封止可能なフィルム状感光性樹脂であることが好ましい。封止可能な温度が40 未満の感光性樹脂材料は常温でのタックが強く、取り扱い性が悪化するおそれがあり、封止可能温度が120 超の感光性樹脂材料は、封止後に反りが大きくなるおそれがある。

【0030】

次いで、感光性樹脂膜3を露光及び現像することによって感光性樹脂膜3の一部を開口したパターン硬化膜3'とし、第1の半導体素子2の電極7を露出して半導体素子封止パッケージ100を得る(図3)。なお、図3の第1の半導体素子上の開口部について、電極7に対応しない部分も開口しているが、これは断面図であるからであり、これらも電極を露出している開口部である。

10

感光性樹脂膜3の露光方法としては、通常の投影露光方式、コンタクト露光方式、直描露光方式等を用いることができる。現像方法としては炭酸ナトリウムやTMAH等のアルカリ水溶液を用いることが好ましい。また、パターン硬化膜を更に加熱することで硬化を進行させることもできる。

【0031】

露光の位置合わせは、第1の半導体素子2又はキャリア1に形成されたアライメントマークを使用することができる。この際、アライメントマークの認識性を確保するために、感光性樹脂膜は、膜厚50μm時において、400～800nmでの最大透過率が50%以上であることが好ましく、70%以上であることがより好ましい。

20

なお、感光性樹脂膜(封止部)の最大透過率が50%未満の場合はアライメントマーク認識が困難となるおそれがある。最大透過率が70%以上であれば、高い位置精度が得られ、高い歩留まりを得ることができる。

上記最大透過率は分光光度計(日立ハイテクノロジー(株)製、商品名「U-3310」)を用いて、400～800nmでの透過率を読み取ることで測定することができる。

【0032】

露光及び現像工程において、電極7を露出する開口部だけでなく、キャリア1を露出する開口部11を設けることが好ましい。例えば、第1の半導体素子2周辺部に開口部を設けることによってダイシングせずに半導体素子を個片化することができる(図3及び図7)。本工程によって、ダイシング工程による樹脂割れや剥離による歩留まり低下を考慮する必要がなくなり、効率よく、低コストでパッケージを製造することができる。

30

【0033】

感光性樹脂膜を開口する際に、第1の半導体素子周辺部の樹脂膜をパターンニングしてビア形状の開口部を設けた後に、シード形成とめっき工程によって開口したビアに銅等の導体を充填して、Through Mold Via(TMV)構造にすることもできる。

【0034】

次いで、隣接する2つの第1の半導体素子2に跨るように、第2の半導体素子4をパターン硬化膜3'の開口部上に搭載する(図4)。このとき第2の半導体素子4は接続用電極部6を介してそれぞれの第1の半導体素子の電極7と電氣的に接続される。

40

複数の第1の半導体素子2を封止した半導体素子封止パッケージ100をあらかじめ作製することで、第1の半導体素子を個別化した状態で第2の半導体素子を搭載する場合と比較して、第2の半導体素子の搭載時の位置ずれやたわみ等の変形を防ぐことができる。また、第2の半導体素子搭載後も取り扱い性が良好となる。また、露光と現像によって接続用電極部の不要な樹脂が除去されているため、感光性樹脂材料の噛み込みが少ない良好な接続体を得ることができる。

【0035】

第2の半導体素子としては、システムオンパッケージ、シリコンフォトリソグラフィ、

50

MEMS、センサーチップ等を用いることができる。

第2の半導体素子は既存のシリコンプロセス技術で得られるため、インターコネクティブと幅が、有機基板内に作成される場合と比較して高密度である。そのため、本構造にすることで優れた半導体素子同士のインターコネクティブ密度を得ることができる。

【0036】

接続用電極部6及び電極7としては、例えば、めっきにより形成された金バンプや銅バンプ、さらに銅の上にはんだが形成されたバンプ、研磨処理によって露出された銅等が挙げられる。

接続用電極部6及び電極7は、金ワイヤーを用いて形成される金スタッドバンプ、必要に応じて超音波を併用した熱圧着により電極パッドに固定された金属ボール、めっきや蒸着により形成されたバンプ等でもよい。

接続用電極部6及び電極7は、単一の金属から構成されている必要はなく、複数の金属を含んでもよい。接続用電極部6及び電極7は、それぞれ金、銀、銅、ニッケル、インジウム、パラジウム、スズ、ビスマス等を含んでもよい。また、接続用電極部6及び電極7は、それぞれ複数の金属層を含む積層体であってもよい。

【0037】

第2の半導体素子4を搭載する際において、開口部を充填するためにパターン硬化膜3'を形成する感光性樹脂材料は熱流動性を有すると好ましい。低荷重で良好な金属接続とボイドを達成できる点で、感光性樹脂材料の露光後の最低熔融粘度が $10000\text{ Pa}\cdot\text{s}$ 以下であることが好ましく、金属接続部に良好な合金形成できる点で $5000\text{ Pa}\cdot\text{s}$ 以下であることがより好ましい。また、電極部の変形を抑制できる点で、感光性樹脂材料の露光後の最低熔融粘度が $10\text{ Pa}\cdot\text{s}$ 以上であることが好ましい。

【0038】

感光性樹脂材料の最低熔融粘度は、フィルム上に感光性樹脂材料を積層後、露光した硬化膜付きフィルムを用意し、当該フィルムについて、粘弾性測定装置（レオメトリックス・サイエンティフィック・エフ・イー（株）製、商品名「ARE S」）を用いて測定された $80\sim 200$ における熔融粘度の最低値で読み取ることができる。測定の際、測定プレートは、直径 8 mm の平行プレートを用い、測定条件は、昇温速度 5 /min 、測定温度 $-50\sim 300$ 、周波数 1 Hz とするとよい。

【0039】

第2の半導体素子搭載後の第2の半導体素子4と半導体素子封止パッケージ100の圧着方法としては、個片化した第2の半導体素子4と個片化した半導体素子封止パッケージ100を接続させる方式、個片化した第2の半導体素子4と、パネル又はウェハに固定された状態の半導体素子封止パッケージ100を接続させる方式が挙げられ、製造コストと取り扱い性の観点から、後者の方が好ましい。

圧着は通常 $80\sim 350$ で $3\sim 30$ 秒の条件で実施できる。圧着温度が 220 よりも低い場合は、リフロー工程によって良好な金属接続状態にすることができる。より効率的にパッケージを製造する観点から、個片化した第2の半導体素子4と、パネル又はウェハ状態の半導体装置100を 150 以下で仮圧着した後、リフロー工程によって金属接続させることが最も好ましい。

【0040】

次いで、電極7上にはんだボール等の電気接続のための金属部材9を搭載する（図5）。金属部材9は後述する基板8との接続用部材としての機能を有する。

電気接続のための金属部材9の搭載は市販の N_2 リフロー装置等を用いて容易に行うことができる。

【0041】

本発明の半導体装置の製造方法は、キャリア1を剥離する工程を含むことが好ましい。

キャリアを剥離する工程のタイミングは、封止された半導体素子の取り扱い性に問題がなければ特に限定はしないが、電気接続のための金属部材9を搭載（図5）した後（工程（IV）の後）にキャリア1を剥離することが好ましい。一方で、反りや取り扱い性、キャ

10

20

30

40

50

リア 1 上に形成される封止部の耐熱性に問題があり、第 2 の半導体素子を搭載する工程 (図 4) で良好な接続が困難である場合、感光性樹脂材料をパターニング (図 3) した後 (工程 (III) の後) にキャリア 1 を剥離することができる。

キャリアの剥離方法としては特に制限しないがピール剥離、スライド剥離、加熱剥離等が挙げられる。また、剥離した後に溶剤やプラズマ等で洗浄することもできる。

【 0 0 4 2 】

上記方法によって作製した半導体装置 1 0 1 の上面図を図 9 に示す。

本発明の半導体装置は、半導体素子同士 (第 1 の半導体素子) の伝送に半導体素子 (第 2 の半導体素子) を使用するため高速通信が可能となる。

【 0 0 4 3 】

図 6 は、キャリア 1 を剥離した半導体装置 1 0 1 と基板 8 を金属部材 9 を介して搭載し、半導体装置 1 0 1 及び基板 8 の間隙をアンダーフィル 1 0 で充填した状態を示す断面図である。

基板 8 としては特に限定しないが、シリコン、ガラスインターポーザ、微細配線を有する有機インターポーザ、半導体素子、ガラスが埋め込まれた有機基板、微細配線基板等が挙げられる。

アンダーフィル 1 0 の充填方法は特に限定しないが、半導体装置 1 0 1 もしくは基板 8 にアンダーフィルを塗布した後に、半導体装置 1 0 1 と基板 8 とを接続する方法や、半導体装置 1 0 1 と基板 8 とを圧着した後にモールド又はキャピラリー方式でアンダーフィルを注入する方法が挙げられる。

【 0 0 4 4 】

以上、本発明の一実施形態に係る半導体装置の製造方法について説明したが、本発明は上述した実施形態に限定されるものではなく、その趣旨を逸脱しない範囲で適宜変更を行ってもよい。

【 符号の説明 】

【 0 0 4 5 】

- 1 キャリア
- 2 第 1 の半導体素子
- 3 感光性樹脂膜
- 3 ' パターン硬化膜 (封止部)
- 4 第 2 の半導体素子
- 6 接続用電極部
- 7 電極 (金属接続部)
- 8 基板
- 9 電気接続のための金属部材
- 1 0 アンダーフィル
- 1 1 キャリアを露出する開口部
- 1 2 半導体素子積層体
- 1 0 0 半導体素子封止パッケージ
- 1 0 1 半導体装置

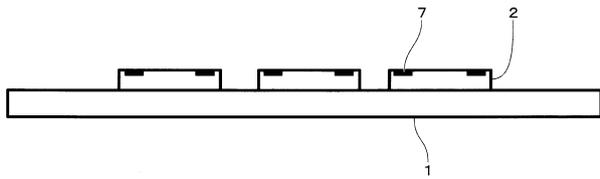
10

20

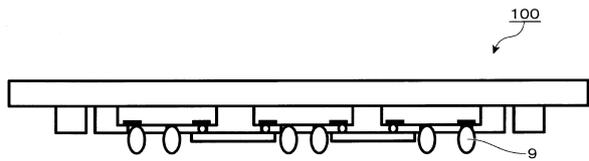
30

40

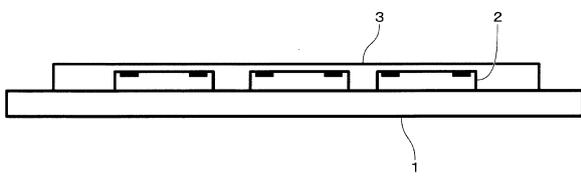
【図1】



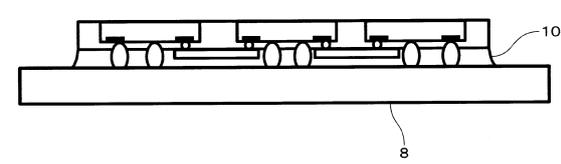
【図5】



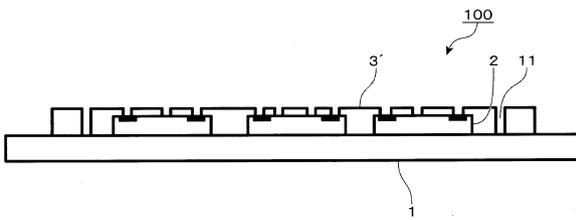
【図2】



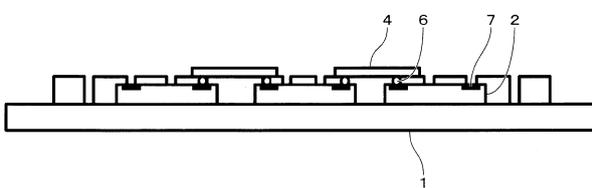
【図6】



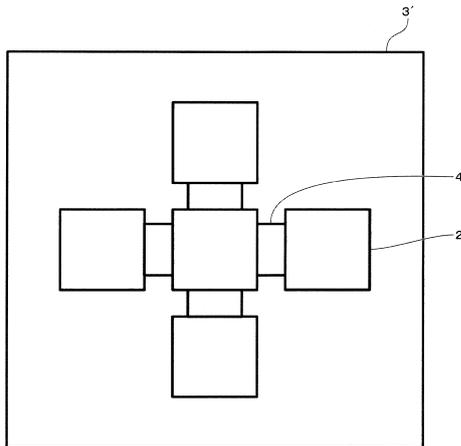
【図3】



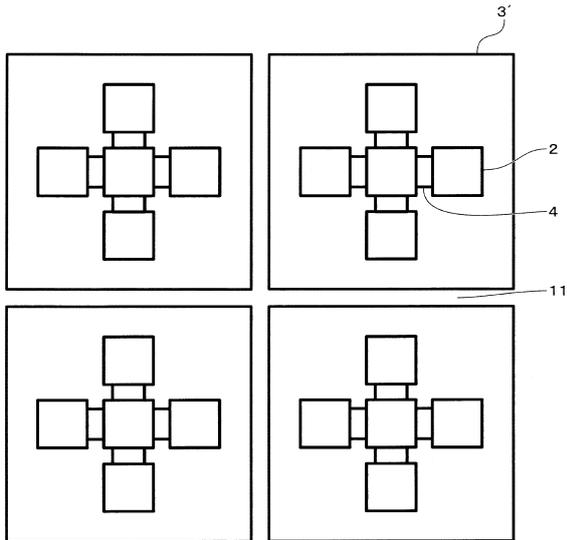
【図4】



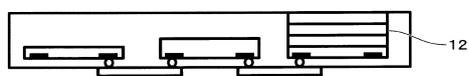
【図9】



【図7】



【図8】



フロントページの続き

(56)参考文献 特開2007-103716(JP,A)
特開2003-243604(JP,A)
特開2012-169440(JP,A)
特開2014-086598(JP,A)
特表2015-510686(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L23/28-23/31
25/00-25/07
25/10-25/11
25/16-25/18