

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-54886
(P2009-54886A)

(43) 公開日 平成21年3月12日(2009.3.12)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 29/792 (2006.01)		
HO 1 L 27/115 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願2007-221698 (P2007-221698)
(22) 出願日 平成19年8月28日 (2007. 8. 28)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100108062
弁理士 日向寺 雅彦
(72) 発明者 井野 恒洋
東京都港区芝浦一丁目1番1号 株式会社東芝内
Fターム(参考) 5F083 EP18 EP48 EP49 EP76 EP77
EP78 GA06 GA09 GA21 JA03
JA04 JA05 JA39 LA21 NA01
NA06 PR05 PR40
5F101 BA42 BA45 BA47 BD02 BD34
BD35

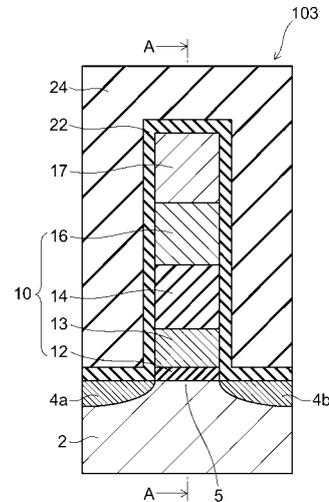
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】電荷トラップ効率が可及的に高い材料を用いたMONOS型メモリセルを有する不揮発性半導体記憶装置を提供する。

【解決手段】半導体層の表面に離間して形成されたソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間の前記半導体層上に設けられたトンネル絶縁膜と、前記トンネル絶縁膜の上に設けられた電荷蓄積膜と、前記電荷蓄積膜の上に設けられ、 $(Rn_{1-x}Ln_x)_{2-y}Al_yO_3$ (ただしLnはPr、Tb、Ce、Yb、Euの中から選択されたいずれか1種類以上、RnはLa、Nd、Sm、Gd、Dy、Ho、Er、Tm、Lu、Y、Scの中から選択されたいずれか1種類以上、 $0 < x < 0.167$ (ただしLnがPrの場合は $0 < x < 0.333$ でありLnがTbの場合は $0 < x < 0.292$ である)、 $0.95 < y < 1.20$) からなるブロック絶縁膜と、前記ブロック絶縁膜の上に設けられた制御ゲート電極と、を備えたことを特徴とする不揮発性半導体記憶装置を提供する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体層の表面に離間して形成されたソース領域及びドレイン領域と、
前記ソース領域と前記ドレイン領域との間の前記半導体層上に設けられたトンネル絶縁膜と、

前記トンネル絶縁膜の上に設けられた電荷蓄積膜と、

前記電荷蓄積膜の上に設けられ、 $(Rn_{1-x}Ln_x)_{2-y}Al_yO_3$ (ただしLnはPr、Tb、Ce、Yb、Euの中から選択されたいずれか1種類以上、RnはLa、Nd、Sm、Gd、Dy、Ho、Er、Tm、Lu、Y、Scの中から選択されたいずれか1種類以上、 $0 < x < 0.167$ (ただしLnがPrの場合は $0 < x < 0.333$ でありLnがTbの場合は $0 < x < 0.292$ である)、 $0.95 < y < 1.20$) からなるブロック絶縁膜と、

前記ブロック絶縁膜の上に設けられた制御ゲート電極と、

を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

半導体層の表面に離間して形成されたソース領域及びドレイン領域と、

前記ソース領域と前記ドレイン領域との間の前記半導体層上に設けられたトンネル絶縁膜と、

前記トンネル絶縁膜の上に設けられ、 $Ln_{2-z}Al_zO_3$ (ただしLnはPr、Tb、Ce、Yb、Euの中から選択されたいずれか1種類以上、 $0.95 < z < 1.20$) からなる電荷蓄積膜と、

前記電荷蓄積膜の上に設けられたブロック絶縁膜と、

前記ブロック絶縁膜の上に設けられた制御ゲート電極と、

を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項 3】

前記電荷蓄積膜は、 $Ln_{2-z}Al_zO_3$ (ただしLnはPr、Tb、Ce、Yb、Euの中から選択されたいずれか1種類以上、 $0.95 < z < 1.20$) からなることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】

前記Rnは、Laであることを特徴とする請求項 1 または 3 に記載の不揮発性半導体記憶装置。

【請求項 5】

前記Lnは、Pr、Tb、Ceの中から選択されたいずれか1種類以上であることを特徴とする請求項 1 ~ 4 のいずれか1つに記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体記憶装置に関し、特にブロック絶縁膜と電荷蓄積部とを備えた不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

電源を切っても不揮発な記憶装置は、研究段階のものも含めれば多々あるが、現状では不揮発性半導体記憶装置(フラッシュメモリ)が最大の市場規模を得ている。半導体回路は年々微細化が進展しており、半導体記憶装置も大容量化が進行している。フラッシュメモリも例外ではなく微細化が進展しているが、MONOS (Metal-Oxide-Nitride-Oxide-Silicon) 型と呼ばれるようなブロック絶縁膜と電荷蓄積部とを有する構造の適用が検討されている。また、トンネル絶縁膜またはブロック絶縁膜として、希土類とアルミニウムを含む酸化物を用いる技術が開示されている(特許文献1)。

【特許文献 1】特開 2006 - 203200 号公報

【発明の開示】

10

20

30

40

50

【発明が解決しようとする課題】

【0003】

しかし、不揮発性半導体記憶装置にMONOS型メモリセルを適用した場合であっても、微細化の進展によって電荷蓄積部に電荷を注入したり消去したりするための電圧を印加するブロック絶縁膜の薄膜化が進展し、必要とされる絶縁性能を達成することが困難となることが予想される。また、微細化の進展に伴い電荷蓄積膜も薄くなることから、書き込み時に電荷蓄積膜への電荷のトラップ効率が低下することも懸念される。

【0004】

本発明は、上記事情を考慮してなされたものであって、電荷トラップ効率が可及的に高い材料を用いたMONOS型メモリセルを有する不揮発性半導体記憶装置を提供することを目的とする。

10

【課題を解決するための手段】

【0005】

本発明の一態様によれば、半導体層の表面に離間して形成されたソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間の前記半導体層上に設けられたトンネル絶縁膜と、前記トンネル絶縁膜の上に設けられた電荷蓄積膜と、前記電荷蓄積膜の上に設けられ、 $(Rn_{1-x}Ln_x)_{2-y}Al_yO_3$ （ただしLnはPr、Tb、Ce、Yb、Euの中から選択されたいずれか1種類以上、RnはLa、Nd、Sm、Gd、Dy、Ho、Er、Tm、Lu、Y、Scの中から選択されたいずれか1種類以上、 $0 < x < 0.167$ （ただしLnがPrの場合は $0 < x < 0.333$ でありLnがTbの場合は $0 < x < 0.292$ である）、 $0.95 < y < 1.20$ ）からなるブロック絶縁膜と、前記ブロック絶縁膜の上に設けられた制御ゲート電極と、を備えたことを特徴とする不揮発性半導体記憶装置が提供される。

20

【0006】

また、本発明の他の一態様によれば、半導体層の表面に離間して形成されたソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間の前記半導体層上に設けられたトンネル絶縁膜と、前記トンネル絶縁膜の上に設けられ、 $Ln_{2-z}Al_zO_3$ （ただしLnはPr、Tb、Ce、Yb、Euの中から選択されたいずれか1種類以上、 $0.95 < z < 1.20$ ）からなる電荷蓄積膜と、前記電荷蓄積膜の上に設けられたブロック絶縁膜と、前記ブロック絶縁膜の上に設けられた制御ゲート電極と、を備えたことを特徴とする不揮発性半導体記憶装置が提供される。

30

【発明の効果】

【0007】

本発明によれば、電荷トラップ効率が可及的に高い材料を用いたMONOS型メモリセルを有する不揮発性半導体記憶装置が提供される。

【発明を実施するための最良の形態】

【0008】

以下、図面を参照しつつ、本発明の実施の形態について説明する。

（第1の実施の形態）

図1は、本発明の第1の実施の形態に係る不揮発性半導体記憶装置の断面模式図である。また、図2は、図1のA-A線断面図である。

40

また、図3は、本実施形態の不揮発性半導体記憶装置の要部構成の配置関係を例示する模式平面図である。

【0009】

この不揮発性半導体記憶装置は、MONOS型（Metal-Oxide-Nitride-Oxide-Semiconductor）構造のメモリセルを有するNAND型のフラッシュメモリである。本実施形態においては、メモリセルが微細化されても隣接メモリセル間の干渉が大きくなるように、各メモリセルがシリコン酸化膜などの誘電率が低いほうが好ましい絶縁膜で分離された平面型セル構造が用いられる。

【0010】

50

本実施形態の不揮発性半導体記憶装置は、図3に例示したように、ワード線17とビット線102とがマトリクス状に配線され、これらの交差部にメモリセル103が設けられている。また、これらワード線17とビット線102には、コンタクト104が適宜設けられ、上層または下層の要素と電氣的に接続されている。

【0011】

メモリセル103は、NAND接続されている。各メモリセル103は、半導体層2（またはウェル）の表面において互いに向かい合うように離間して形成されたソース領域4aおよびドレイン領域4bと、これらソース領域4aとドレイン領域4bとの間に設けられたチャンネル5となる半導体領域と、この半導体領域上に形成されたスタック構造のゲート10と、を備えている。

10

【0012】

このゲート10は、チャンネル5の上に、トンネル絶縁膜12、四価または二価となりうる希土類のアルミネート膜（電荷蓄積膜）13、四価または二価となりうる希土類を添加されたランタンアルミネート膜（ブロック絶縁膜）14、および制御ゲート電極膜16が順次積層された構造を有する。

なお、NAND接続されたメモリセル103の制御ゲート電極膜16に接続するようにワード線17が設けられている。各メモリセル103において、ゲート10の側面と、ワード線17の上面および側面は、絶縁膜22によって覆われている。また、NAND接続されたメモリセル103のゲート10は、図2に示すように、絶縁膜6によって分離されている。なお、各メモリセル103は、層間絶縁膜24によって覆われている。なお、図2は、ロウ方向（行方向）、すなわちワード線17が延びる方向に沿った断面図であり、図1は、ロウ方向に直交するカラム方向（列方向）の断面図である。

20

【0013】

本実施形態によれば、電荷蓄積膜13の材料として四価または二価となりうる希土類のアルミネートを用いる。より具体的には、電荷蓄積膜13の材料として、 $L_n z - z A l_z O_3$ （ただしLnはPr、Tb、Ce、Yb、Euの中からいずれか1種類以上、 $0.95 < z < 1.20$ ）を用いる。こうすることにより、電荷トラップ効率を可及的に向上させ、良好な電荷蓄積効果と、良好なリテンション特性（保持特性）を得ることができる。

【0014】

また一方、本実施形態によれば、ブロック絶縁膜14の材料として四価または二価となりうる希土類を添加されたランタンアルミネートを用いることにより、リーク電流を低減させ、良好な絶縁特性が得られる。より具体的には、ブロック絶縁膜14の材料として、 $(L a_{1-x} L n_x)_2 - y A l_y O_3$ （ただしLnはPr、Tb、Ce、Yb、Euの中からいずれか1種類以上、 $0 < x < 0.167$ 、 $0.95 < y < 1.20$ ）を用いる。ただし、後に詳述するように、ここでLaの代わりに、Nd、Sm、Gd、Dy、Ho、Er、Tm、Lu、Y、Scのいずれかひとつ以上の元素を用いることもできる。

30

【0015】

四価となる希土類を用いた場合、それが電子をトラップして三価に遷移するという電子捕獲機構が現実的な散乱断面積を有する。その結果として、添加した四価となる希土類元素の位置が、設計されたトラップサイトとして機能する。一方、二価となる希土類を用いた場合には、これら希土類が三価から電子をトラップして二価に遷移することによる電子捕獲機構が同様に現実的な散乱断面積を有する。その結果として、添加した二価となる希土類元素の位置が、設計されたトラップサイトとして機能する。

40

従来のSiNx電荷蓄積膜などでは、トラップサイトは設計されたものではなく、したがって電荷トラップ量やトラップ効率などを、不揮発性メモリセルとして適切な値にチューニングすることは困難であった。これに対して、本実施形態によれば、電荷トラップ量やトラップ効率などを適切に調整することが可能となる。

また、これらの四価または二価となりうる希土類の4f電子は強く局在する傾向がある。つまり、禁制帯に局在準位を形成し、電流のリークを抑制する作用がある。また、この

50

ような希土類元素どうしの間には、酸素の $2P$ 軌道(O^{2P})を介した超交換作用が生じやすく、超交換作用により電子の有効質量が増大するので、電子が動きにくくなることにより電子トラップ作用が強調され、電気伝導が生じにくくなる。つまり、電流リークが抑制され、リテンション特性(保持特性)が向上する。

【0016】

その結果として、微細化の進展によってブロック絶縁膜を薄膜化しても、必要とされる絶縁性能を達成できる、また、微細化の進展に伴い電荷蓄積膜を薄くしても、書き込み時に電荷蓄積膜への電荷のトラップ効率が低下することを防止できる。

【0017】

以下、製造方法を参照しつつ、本実施形態の不揮発性半導体記憶装置についてさらに詳細に説明する。

図4～図9は、本実施形態の不揮発性半導体記憶装置の製造方法を例示する工程断面図である。

まず、図4に表した積層構造を形成する。具体的には、シリコン単結晶の(001)面が露出しているシリコン基板2の表面に対して、希フッ酸処理によって自然酸化膜を剥離する。続いて、シリコン基板2の上にトンネル絶縁膜12として、例えば SiO_2 膜を4nm成膜する。その成膜手法としては、シリコン基板2の熱酸化などを用いることができる。トンネル絶縁膜12としては、 SiO_2 膜に限らず、 $SiON$ 膜を用いることも可能である。 $SiON$ 膜を用いる場合、 SiN 膜をCVD(Chemical Vapor Deposition)法などで成膜後に酸化するような方法も可能であるし、 SiO_2 膜を窒化するような手法も可能である。

【0018】

また、トンネル絶縁膜12として、例えば $HfSiON$ 膜や、 $HfAlO$ 膜や、 $LaAlO$ 膜などの高誘電体膜(high-k膜)を用いることも可能である。また、成膜手法としては、CVD法やPVD(Physical Vapor Deposition)法などを用いることが可能である。トンネル絶縁膜12の成膜後に各種の熱処理を加えても良いし、熱処理を加えないことも可能である。

【0019】

次に、トンネル絶縁膜12の上に、電荷蓄積膜13として膜厚7nmの $PrAlO_3$ 膜を成膜する。その成膜手法としては、スパッタ法その他、例えば、CVD(Chemical Vapor Deposition)法や、MBE(Molecular Beam Epitaxy)法やPLD(Pulsed Laser Deposition)法などを用いることもできる。これらいずれの成膜方法も、産業上利用可能な成膜装置たるべく大面積化へ対応する開発が進められている。

【0020】

スパッタ法を用いる場合、プラセオジウムアルミネート、テルビウムアルミネート、セリウムアルミネート、イッテルビウムアルミネート、ユーロピウムアルミネートなどはバルクの素材としてターゲットを作製できるので、それらターゲットを用いたスパッタ成膜が可能である。ここで、上記アルミネートの組成式は、 $LnAlO_3$ (ただしLnは、Pr、Tb、Ce、Yb、Euの中のいずれか1種類以上)といったペロブスカイト組成である。ただし、本来ペロブスカイトというものは酸素が欠損状態または過剰状態になりやすいものであり、そのようなペロブスカイト組成を採用することも可能である。

【0021】

次に、図5に表したように、電荷蓄積膜13の上に、ブロック絶縁膜14として四価または二価となりうる希土類を添加したランタンアルミネート膜を形成する。

その成膜方法としては、スパッタ法その他、CVD法、MBE法、PLD法などを用いることが可能であることは、電荷蓄積膜13の形成の場合と同様である。ここで、四価または二価となりうる希土類を添加したランタンアルミネートの組成は、 $La_{1-x}Ln_xAlO_3$ (ただしLnはPr、Tb、Ce、Yb、Euの中のいずれか1種類以上)といったペロブスカイト組成である。酸素については、上記組成式は近似を用いた化学量論による分量に過ぎず、実際にはある程度の欠損状態または過剰状態とすることも可能である。

10

20

30

40

50

【0022】

ブロック絶縁膜14を成膜後、図6に表したように、制御ゲート電極膜16として、膜厚が100nmの高融点電極膜を形成する。さらに、高融点電極膜16の上に素子分離領域を加工するための、例えばSiO₂からなるマスク材40を順次形成する。なお、図6(a)は、カラム方向の断面図であり、図6(b)は、図6(a)のA-A線に沿って切断したロウ方向の断面図である。

【0023】

その後、マスク材40の上にフォトレジストを塗布し、このフォトレジストを露光及び現像することによりレジストパターン(図示せず)を形成する。そしてRIE(Reactive Ion Etching)法によりレジストパターンをマスクとしてマスク材40をパターニングし、レジストパターンのパターンをマスク材40に転写する。その後、レジストパターンを除去する。

10

続いて、マスク材40をマスクにしてRIE法を用いて、高融点電極膜16、ブロック絶縁膜14、電荷蓄積膜13、およびトンネル絶縁膜12を順次エッチングし、ロウ方向に隣接するメモリセルを分離する溝18を形成する。その後、RIE法を用いて、シリコン基板2をエッチングし、シリコン基板2に深さ100nmの素子分離トレンチ3を形成する。

【0024】

次に、CVD法を用いて、図7に表したように、溝18および素子分離トレンチ3を完全に充填するシリコン酸化膜(埋め込み酸化膜)6を形成する。続いて、CMP(Chemical Mechanical Polishing)法によりマスク材40が露出するまでシリコン酸化膜6を研磨し、シリコン酸化膜6の表面を平坦化する。その後、マスク材40を選択的に除去する。続いて、希フッ酸溶液を用いてシリコン酸化膜6をエッチバックし、シリコン酸化膜6の高さを燐ドーパされた多結晶シリコン膜16の高さと一致させる。なお、図7(a)は、カラム方向の断面図であり、図7(b)は、図7(a)のA-A線で切断したロウ方向の断面図である。

20

【0025】

次に、図8に表したように、高融点電極膜16の上に、ワード線17として例えばタンゲステンからなる厚さ100nmの導電膜を、CVD法を用いて形成する。なお、図8(a)は、カラム方向の断面図であり、図8(b)は、図7(a)のA-A線で切断したロウ方向の断面図である。

30

【0026】

次に、図9に表したように、CVD法を用いて導電膜17上に、例えばSiO₂からなるマスク材42を形成する。その後、マスク材42上にフォトレジストを形成し、このフォトレジストを露光および現像することにより、レジストパターン(図示せず)を形成する。続いて、RIE法を用いて、レジストパターンをマスクとしてマスク材42をエッチングすることにより、レジストパターンのパターンをマスク材42に転写する。その後、このレジストパターンを除去する。

【0027】

続いて、マスク材42をマスクにして、RIE法により導電膜17、高融点電極膜16、ブロック絶縁膜14、電荷蓄積膜13、およびトンネル絶縁膜12を順次エッチングし、MONOS型ゲート10を形成する。なお、図9(a)は、カラム方向の断面図であり、図9(b)は、図9(a)のA-A線で切断したロウ方向の断面図である。

40

【0028】

続いて、マスク材42を除去した後、CVD法を用いて、少なくともMONOS型ゲート10の側面にシリコン酸化膜22を形成する。本実施形態においては、導電膜17の側面および上面にもシリコン酸化膜22が形成されている(図1、図2参照)。その後、イオン注入法によりシリコン基板2の表面領域にn⁺型ソース・ドレイン拡散領域4a、4bをセルフアライン的に形成し、メモリセルを完成する。続いて、CVD法を用いてメモリセルを覆う層間絶縁膜24を形成する(図1、2参照)。

50

このようにして、大容量の不揮発性半導体記憶装置として用いられるNAND型のMONOSフラッシュメモリセルの基本構造を形成することができる。

【0029】

本実施形態において電荷蓄積膜13またはブロック絶縁膜14として用いることができる $TbAlO_3$ は、還元雰囲気にて作製すると無色透明であるが、不活性ガス雰囲気にて作製すると黒色となる(Masami Sekita, Yasuto Miyazawa, Shoji Morita, Hideyuki Sekiwa, and Yoichiro Sato, Appl. Phys. Lett. 65 (19), 7 November 1994)。このような違いは、主に酸素量の化学量論比からのずれに起因すると考えられる。波長270nm付近の強度が飽和しているピークに相当するバンド間遷移すなわちバンドギャップは4.60eVであり、還元雰囲気試料Aと不活性ガス雰囲気試料Bとの比較で出現する450nm付近に最大強度を持つようなブロードピークは Tb^{4+} に起因し、そのエネルギー深さは2.76eVであって、深い準位を形成することが分かる。すなわち Tb^{4+} サイトが電荷をトラップするサイトとして作用する。電荷蓄積膜としての $TbAlO_3$ は、深いトラップ順位が良好なリテンション特性を生じさせる利点がある。ブロック絶縁膜としての $La_{1-x}Tb_xAlO_3$ は、電子の有効質量が大きいことによるリーク電流の低減効果のみならず、深い順位にトラップされた電荷によるクーロンブロック作用が重畳することによって、さらにリーク電流を低減するような利点がある。

10

【0030】

$TbAlO_3$ 単体では、MONOS型フラッシュメモリのブロック絶縁膜14におけるリーク電流低減効果をもたらすような電荷トラップ密度が高すぎるので、本実施形態においては、 $LaAlO_3$ のLaを置換する形でTbを添加する。Tbの添加量としては、添加されたTbイオン同士がパーコレーション経路を形成しない分量とすることが望ましい。電子のリーク経路となるパーコレーション経路を形成しない分量は、添加されたTbイオン同士が隣接しない分量であると近似できる。ランタンアルミネートのペロブスカイトAサイトの最近接Aサイト数は6であるので、そのうちの1未満、すなわち $1/6 = 0.167$ 未満であればよい。つまり、 $La_{1-x}Tb_xAlO_3$ ($0 < x < 0.167$)となる添加量xが望ましい範囲であるといえる。

20

【0031】

さらに詳細に検討すれば、Tbの酸化物の中で最も安定なものは Tb_7O_{12} 、すなわち $Tb_7O_{12} = 2Tb_2O_3 + 3TbO_2$ であることから分かるように、Tbの3価と4価は4:3の割合で存在している。パーコレーションが問題になるのは4価のTbのみであるから、添加量xの上限はもう少し拡大されて、 $0.167 \times 7/4 = 0.292$ となる。

30

【0032】

Tbを添加しない純粋なランタンアルミネートでもMONOS型フラッシュのブロック絶縁膜として用いることが可能であるが、本実施形態においては、Tbを添加することによりブロック絶縁膜の絶縁性能をさらに高めることができる。微細化がさらに進展することによって、ブロック絶縁膜にもさらに高い絶縁性能を必要とされるが、本実施形態によれば、少なくとも2世代は要求を満たすことができる。

40

【0033】

一方、 $La_{1-x}Tb_xAlO_3$ ブロック絶縁膜14に隣接する電荷蓄積膜13も、 $TbAlO_3$ とすることにより、 SiN_x などを用いた場合と比較して高いトラップ密度を持つMONOS型フラッシュメモリの電荷蓄積膜とすることができる。

【0034】

なお実際の成膜において、膜を酸化気味の雰囲気にするか還元雰囲気にするかを制御することは、例えばスパッタ成膜であればスパッタ雰囲気に添加する酸素量などで調整可能である。また、実際のデバイスは保護膜で覆われているため、いったん形成されればフラッシュメモリの動作保障スベックである10年間は電氣的性能に深刻な影響を与えるような酸化還元状態の変化を抑制することは容易である。

【0035】

50

本実施形態においては、 $La_{1-x}Tb_xAlO_3$ からなるブロック絶縁膜 14 と $TbAlO_3$ からなる電荷蓄積膜 13 とを組み合わせる場合には、LSI プロセスにおいて用いることが必要とされる 800 以上の熱処理において希土類元素の拡散があっても、希土類元素の拡散を見越した初期濃度にて成膜するような方法で対応可能である。

【0036】

以上説明したように、本実施形態において用いる希土類アルミネートの組成は、希土類元素とアルミニウムとのモル比が 1 : 1 となるようなペロブスカイト組成である。ただし 1 : 1 の組成比から、現実的な組成分析手法にて定量可能なプラスマイナス 0.05 程度のずれは、本発明の範囲に含まれる。ペロブスカイト組成であれば、ペロブスカイト B サイトイオン周囲の結晶内空間が大きくなり、B サイトイオンの分極の寄与が大きくなることにより比誘電率が大きくなる。すなわち同じ酸化膜換算膜厚値であっても実膜厚を厚くできるため、リーク電流が減少するといった機構によりブロック絶縁膜としての性能が高くなる。さらに、上述したペロブスカイト組成よりもアルミニウムが多い組成であれば、アルミナのバンドギャップが 8.8 eV 程度とランタンアルミネートのバンドギャップ 5.7 eV より大きいことに対応してほぼ線形にバンドギャップが広がるため、0.80 : 1.20 まではリーク電流が低い状態が保たれる。0.80 : 1.20 を超えてアルミニウムが増えると、アルミナの比誘電率が 8 程度でランタンアルミネートの比誘電率 23 より低いことに対応してリーク電流が増える懸念がある。希土類アルミネートにおける酸素量のずれについても既に説明したものと同様に存在し、それらも本実施形態において用いることができる。

【0037】

例えば、特許文献 1 には、トンネル酸化層またはブロッキング酸化層として $(Hf, Zr, Y \text{ or } Ln)O_2)_x(Al_2O_3)_{1-x}(0.03x \text{ to } 0.26)$ を用いることが開示されている。ここで、Ln は La, Ce, Pr, Nd, Pm, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb または Lu である。この組成を本実施形態と比較しやすいように表現すると、希土類 : アルミニウムのモル組成比が 0.03 : 1.94 から 0.26 : 1.48 までの範囲である。つまり、本実施形態における希土類 : アルミニウムのモル組成比とは明白に異なる。

【0038】

(第 2 の実施の形態)

第 1 実施形態において電荷蓄積膜 13 及びブロック絶縁膜 14 の少なくともいずれかに用いた Tb (テルビウム) に代えて、Pr (プラセオジウム) を用いることも可能である。プラセオジウムもテルビウム同様に四価を取りうる希土類元素であり、適度な酸化雰囲気にて Pr^{4+} を生成することで、テルビウムと同様に深い局在準位を形成する。プラセオジウムアルミネートもテルビウムアルミネートと同様にペロブスカイト組成の相が存在し、酸化雰囲気下で緑色の透明結晶となる。正確な不純物準位の深さは必ずしも明確ではないが、緑色の 530 nm 程度の光の吸収が生ずることから、2.3 eV 付近であると考えられる。プラセオジウムアルミネートのバンドギャップも 5.0 eV 付近であるから、テルビウムアルミネートとほぼ同様のバンド構造である。

【0039】

Pr の酸化物の中で最も安定である Pr_6O_{11} は、すなわち $Pr_6O_{11} = Pr_2O_3 + 4PrO_2$ であることから、Pr の 3 価と 4 価は 1 : 2 の割合で存在している。したがって、パーコレーション経路の形成を抑制する観点からは、 $(La_{1-x}Pr_x)_2-yAl_yO_3$ における Pr の添加上限は、 $0.167 \times 2 / 1 = 0.333$ にまで拡大されることが分かる。

【0040】

プラセオジウムアルミネートについては、151 K 以下の低温で磁性秩序を持ち、室温では 3.6 μ B 程度の磁気モーメントが酸素を介して負の超交換相互作用を持つような常磁性状態である (E. Cohen, L. A. Risberg, W. A. Nordland, R. D. Burbank, R. C. Sherwood, Physical Review 186, 476(1969))。磁気モーメントの実体は電子であるから、上

10

20

30

40

50

記事実はすなわち電子間相互作用が大きいことを意味し、電子が周囲の電子を引きずるような作用によって電子の有効質量が増大していることを意味する。すなわち電荷蓄積膜として用いた場合には電子の散乱断面積の増大によるトラップ効率が高いことが期待され、いったんトラップされた電子がなかなか動けないことによるリテンション特性が高いことが期待される。ブロック絶縁膜としてランタンアルミネートなどに添加された場合は、重くなった電子がなかなか動けないことによるリーク電流の低減が期待され、設計されたトラップサイトの電荷によるクーロンブロック作用が重畳してリーク電流を低減することが期待される。

同様の効果は、テルビウムアルミネートでも予想される。

【0041】

(第3の実施の形態)

第1及び第2実施形態において電荷蓄積膜13及びブロック絶縁膜14の少なくともいずれかに用いるテルビウムやプラセオジウムに代えて、Ce(セリウム)を用いることも可能である。

セリウムアルミネートは、セリウムイオンが四価となると安定であるため単体では高温で酸素が脱離し、セリアとアルミナに熱分解してしまうことも考えられる。しかし、MONOS型フラッシュメモリの電荷蓄積膜13として用いる場合には、上層の $La_{1-x}Ce_xAlO_3$ ($0 < x < 0.167$)ブロック絶縁膜14や保護膜22、24などにキャップされているため酸素脱離が抑えられ、熱分解せずに電荷蓄積膜13としての機能を維持することが期待される。

【0042】

また、ランタンアルミネートと混晶させた $La_{1-x}Ce_xAlO_3$ ($0 < x < 0.167$)ブロック絶縁膜14も、電極や保護膜などのキャップがあることに加え、混晶となっていることからさらに安定性が増し、前述したテルビウムやプラセオジウムと同様に、MONOSのブロック絶縁膜14として用いることが可能である。セリウムアルミネートは、比誘電率が200を超えるため、ブロック絶縁膜に添加して用いた場合のリーク電流低減効果が大きいという効果が得られる。またセリウムアルミネートを電荷蓄積膜として用いた場合は、比誘電率が200を超えるため、蓄積された電荷の遮蔽効果が大きく、より多くの電荷を蓄積できるといった効果が得られる。

【0043】

(第4の実施の形態)

第1乃至第3実施形態において電荷蓄積膜13及びブロック絶縁膜14の少なくともいずれかに用いるテルビウムやプラセオジウムやセリウムに代えて、Yb(イッテルビウム)やEu(ユーロピウム)のような二価となりうる希土類を添加することも可能である。

イッテルビウムやユーロピウムの場合、テルビウムやプラセオジウムやセリウムとは逆に還元雰囲気中で成膜することで Yb^{2+} や Eu^{2+} を生成し、電荷トラップサイトとすることが可能である。すなわち、これらの元素が三価の状態から二価の状態に遷移する際に電子を捕獲する。なお、保護膜などのキャップを設けることが望ましい点は、上述したテルビウムやプラセオジウムやセリウムの場合と同様である。

【0044】

(実施例1)

シリコン基板を希フッ酸処理して自然酸化膜などを剥離した後、 SiO_2 または SiO_xN_y からなるトンネル絶縁膜12を5nm形成する。トンネル絶縁膜12の上にSiNからなる電荷蓄積膜を5nm形成する。この電荷蓄積膜の上に、 $(La_{1-x}Ln_x)_2-yAl_yO_3$ (ただしLnはPr、Tb、Ce、Yb、Euの中からいずれか1種類以上、 $0 < x < 0.167$ 、 $0.95 \leq y \leq 1.20$)からなるブロック絶縁膜14を15nm形成する。ブロック絶縁膜14の上にTa₂N₅からなる電極16を形成する。かかる構成において、 $(La_{1-x}Ln_x)_2-yAl_yO_3$ ブロック絶縁膜14の電気絶縁性能が $LaAlO_3$ ブロック膜の電気絶縁性能より優れていることに起因して、電荷保持特性が向上し、電荷蓄積および消去のための印加電圧を低下させることができる。ここで、L

10

20

30

40

50

nとしてはPr、Tb、Ceが特に優れ、Yb、Euも良好な結果が得られる。

【0045】

(実施例2A)

シリコン基板を希フッ酸処理して自然酸化膜などを剥離した後、 SiO_2 または SiO_xN_y からなるトンネル絶縁膜12を5nm形成する。トンネル絶縁膜12の上に $\text{Ln}_{2-z}\text{Al}_z\text{O}_3$ (ただしLnはPr、Tb、Ce、Yb、Euの中からいずれか1種類以上、 $0.95 < z < 1.20$)からなる電荷蓄積膜13を12nm形成する。電荷蓄積膜13の上に、 Al_2O_3 からなるブロック絶縁膜を7nm形成する。このブロック絶縁膜の上にTa(O)Nからなる電極16を形成する。ここで、Ta(O)Nとは、酸素が10%以下の範囲で混入が認められるTa₂N膜を意味する。かかる構成において、 $\text{Ln}_{2-z}\text{Al}_z\text{O}_3$ 電荷蓄積膜13のトラップ特性がSiNからなる電荷蓄積膜より優れていることに起因して、電荷書き込み特性、電荷保持特性、電荷消去特性を向上させることができる。

10

(実施例2B)

実施例1乃至2において、Ta₂NまたはTa(O)Nからなる電極を用いたが、Ta(O)Cからなる電極を用いても良い。Ta₂N、Ta(O)N、とTa(O)Cの共通点は、融点が高く反応性が低い点にある。

【0046】

(第5の実施の形態)

第1乃至第4実施形態におけるブロック絶縁膜14において、 $(\text{Rn}_{1-x}\text{Ln}_x)_2-y\text{Al}_y\text{O}_3$ (ただしLnはPr、Tb、Ce、Yb、Euの中からいずれか1種類以上、RnはLa、Nd、Sm、Gd、Dy、Ho、Er、Tm、Lu、Y、Scのいずれか1種類以上、 $0 < x < 0.167$ (ただしLnがPrの場合は $0 < x < 0.333$ でありLnがTbの場合は $0 < x < 0.292$ である)、 $0.95 < y < 1.20$)を用いることも可能である。ただし、元素Rnとしては、Laがもっとも好ましい。なぜならば元素Rnとして、La、Nd、Sm、Gd、Dy、Ho、Er、Tm、Lu、Y、Scの順に $(\text{Rn}_{1-x}\text{Ln}_x)_2-y\text{Al}_y\text{O}_3$ の比誘電率が順次低くなるため、Laを用いた場合に最も高い比誘電率が得られ、リーク電流が低いブロック絶縁膜が得られるからである。しかし、元素Rnとして、上述したいずれの元素を用いても比誘電率は本実施形態の有用性を損なうほど低下することはないため、これらいずれの元素を用いることもできる。

20

30

(実施例2C)

MONOS型不揮発性メモリというものは、本来NOR型のフラッシュメモリにて用いられてきた経緯がある。これに対して、本実施形態は、メモリセルの周辺回路がNAND型かNOR型か、あるいはよりマイナーな構造の例えばDINOR型や、1つのメモリセルが2つの選択トランジスタにより挟みこまれた構造を有する3トラNAND型や、ソース/ドレイン拡散層を設けないD-TypeのNANDセルなどであるかに関わらず適用できる点で有効である。

【0047】

(実施例3)

シリコン基板を希フッ酸処理して自然酸化膜などを剥離した後、 SiO_2 または SiO_xN_y からなるトンネル絶縁膜12を5nm形成する。トンネル絶縁膜12の上に多結晶Siからなる電荷蓄積膜を5nm形成する。この電荷蓄積膜の上に、 $(\text{La}_{1-x}\text{Ln}_x)_2-y\text{Al}_y\text{O}_3$ (ただしLnはPr、Tb、Ce、Yb、Euの中からいずれか1種類以上、 $0 < x < 0.167$ 、 $0.95 < y < 1.20$)からなるインターポリ絶縁膜(ブロック絶縁膜)14を15nm形成する。インターポリ絶縁膜14の上に多結晶Siからなる電極16を形成する。この多結晶Siにはリンなどを大量にドーブし、電気抵抗を下げ用いる。かかる構成において、 $(\text{La}_{1-x}\text{Ln}_x)_2-y\text{Al}_y\text{O}_3$ インターポリ絶縁膜14の電気絶縁性能が、 LaAlO_3 からなるブロック絶縁膜の電気絶縁性能より優れていることに起因して、電荷保持特性が向上し、電荷蓄積および消去のための印加

40

50

電圧を低下させることができる。

【0048】

以上、具体例を参照しつつ本発明の実施の形態について説明した。しかし、本発明は、上述した各具体例に限定されるものではない。例えば、第1～第5実施形態及び実施例1～3に関して前述した各具体例のいずれか2つあるいはそれ以上を技術的に可能な範囲で組み合わせたのも、本発明の範囲に包含される。

【0049】

その他、本発明は、その要旨を逸脱しない範囲で種々変形して実施することが可能であり、これらすべては本発明の範囲に包含される。

【図面の簡単な説明】

10

【0050】

【図1】本発明の第1の実施の形態に係る不揮発性半導体記憶装置の断面模式図である。

【図2】図1のA-A線断面図である。

【図3】本実施形態の不揮発性半導体記憶装置の要部構成の配置関係を例示する模式平面図である。

【図4】本実施形態の不揮発性半導体記憶装置の製造方法を例示する工程断面図である。

【図5】本実施形態の不揮発性半導体記憶装置の製造方法を例示する工程断面図である。

【図6】本実施形態の不揮発性半導体記憶装置の製造方法を例示する工程断面図である。

【図7】本実施形態の不揮発性半導体記憶装置の製造方法を例示する工程断面図である。

【図8】本実施形態の不揮発性半導体記憶装置の製造方法を例示する工程断面図である。

20

【図9】本実施形態の不揮発性半導体記憶装置の製造方法を例示する工程断面図である。

【符号の説明】

【0051】

2 シリコン基板（半導体層）

3 素子分離トレンチ

4 a ソース領域

4 b ドレイン領域

5 チャネル

6 シリコン酸化膜

10 ゲート

30

12 トンネル絶縁膜

13 電荷蓄積膜

14 ブロック絶縁膜（インターポリ絶縁膜）

16 制御ゲート電極膜（多結晶シリコン膜、高融点電極膜）

17 ワード線

18 溝

22 シリコン酸化膜（保護膜、絶縁膜）

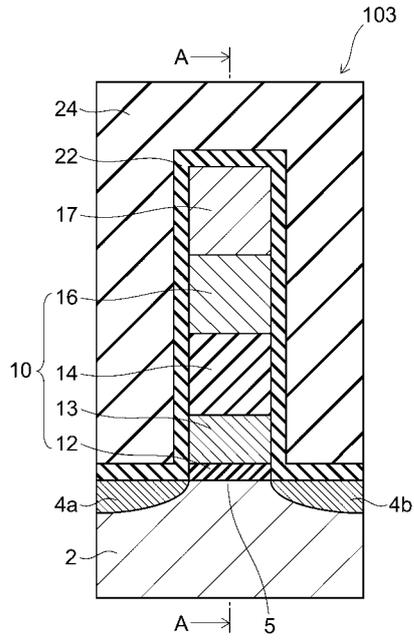
24 層間絶縁膜

40 マスク材

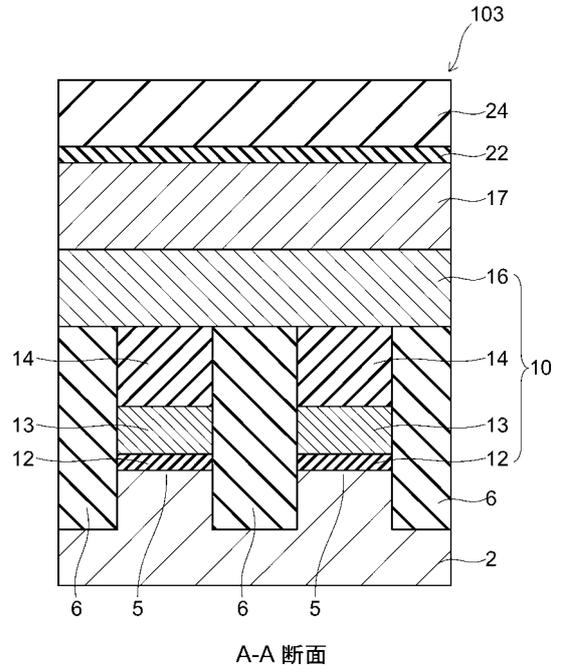
42 マスク材

40

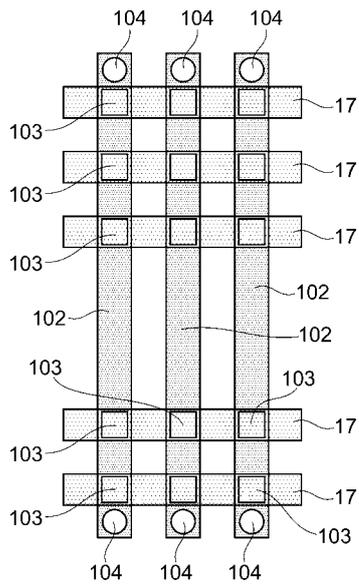
【 図 1 】



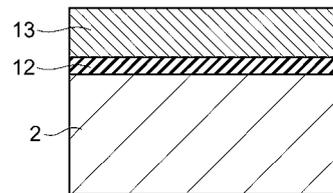
【 図 2 】



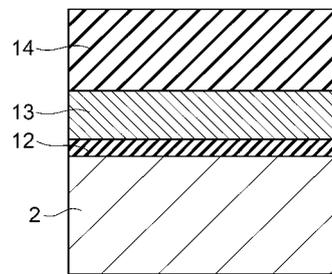
【 図 3 】



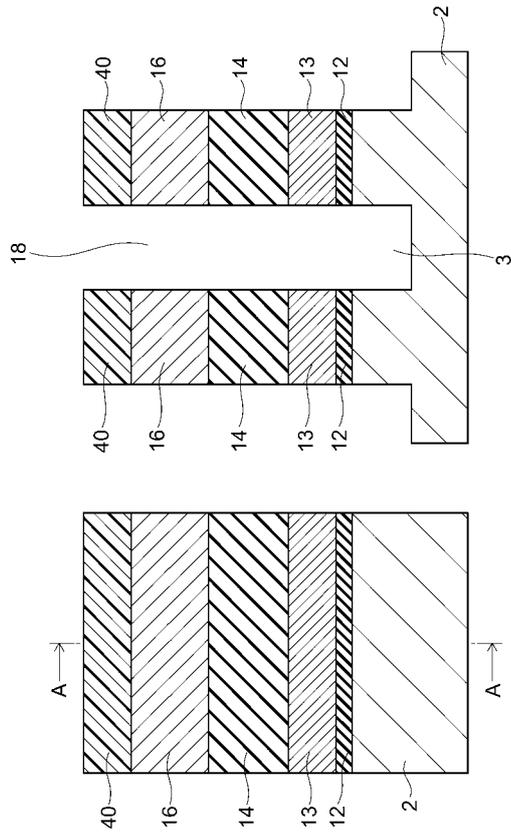
【 図 4 】



【 図 5 】

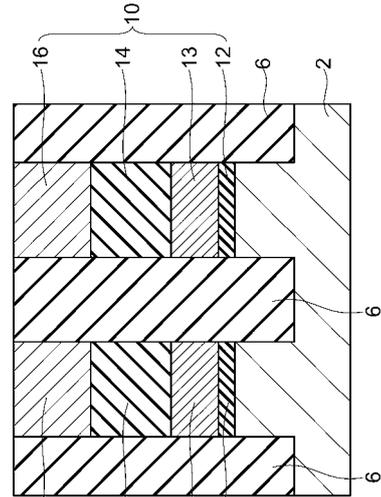


【 図 6 】



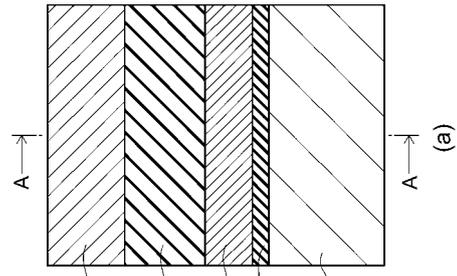
【 図 7 】

(b) A-A 断面



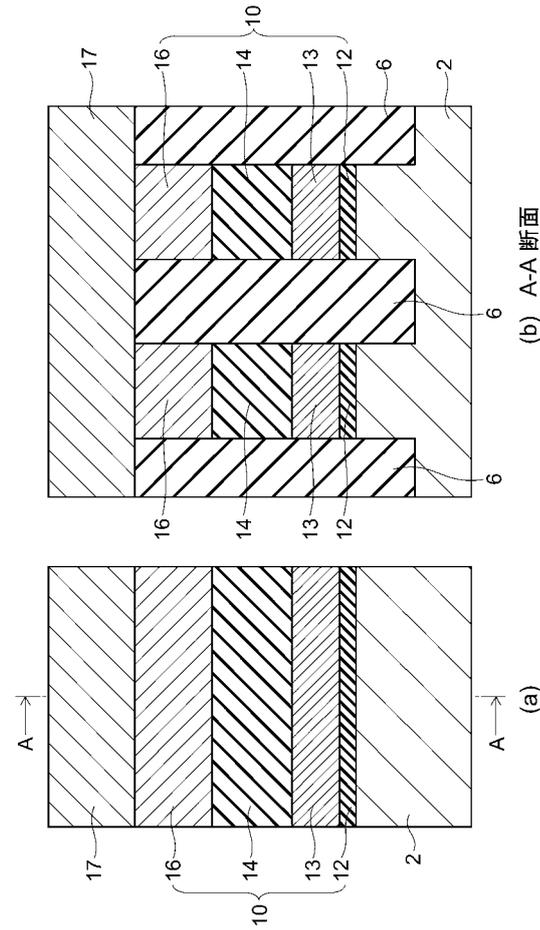
(b) A-A 断面

(a)



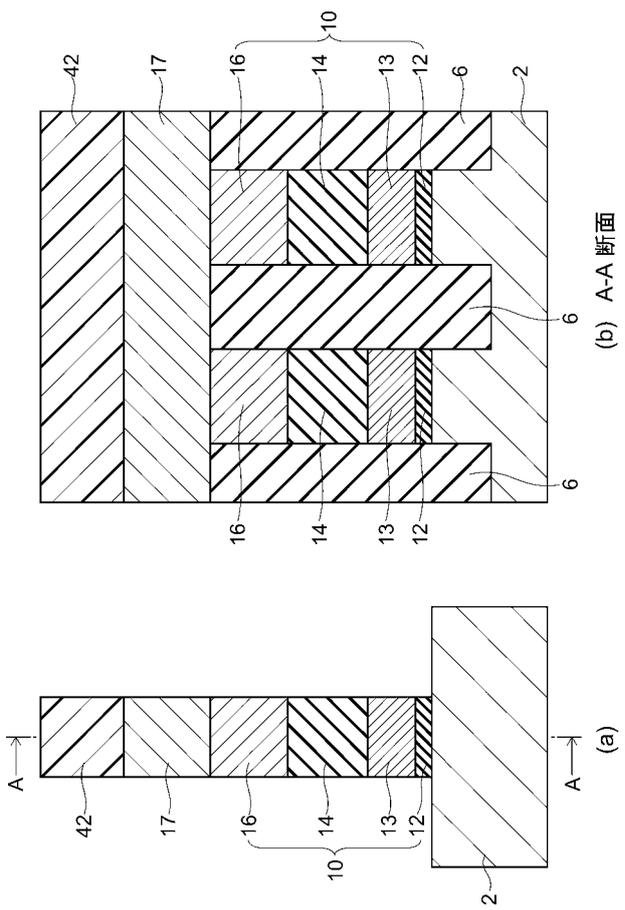
(a)

【 図 8 】



(b) A-A 断面

【 図 9 】



(b) A-A 断面

(a)