

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6214654号  
(P6214654)

(45) 発行日 平成29年10月18日(2017.10.18)

(24) 登録日 平成29年9月29日(2017.9.29)

(51) Int.Cl.	F I
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 L
HO 1 L 21/822 (2006.01)	HO 1 F 17/00 B
HO 1 F 17/00 (2006.01)	HO 1 L 21/88 J
HO 1 L 23/522 (2006.01)	
HO 1 L 21/768 (2006.01)	

請求項の数 26 (全 34 頁) 最終頁に続く

(21) 出願番号	特願2015-525440 (P2015-525440)	(73) 特許権者	500480274
(86) (22) 出願日	平成25年7月17日(2013.7.17)		スナップトラック・インコーポレーテッド
(65) 公表番号	特表2015-531998 (P2015-531998A)		アメリカ合衆国、カリフォルニア 921
(43) 公表日	平成27年11月5日(2015.11.5)		21, サン・ディエゴ, モアハウス
(86) 国際出願番号	PCT/US2013/050874		ドライブ 5775
(87) 国際公開番号	W02014/022099	(74) 代理人	100108453
(87) 国際公開日	平成26年2月6日(2014.2.6)		弁理士 村山 靖彦
審査請求日	平成27年6月10日(2015.6.10)	(74) 代理人	100163522
審査番号	不服2016-10684 (P2016-10684/J1)		弁理士 黒田 晋平
審査請求日	平成28年7月14日(2016.7.14)	(72) 発明者	チィ・シュン・ロ
(31) 優先権主張番号	13/562, 168		アメリカ合衆国・カリフォルニア・921
(32) 優先日	平成24年7月30日(2012.7.30)		26・サン・ディエゴ・ヴァーゴ・プレイ
(33) 優先権主張国	米国 (US)		ス・11096
早期審査対象出願			最終頁に続く

(54) 【発明の名称】 集積受動デバイス及び集積受動デバイスを製造する方法

(57) 【特許請求の範囲】

【請求項1】

基板(420)と、

前記基板(420)上に積層された、第1の導電性トレース(430)と、前記第1の導電性トレース(430)の積層方向上方に配された第2の導電性トレース(440)とを含む、巻線を構成するトレースと、

層間誘電体(450)と、

ビア(410)と

を含む、集積受動デバイスで(400)あって、

前記トレースは外方で始端し、平面視で前記トレースが交差する領域を経て内側へと巻回すると共に、前記トレースが交差する領域を経て外側へと巻回し、外方で終端しており、

前記トレースが交差する領域では、前記第1の導電性トレース(430)または前記第2の導電性トレース(440)によって前記巻線の一部が構成されており、

前記層間誘電体(450)は、前記トレースが交差する領域において、前記第1の導電性トレース(430)と前記第2の導電性トレース(440)との間に位置し、前記第1の導電性トレース(430)と前記第2の導電性トレース(440)とを電気的に絶縁しており、

前記ビア(410)は、前記トレースが交差する領域を除く領域で、前記巻線の内縁から外縁に亘って延在しており、前記ビア(410)内では前記第1の導電性トレース(4

10

20

30)と前記第2の導電性トレース(440)とが直接接触している、集積受動デバイス。

【請求項2】

前記第2の導電性トレース(440)は銅を含む、請求項1に記載の集積受動デバイス。

【請求項3】

前記第2の導電性トレース(440)の厚さは、約1 $\mu$ mよりも大きい、請求項1に記載の集積受動デバイス。

【請求項4】

前記層間誘電体(450)の厚さは、約1 $\mu$ mから約5 $\mu$ mの間である、請求項1に記載の集積受動デバイス。

10

【請求項5】

前記第2の導電性トレース(440)は、磁区受動構成要素の一部を形成する、請求項1に記載の集積受動デバイス。

【請求項6】

前記磁区受動構成要素は、インダクタ、トランスフォーマ、および受動フィルタのうちの1つである、請求項5に記載の集積受動デバイス。

【請求項7】

前記第1の導電性トレース(430)は、少なくともアルミニウムまたはアルミニウム合金を含む、請求項1に記載の集積受動デバイス。

20

【請求項8】

ディスプレイと、

前記ディスプレイと通信するように構成され、画像データを処理するように構成されたプロセッサと、

前記プロセッサと通信するように構成されたメモリデバイスとをさらに含む、請求項1に記載の集積受動デバイス。

【請求項9】

少なくとも1つの信号を前記ディスプレイに送るように構成されたドライバ回路と、

前記画像データの少なくとも一部を前記ドライバ回路に送るように構成されたコントローラと

30

をさらに含む、請求項8に記載の集積受動デバイス。

【請求項10】

前記画像データを前記プロセッサに送るように構成された画像ソースモジュールであって、受信機、トランシーバ、および送信機のうちの少なくとも1つを含む画像ソースモジュール

をさらに含む、請求項8に記載の集積受動デバイス。

【請求項11】

入力データを受信し、前記プロセッサに前記入力データを通信するように構成された入力デバイス

をさらに含む、請求項8に記載の集積受動デバイス。

40

【請求項12】

基板(420)と、

前記基板(420)上に積層された、電気を伝導するための第1の伝導手段(430)と、前記電気を伝導するための第1の伝導手段(430)の積層方向上方に配された電気を伝導するための第2の伝導手段(440)とを含む、巻線を構成するトレースと、

電気絶縁手段(450)と、

電氣的接続を提供するための手段(410)と

を含む、集積受動デバイス(400)であって、

前記トレースは外方で始端し、平面視で前記トレースが交差する領域を経て内側へと巻回すると共に、前記トレースが交差する領域を経て外側へと巻回し、外方で終端しており

50

前記トレースが交差する領域では、前記第1の伝導手段(430)または前記第2の伝導手段(440)によって前記巻線の一部が構成されており、

前記電気絶縁手段(450)は、前記トレースが交差する領域において、前記第1の伝導手段(430)と前記第2の伝導手段(440)との間に位置し、前記第1の伝導手段(430)と前記第2の伝導手段(440)とを電氣的に絶縁しており、

前記電氣的接続を提供するための手段(410)は、前記トレースが交差する領域を除く領域で、前記巻線の内縁から外縁に亘って延在しており、前記電氣的接続を提供するための手段(410)内では前記第1の伝導手段(430)と前記第2の伝導手段(440)とが直接接触している、集積受動デバイス。

10

【請求項13】

前記第2の伝導手段(440)は銅を含む、請求項12に記載の集積受動デバイス。

【請求項14】

前記第2の伝導手段(440)の厚さは、約1 $\mu$ mよりも大きい、請求項12に記載の集積受動デバイス。

【請求項15】

前記第2の伝導手段(440)は、磁区受動構成要素の一部を形成する、請求項12に記載の集積受動デバイス。

【請求項16】

集積受動デバイス(400;500)を製造する方法であって、  
基板(420;520)を設けるステップと、  
前記基板(420;520)の上方に第1の導電性トレース(430;530)を堆積させるステップと、

20

前記第1の導電性トレース(430;530)の上方に第1の層間誘電体(450;550a)を堆積させるステップと、

前記第1の層間誘電体(450;550a)内にビア(410;510)を形成するステップと、

前記第1の導電性トレース(430;530)の上方に第2の導電性トレース(440;540)を堆積させて、巻線を構成するトレースを形成するステップと、

前記第2の導電性トレース(440;540)の上方に第2の層間誘電体(450b;550b)を堆積させるステップと

30

を含み、

前記トレースは外方で始端し、平面視で前記トレースが交差する領域を経て内側へと巻回すると共に、前記トレースが交差する領域を経て外側へと巻回し、外方で終端しており、

前記トレースが交差する領域では、前記第1の導電性トレース(430;530)または前記第2の導電性トレース(440;540)によって前記巻線の一部が構成されており、

前記第1の層間誘電体(450;550a)は、前記トレースが交差する領域において、前記第1の導電性トレース(430;530)と前記第2の導電性トレース(440;540)との間に位置し、前記第1の導電性トレース(430;530)と前記第2の導電性トレース(440;540)とを電氣的に絶縁しており、

40

前記ビア(410;510)は、前記トレースが交差する領域を除く領域で、前記巻線の内縁から外縁に亘って延在しており、前記ビア(410;510)内では前記第1の導電性トレース(430;530)と前記第2の導電性トレース(440;540)とが直接接触している、集積受動デバイスを製造する方法。

【請求項17】

前記ビア(410;510)を形成するステップは、前記第1の導電性トレース(430;530)の少なくとも一部を露出させるために前記第1の層間誘電体(450;550a)をエッチングするステップを含む、請求項16に記載の方法。

50

## 【請求項 18】

前記第1の層間誘電体(450; 550a)をエッチングするステップは、前記トレースが交差する領域を除いて前記第1の層間誘電体(450; 550a)の前記一部を除去するステップを含む、請求項17に記載の方法。

## 【請求項 19】

前記第2の導電性トレース(440; 540)を堆積させるステップは、前記第1の導電性トレース(430; 530)の上方に銅を電気めっきするステップを含む、請求項16に記載の方法。

## 【請求項 20】

前記第2の層間誘電体(450b; 550b)は、前記第2の導電性トレース(440; 540)の上部表面から測定されるとき、約1μmから約15μmの間の厚さを有する誘電体材料を含む、請求項16に記載の方法。

10

## 【請求項 21】

前記第2の導電性トレース(440; 540)は、約1μmよりも大きい厚さを有する導電性材料を含む、請求項16に記載の方法。

## 【請求項 22】

前記第2の導電性トレース(440; 540)および前記第2の層間誘電体(450b; 550b)を堆積させるステップは、粗いプロセス制御制約のもとで起こる、請求項16に記載の方法。

## 【請求項 23】

前記第2の導電性トレース(440; 540)および前記第2の層間誘電体(450b; 550b)を堆積させるステップは、ファークックエンドオブライン(FBEOL)プロセスにおいて起こる、請求項22に記載の方法。

20

## 【請求項 24】

前記第1の導電性トレース(430; 530)を堆積させるステップは、前記基板(420; 520)の上方に少なくともアルミニウムまたはアルミニウム合金を堆積させるステップを含む、請求項16に記載の方法。

## 【請求項 25】

前記第2の導電性トレース(440; 540)は、磁区受動構成要素の一部を形成する、請求項16に記載の方法。

30

## 【請求項 26】

前記磁区受動構成要素は、インダクタ、トランスフォーマ、または受動フィルタのうちの1つである、請求項25に記載の方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

## 優先権データ

本開示は、すべての目的のためにその全体が参照により本明細書に組み込まれる、2012年7月30日に出願された「COMPLEX PASSIVE DESIGN WITH SPECIAL VIA IMPLEMENTATION」という名称の同時係属米国特許出願第13/562,168号(代理人整理番号第120943/QUALP143号)の優先権の利益を主張する。

40

## 【0002】

本開示は、概して、集積回路デバイス内のビアに関し、より詳細には、集積受動デバイス(integrated passive device)に関する。

## 【背景技術】

## 【0003】

電気機械システム(EMS)は、電気的および機械的な要素と、アクチュエータと、トランスデューサと、センサと、ミラーおよび光学フィルムなどの光学的構成要素と、電子回路とを有するデバイスを含む。EMSデバイスまたはEMS要素は、限定はしないが、

50

マイクロスケールおよびナノスケールを含む、様々なスケールで製造され得る。たとえば、マイクロ電気機械システム(MEMS)デバイスは、約1ミクロンから数百ミクロン以上に及ぶサイズを有する構造を含むことができる。ナノ電気機械システム(NEMS: nanoelectromechanical system)デバイスは、たとえば、数百ナノメートルよりも小さいサイズを含む、1ミクロンよりも小さいサイズを有する構造を含むことができる。電気および電気機械デバイスを形成するために、堆積、エッチング、リソグラフィを使用して、ならびに/または、基板および/もしくは堆積された材料層の部分をエッチング除去するかもしくは層を追加する、他の微細加工プロセスを使用して、電気機械要素が作成され得る。

#### 【0004】

1つのタイプのEMSデバイスは、干渉変調器(IMOD)と呼ばれる。IMODまたは干渉光変調器という用語は、光学干渉の原理を使用して光を選択的に吸収および/または反射するデバイスを指す。いくつかの実装形態では、IMODディスプレイ要素は、伝導性プレートの対を含み得、その対の一方または両方は、全体的にまたは部分的に、透明および/または反射性であり、適切な電気信号を印加すると相対運動が可能であり得る。たとえば、一方のプレートは、基板よりも上もしくは基板上に堆積され、または基板によってサポートされた固定層を含み得、他方のプレートは、エアギャップによって固定層から分離された反射膜を含み得る。別のプレートに対する一方のプレートの位置は、IMODディスプレイ要素に入射する光の光学干渉を変化させることがある。IMODベースのディスプレイデバイスは、広範囲の適用例を有しており、特に表示能力がある製品の場合、既存の製品を改善し、新しい製品を作製する際に使用されることが予期される。

#### 【0005】

ビアおよび導電性トレースは、EMSデバイスを、互いにまたは受動構成要素などの他の構成要素に電氣的に接続するために使用され得る。たとえば、ビアおよび導電性トレースは、基板上のEMSデバイス中に含まれる異なる材料層間の電氣的接続を可能にし得る。

#### 【発明の概要】

#### 【課題を解決するための手段】

#### 【0006】

本開示のシステム、方法、およびデバイスは、各々いくつかの革新的態様を有し、それらのうちの単一の態様が、単独で、本明細書で開示する望ましい属性に関与するとは限らない。

#### 【0007】

本開示で説明する主題の1つの革新的態様は、集積受動デバイスにおいて実装され得る。本デバイスは、基板と、基板の上の第1の導電性トレースと、第1の導電性トレースの上方の第2の導電性トレースと、第1の導電性トレースの一部と第2の導電性トレースとの間に配設された層間誘電体とを含む。層間誘電体は、その中に形成された1つまたは複数のビアを有し、ビアの幅は、導電性トレースのうちの少なくとも1つの幅よりも大きく、1つまたは複数のビアは、導電性トレース間の電氣的接続を提供する。

#### 【0008】

いくつかの実装形態では、1つまたは複数のビアは、層間誘電体と接触していない、第1の導電性トレースの少なくとも一部を囲むことができる。いくつかの実装形態では、第2の導電性トレースは、銅を含むことができる。いくつかの実装形態では、第2の導電性トレースの厚さは、約1 $\mu\text{m}$ よりも大きい可能性がある。いくつかの実装形態では、第2の導電性トレースは、磁区受動構成要素(magnetic domain passive component)の一部を形成することができる。磁区受動構成要素は、インダクタ、トランスフォーマ、および受動フィルタのうちの1つであり得る。

#### 【0009】

本開示で説明する主題の別の革新的態様は、集積受動デバイスにおいて実装され得る。本デバイスは、基板と、基板の上方に位置する、電気を伝導するための第1の手段と、第

10

20

30

40

50

1の伝導手段の上方に位置する、電気を伝導するための第2の手段と、第1の伝導手段の一部と第2の伝導手段との間に位置する、第1の伝導手段と第2の伝導手段とを電氣的に絶縁するための手段と、電気絶縁手段中で第1の伝導手段と第2の伝導手段との間の電氣的接続を提供するための手段とを含む。電氣的接続を提供する手段は、電気絶縁手段と接触していない、第1の伝導手段の少なくとも一部を囲む。

【0010】

いくつかの実装形態では、電氣的接続を提供する手段は、伝導手段のうちの少なくとも1つの幅よりも大きい幅を有することができる。いくつかの実装形態では、第2の伝導手段は、銅を含むことができる。いくつかの実装形態では、本デバイスは、第2の伝導手段の上方に電氣的絶縁を提供するための手段をさらに含むことができる。

10

【0011】

本開示で説明する主題の別の革新的態様は、集積受動デバイスを製造する方法において実装され得る。本方法は、基板を設けるステップと、基板の上方に第1の導電性トレースを堆積させるステップと、第1の導電性トレースの上方に第1の層間誘電体を堆積させるステップと、第1の層間誘電体中に1つまたは複数のビアを形成するステップと、第1の導電性トレースの上方に第2の導電性トレースを堆積させるステップと、第2の導電性トレースの上方に第2の層間誘電体を堆積させるステップとを含む。1つまたは複数のビアの幅は、導電性トレースのうちの少なくとも1つの幅よりも大きく、1つまたは複数のビアは、導電性トレース間の電氣的接続を提供する。

【0012】

いくつかの実装形態では、1つまたは複数のビアを形成するステップは、第1の層間誘電体と接触していない、第1の導電性トレースの一部を囲むステップを含むことができる。いくつかの実装形態では、第2の導電性トレースを堆積させるステップは、第1の導電性トレースの上方に銅を電気めっきするステップを含むことができる。いくつかの実装形態では、第2の導電性トレースおよび第2の層間誘電体を堆積させるステップは、粗いプロセス制御制約のもとで起こり得る。

20

【0013】

本開示で説明する主題の1つまたは複数の実装形態の詳細は、添付の図面および以下の説明において示されている。本開示で提供される例は、主として、EMSおよびEMSベースのディスプレイの観点から説明されているが、本明細書で提供される概念は、液晶ディスプレイ、有機発光ダイオード(「OLED」)ディスプレイ、および電界放出ディスプレイなどの他のタイプのディスプレイに適用することができる。他の特徴、態様、および利点は、説明、図面、および特許請求の範囲から明らかになるであろう。以下の図の相対寸法は、一定の縮尺で描かれていないことがあることに留意されたい。

30

【図面の簡単な説明】

【0014】

【図1A】いくつかの実装形態による、ビアを有する、単純な幾何学的受動デバイスの上面図の一例である。

【図1B】図1Aの断面1B-1Bに沿った、単純な幾何学的受動デバイスの断面概略図である。

40

【図2A】いくつかの実装形態による、ビアを有する、単純な幾何学的受動デバイスの上面図の一例である。

【図2B】図2Aの断面2B-2Bに沿った、単純な幾何学的受動デバイスの断面概略図である。

【図3A】いくつかの実装形態による、複数のビアを有する、複雑な幾何学的受動デバイスの上面図の一例である。

【図3B】図3Aの断面3B-3Bに沿った、複雑な幾何学的受動デバイスの断面概略図である。

【図4A】いくつかの実装形態による、ビア設計を有する、複雑な幾何学的受動デバイスの上面図の一例である。

50

【図4B】図4Aの断面4B-4Bに沿った、複雑な幾何学的受動デバイスの断面概略図である。

【図4C】図4Aの断面4C-4Cに沿った、複雑な幾何学的受動デバイスの断面概略図である。

【図5】いくつかの実装形態による、ビア設計を有する、複雑な幾何学的受動デバイスの上面図の一例である。

【図5A-1】図5の断面A-Aに沿った、複雑な幾何学的受動デバイスを製造する方法を示す断面図である。

【図5A-2】図5の断面A-Aに沿った、複雑な幾何学的受動デバイスを製造する方法を示す断面図である。

10

【図5A-3】図5の断面A-Aに沿った、複雑な幾何学的受動デバイスを製造する方法を示す断面図である。

【図5A-4】図5の断面A-Aに沿った、複雑な幾何学的受動デバイスを製造する方法を示す断面図である。

【図5A-5】図5の断面A-Aに沿った、複雑な幾何学的受動デバイスを製造する方法を示す断面図である。

【図5B-1】図5の断面B-Bに沿った、複雑な幾何学的受動デバイスを製造する方法を示す断面図である。

【図5B-2】図5の断面B-Bに沿った、複雑な幾何学的受動デバイスを製造する方法を示す断面図である。

20

【図5B-3】図5の断面B-Bに沿った、複雑な幾何学的受動デバイスを製造する方法を示す断面図である。

【図5B-4】図5の断面B-Bに沿った、複雑な幾何学的受動デバイスを製造する方法を示す断面図である。

【図5B-5】図5の断面B-Bに沿った、複雑な幾何学的受動デバイスを製造する方法を示す断面図である。

【図6】集積受動デバイスを製造する方法の流れ図の一例である。

【図7】一連の2つの隣接する干渉変調器(IMOD)ディスプレイ要素、またはIMODディスプレイデバイスのディスプレイ要素のアレイを示す等角図である。

【図8】IMODディスプレイ要素の3つの要素×3つの要素のアレイを含む、IMODベースのディスプレイを組み込んだ電子デバイスを示すシステムブロック図である。

30

【図9A】電気機械システム(EMS)要素およびバックプレートのアレイを含む、EMSパッケージの一部の概略分解部分斜視図である。

【図9B】電気機械システム(EMS)要素およびバックプレートのアレイを含む、EMSパッケージの一部の概略分解部分斜視図である。

【図10A】複数のIMODディスプレイ要素を含むディスプレイデバイスを示すシステムブロック図である。

【図10B】複数のIMODディスプレイ要素を含むディスプレイデバイスを示すシステムブロック図である。

【発明を実施するための形態】

40

【0015】

様々な図面中の同様の参照番号および名称は同様の要素を示す。

【0016】

以下の説明は、本開示の革新的態様について説明する目的で、いくつかの実装態様を対象とする。ただし、本明細書の教示が多数の異なる方法で適用され得ることを、当業者は容易に認識されよう。説明される実装形態は、動いていようと(ビデオなど)、または静止していようと(静止画像など)、およびテキストであろうと、グラフィックであろうと、絵であろうと、画像を表示するように構成され得る任意のデバイス、装置、またはシステムにおいて実装され得る。より詳細には、説明される実装形態は、限定はしないが、携帯電話、マルチメディアインターネット対応セルラー電話、モバイルテレビジョン受信機

50

、ワイヤレスデバイス、スマートフォン、Bluetooth（登録商標）デバイス、携帯情報端末（PDA）、ワイヤレス電子メール受信機、ハンドヘルドまたはポータブルコンピュータ、ネットブック、ノートブック、スマートブック、タブレット、プリンタ、コピー機、スキャナ、ファクシミリデバイス、グローバルポジショニングシステム（GPS）受信機/ナビゲータ、カメラ、デジタルメディアプレーヤ（MP3プレーヤなど）、カムコーダ、ゲーム機、腕時計、クロック、計算器、テレビジョンモニター、フラットパネルディスプレイ、電子リーディングデバイス（たとえば、電子リーダー）、コンピュータモニター、自動車ディスプレイ（オドメータおよびスピードメータディスプレイなどを含む）、コックピットコントロールおよび/またはディスプレイ、カメラビューディスプレイ（車両における後部ビューカメラのディスプレイなど）、電子写真、電子ビルボードまたは標示、プロジェクト、アーキテクチャ構造物、電子レンジ、冷蔵庫、ステレオシステム、カセットレコーダまたはプレーヤ、DVDプレーヤ、CDプレーヤ、VCR、ラジオ、ポータブルメモリチップ、洗濯機、乾燥機、洗濯機/乾燥機、パーキングメータ、（マイクロ電気機械システム（MEMS）適用例を含む電気機械システム（EMS）適用例、および非EMS適用例などにおける）パッケージング、審美構造物（たとえば、1つの宝飾品または衣服上の画像の表示など）、ならびに様々なEMSデバイスなどの、種々の電子デバイスに含まれ得るかまたはそれらに関連付けられ得ることを企図している。本明細書の教示は、限定はしないが、電子スイッチングデバイス、無線周波数フィルタ、センサ、加速度計、ジャイロ스코ープ、運動検知デバイス、磁力計、コンシューマーエレクトロニクス用の慣性構成要素、コンシューマーエレクトロニクス製品の部品、バラクタ、液晶デバイス、電気泳動デバイス、駆動方式、製造プロセスおよび電子テスト機器などの、ディスプレイ以外の適用例に使用することもできる。したがって、本教示は、単に図に示す実装形態に限定されるものではなく、代わりに、当業者には容易に明らかになるであろう広い適用性を有する。

#### 【0017】

本明細書で説明するいくつかの実装形態は、集積受動デバイスなどの、基板に結合されたデバイス内の導電性トレース間の電氣的相互接続を提供するためのビアに関する。集積受動デバイスは、限定はしないが、インダクタ、トランスフォーマ、および受動フィルタを含む、磁区受動構成要素を含み得る。これらの受動デバイスのいずれも、単純なまたは複雑な幾何形状を有し得る。単純な受動デバイスは、構成要素間の接続と定義され得る、任意の数のネットを有し得る。各ネットは、誘電体層に、1つまたは少数の上部導電性トレースと、1つまたは少数の下部導電性トレースと、1つまたは少数のビアとを含み得る。そうでない場合、受動デバイスは、概して、複雑な受動構成要素である。集積受動デバイスは、基板と、基板上の第1の導電性トレースと、第1の導電性トレース上の第2の導電性トレースとを含み得る。層間誘電体は、第1の導電性トレースの一部と第2の導電性トレースとの間に配設され得る。第1の導電性トレースと第2の導電性トレースとの間に電氣的接続を提供するために、層間誘電体内に1つまたは複数のビアが形成され得る。1つまたは複数のビアの幅は、導電性トレースの一方または両方の幅よりも大きい。いくつかの実装形態では、1つまたは複数のビアは、層間誘電体と接触していない、第1の導電性トレースの少なくとも一部を囲む。

#### 【0018】

本開示で説明する主題の特定の实装形態は、以下の潜在的な利点のうちの1つまたは複数を実現するように実装され得る。各々が導電性トレースの一方または両方の幅よりも大きい幅を有するビアを実装することによって、複雑な幾何形状を有する受動構成要素を、より粗い設計制約を使用して製造することを可能にする。より粗い設計制約で作製された受動構成要素は、銅再配線層（RDL）などの、厚い金属/厚い誘電体層を有する受動構成要素を含む。そのような構成要素は、典型的には、高い品質（Q）値を有する。したがって、各々が導電性トレースの一方または両方の幅よりも大きい幅を有するビアを使用することによって、高いQ値を有する複雑な受動構成要素の製造が可能になる。その結果、厚い金属/厚い誘電体層用のそのようなビア構成は、バックエンドオブライン（BEOL

層に対して電氣的性能を改善し得る。さらに、このビア構成は、複雑な幾何形状の受動構成要素を含む受動構成要素を設計する際のフレキシビリティを増大させる。加えて、このビア構成は、粗い制御プロセスを使用することによってコストを低減し得る。低コストの粗い制御プロセスは、BEO L層の複雑なプロセスフローを回避するが、ファークバックエンドオブライン(FBEO L)層のポストパッシベーションプロセスにおける組立てを可能にする。

#### 【0019】

説明する実装形態が適用され得る好適なEMSデバイスもしくは装置またはMEMSデバイスもしくは装置の一例は、反射型ディスプレイデバイスである。反射型ディスプレイデバイスは、光学干渉の原理を使用してそれに入射する光を選択的に吸収および/または反射するように実装され得る干渉変調器(IMOD)ディスプレイ要素を組み込み得る。IMODディスプレイ要素は、部分的な光吸収器、吸収器に対して可動である反射体、および吸収器と反射体との間に画定された光共振キャビティを含むことができる。いくつかの実装形態では、反射体は、2つ以上の異なる位置に移動させることができ、これは、光共振キャビティのサイズを変化させ、それによりIMODの反射率に影響を及ぼすことがある。IMODディスプレイ要素の反射率スペクトルは、かなり広いスペクトルバンドをもたらすことができ、そのスペクトルバンドは、様々な色を生成するために可視波長にわたってシフトされ得る。スペクトルバンドの位置は、光共振キャビティの厚さを変更することによって調節され得る。光共振キャビティを変更する1つの方法は、吸収器に対する反射体の位置を変更することによるものである。

#### 【0020】

集積回路の継続的な小型化は、コスト減少の期待を伴ってきた。しかしながら、能動構成要素の占有面積が縮小する一方、集積回路内の受動構成要素の面積が概して減少せず、その結果、受動回路の単位面積当たりのコストが高くなる。抵抗器、キャパシタ、およびインダクタなどの受動構成要素は、集積回路の電氣的性能を安定させるのを助けることができる。そのような受動構成要素は、無線周波数集積回路(RFIC)を含む、EMSデバイス内の回路および集積回路で実装され得る。

#### 【0021】

インダクタまたは他の受動構成要素の性能は、 $Q = \omega_0 L / R$ によって表され得る品質(Q)値に関連し、ここで、 $\omega_0$ は共振周波数であり、Lはインダクタンス値であり、Rは抵抗値である。抵抗値は、材料の導電率および材料の断面積に反比例する。したがって、Q値を改善する1つの方法は、金属の厚さを増大させるか、または高導電率を有する金属を使用することである。

#### 【0022】

従来、多くの集積回路は、比較的低電力で低コストの特徴のために、相補型金属酸化物半導体(CMOS)製造技術を使用して作製される。受動構成要素を作製するために、典型的なCMOS技術プロセスフローが使用される。多くの受動構成要素は、既存のバックエンドオブライン(BEO L)プロセスフローを介してオンチップで作製される。いくつかの実装形態では、受動構成要素は、パッシブオンガラス(POG: passive-on-glass)構成で作製される。標準のBEO LおよびPOGプロセスは、典型的には、サブミクロン(たとえば、約1  $\mu\text{m}$ よりも小さいかまたはそれに等しい)のリソグラフィで動作し、アルミニウム(Al)などの低導電率の金属を使用する。その結果、そのようなプロセスフローは、薄い金属堆積および/または低導電率の金属の制限のために、高いQ値性能を有しない可能性がある。

#### 【0023】

いくつかの集積回路は、厚い金属堆積、および銅(Cu)などの高導電率の金属を使用して作製されている。しかしながら、厚い金属は、大量の集積回路空間を消費する可能性があり、高導電率の金属に適した面積が限定され得る。多くの集積回路は、CMOSリソグラフィの代わりにオンチップとオフチップとの間のワイアリングにメタライゼーションを使用し得るファークバックエンドオブラインプロセスフロー(FBEO L)を使用する。

F B E O L プロセスフローは、たとえば約  $10\ \mu\text{m}$  よりも大きいかまたはそれに等しい、サブミクロンよりも大きい制約で動作し得る。F B E O L 層は、アンダーパンプメタル ( U B M )、または銅 R D L などの再配線層 ( R D L ) によって特徴づけられ得る。

【 0 0 2 4 】

したがって、厚い金属 / 厚い誘電体層において F B E O L プロセスフローを使用して形成された単純な受動構成要素は、標準的なアルミニウム B E O L 層または P O G 層を上回る性能の利点を提供し得る。しかしながら、集積回路は、不正確なプロセス制御からのプロセス制約のために、厚い金属 / 厚い誘電体層上の複雑な受動構成要素 (たとえば、複雑なインダクタ、トランスフォーマ、ハイブリッドトランスフォーマ、バラン、受動フィルタなど) を実装することができない可能性がある。これは、少なくとも部分的には、金属層を接続するためのサブミクロンビアが、そのような不正確なプロセス制御を使用して作製することができないためである。

10

【 0 0 2 5 】

図 1 A は、いくつかの実装形態による、ビアを有する、単純な幾何学的受動デバイスの上面図の一例を示す。図 1 A の例に示すように、単純な幾何学的受動デバイス 1 0 0 は、らせん状のインダクタであり得る。しかしながら、受動デバイス 1 0 0 は、らせん状のインダクタに限定されず、他の単純な幾何形状も含み得ることが理解されよう。受動デバイス 1 0 0 の他の単純な幾何形状は、多巻インダクタ、単一巻インダクタ、(たとえば、横方向に結合された複数の単純なインダクタからの) トランスフォーマ、単純な受動構成要素から構成された任意の回路、および任意の単純な相互接続部 (たとえば、上部の金属を下部の金属と接続する、誘電体内のビアによる接続部) を含み得る。受動デバイス 1 0 0 は、らせん状のインダクタの終端部にビア 1 1 0 を有し得る。ビア 1 1 0 は、上部導電性トレース 1 4 0 と下部導電性トレース 1 3 0 との間に電氣的接続を提供する。上部導電性トレース 1 4 0 は、限定はしないが、インダクタ、抵抗器、およびキャパシタを含む、受動構成要素の一部を形成し得る。下部導電性トレース 1 3 0 は、能動デバイスなどの他のデバイスへの電氣的接続を提供する金属アンダーパスの一部を形成し得る。いくつかの実装形態では、受動デバイス 1 0 0 は、標準の B E O L プロセスの正確なプロセス制約 (たとえば、サブミクロンリソグラフィ) を使用して形成され得る。

20

【 0 0 2 6 】

図 1 B は、図 1 A の断面 1 B - 1 B に沿った、単純な幾何学的受動デバイスの断面概略図を示す。図 1 B の例に示すように、ビア 1 1 0 は、導電性トレース 1 3 0 および 1 4 0 の一方または両方の幅より大きくない幅を有する。たとえば、ビア 1 1 0 の幅は、約  $3\ \mu\text{m}$  などの、約  $1\ \mu\text{m}$  から約  $5\ \mu\text{m}$  の間であり得るが、上部導電性トレース 1 4 0 の幅は、約  $9\ \mu\text{m}$  などの、約  $5\ \mu\text{m}$  から約  $10\ \mu\text{m}$  の間であり得る。

30

【 0 0 2 7 】

いくつかの実装形態では、上部導電性トレース 1 4 0 は、限定はしないが、A l、C u、銀 ( A g )、タングステン ( W )、ならびにそれらの合金および組合せを含む、導電性金属を含み得る。たとえば、上部導電性トレース 1 4 0 は、A l または A l 合金を含み得る。A l または A l 合金は、P V D およびフォトリソグラフィ ( フォトおよびウェット / ドライエッチング ) によって堆積され得る。いくつかの実装形態では、下部導電性トレース 1 3 0 も、A l、C u、銀 ( A g )、タングステン ( W )、ならびにそれらの合金および組合せなどの、導電性金属を含み得る。いくつかの実装形態では、導電性トレース 1 3 0 および 1 4 0 の厚さは、約  $1\ \mu\text{m}$  よりも小さいかまたはそれに等しい。

40

【 0 0 2 8 】

層間誘電体 1 5 0 は、導電性トレース 1 3 0 および 1 4 0 の上方に、ならびに導電性トレース 1 3 0 と 1 4 0 との間に形成され得る。層間誘電体 1 5 0 は、導電性トレース 1 3 0 および 1 4 0 を電氣的に絶縁し得る。層間誘電体 1 5 0 は、窒化ケイ素 ( S i <sub>3</sub> N <sub>4</sub> )、二酸化ケイ素 ( S i O <sub>2</sub> )、酸窒化ケイ素、ならびにポリイミド ( P I ) およびベンゾシクロブテン ( B C B ) などのポリマー絶縁体などの、任意の好適な誘電体材料を含み得る。

50

## 【 0 0 2 9 】

下部導電性トレース130は、基板120の上方に形成され得る。基板120は、半導体または絶縁材料を含み得る。たとえば、基板120は、シリコン(Si)、シリコンオンインシュレータ(SOI)、ゲルマニウム(Ge)、シリコンゲルマニウム(SiGe)、ガリウムヒ素(GaAs)、ガリウムヒ素リン(GaAsP)、インジウムリン(InP)、ガリウムアルミニウムヒ素(GaAlAs)、インジウムガリウムリン(InGaP)、シリコンカーバイド(SiC)、SiO<sub>2</sub>、ガラス、および石英基板を含み得る。基板120は、その上に1つまたは複数の能動デバイスまたは受動デバイスが形成された集積回路の一部とすることができる。いくつかの実装形態では、基板120は、高抵抗値を有するガラス材料であり得る、誘電体層を含むこともできる。この誘電体層は、融解石英、石英、二酸化ケイ素、ケイ酸を含み得る。誘電体層は、窒化ケイ素、シリコンカーバイド、酸窒化ケイ素、セラミック、ガラスセラミック、プラスチック、ポリマー、エポキシなどを含むこともできる。

10

## 【 0 0 3 0 】

いくつかの実装形態では、受動デバイス100は、標準のBEOLプロセスまたはPOGプロセスの一部として形成され得る。そのようなプロセスは、典型的には、たとえばFBEOLプロセスに使用され得る、より粗い設計制約と比較してより正確な設計制約を適用する。しかしながら、単純な幾何学的受動デバイスは、PCB作製に使用される厚い金属/厚い誘電体層に粗い設計制約を使用して製造することもでき、ここで、最小特徴部サイズまたはライン幅およびラインスペースのプロセス設計ルールは、典型的には、10μmよりも大きい。プロセス設計ルールは、チップ特徴部に関する最小の面積、幅、スペースなどを確立し得る、半導体メーカーによって提供される一連のパラメータまたは制約である。たとえば、スペースルールは、2つの隣接する物体間の最小距離を指定する。幅ルールは、設計において任意の形状の最小の幅を指定する。そのような設計制約は、マスクセットの正確性を検証し、製造のばらつきを考慮するように十分なマージンを確保し得る。したがって、粗い設計制約の場合、最小特徴部サイズまたはライン幅およびラインスペースのプロセス設計ルールは、約10μmよりも大きくなるように確立され得る。そのような制約は、たとえば、同じ層内または異なる層間の設計特徴部のレイアウト関係を参照する、パターンング(たとえば、フォトリソグラフィ)を含む処理ステップに適用され得る。図2Aは、いくつかの実装形態による、ピアを有する、単純な幾何学的受動デバイスの上面図の一例を示す。

20

30

## 【 0 0 3 1 】

図2Aの例では、受動デバイス200は、下部導電性トレース230の上方に上部導電性トレース240を含み得る。上部導電性トレース240は、BEOLアンダーパスとなり得る下部導電性トレース230の上方のらせん状のインダクタであり得る。しかしながら、受動デバイス200は、らせん状のインダクタに限定されず、他の単純な幾何形状も含み得ることが理解されよう。受動デバイス200の他の単純な幾何形状は、多巻インダクタ、単一巻インダクタ、(たとえば、横方向に結合された複数の単純なインダクタからの)トランスフォーマ、単純な受動構成要素から構成された任意の回路、および任意の単純な相互接続部(たとえば、上部の金属を下部の金属と接続する、誘電体内のピアによる接続部)を含み得る。受動デバイス200は、上部導電性トレース240と下部導電性トレース230との間に電氣的接続を提供するためにらせん状のインダクタの終端部にピア210を有し得る。ピア210が厚い金属/厚い誘電体層内に形成され得るとき、ピア210の幅は、標準のBEOLプロセスまたはPOGプロセスのときよりも広くなり得る。いくつかの実装形態では、ピア210は、約35μmなどの、約10μmから約75μmの間であり得る。しかしながら、上部導電性トレース240は、ピア210の幅よりも大きい幅を有し得る。たとえば、上部導電性トレース240の幅は、約55μmなどの、25μmから100μmの間であり得る。いくつかの実装形態では、受動デバイス200は、FBEOLプロセスの粗いプロセス制約で形成され得る。

40

## 【 0 0 3 2 】

50

図2Bは、図2Aの断面2B-2Bに沿った、単純な幾何学的受動デバイスの断面概略図を示す。厚い金属/厚い誘電体層内の上部導電性トレース240の厚さは、図1Bの上部導電性トレース140の厚さよりも大幅に大きい可能性がある。たとえば、上部導電性トレース240の厚さは、約1 $\mu$ mよりも大きい、たとえば約5 $\mu$ mから約10 $\mu$ mの間である可能性がある。いくつかの実装形態では、上部導電性トレース240は、Cuなどの導電性金属を含み得る。Cuの使用により、比較的高い導電率の金属が提供され、Cuの厚さを増大させることにより、一層大きい導電率が提供される。したがって、厚いCuの使用により、受動デバイス200のQ値が改善される一方、比較的低コストを維持することができる。上部導電性トレース240は、PVDによって堆積され、フォトリソグラフィ（フォトおよびウェット/ドライエッチング）によってパターンニングされた、AlまたはAl合金などの他の導電性金属を含み得ることが理解される。下部導電性トレース230は、AlまたはAl合金などの導電性金属を含み得る。層間誘電体250は、導電性トレース230および240の上方に、ならびに導電性トレース230と240との間に形成され、導電性トレース230および240を電氣的に絶縁し得る。層間誘電体250は、Si<sub>3</sub>N<sub>4</sub>、SiO<sub>2</sub>、SiO<sub>x</sub>N<sub>y</sub>、ならびにポリイミドおよびBCBなどのポリマー絶縁体などの、任意の好適な誘電体材料を含み得る。下部導電性トレース230は、本明細書で前に説明したように、半導体材料または絶縁材料を有する基板220の上方にある可能性がある。本明細書で使用する、別の要素の上方の任意の要素の記述は、他の要素の上方に任意の要素を置く、および/または形成する（たとえば、堆積させる、電気めっきするなど）プロセスを含み得る。

10

20

#### 【0033】

厚い金属/厚い誘電体のプロセスでの厚いCuの使用により、受動デバイス200の電氣的性能を改善することができるが、受動デバイス200のフレキシビリティは、単純な幾何学的受動構成要素に限定され得る。厚い金属/厚い誘電体のプロセスに関する粗い設計制約は、より複雑な幾何形状を有する受動構成要素に、この設計制約を適合させる課題をもたらす。複雑な幾何学的受動デバイスは、限定はしないが、対称的なインダクタ、（たとえば、横方向に結合された複数の複雑なインダクタからの）トランスフォーマ、複雑な受動構成要素を使用して構成された任意の回路、バラン、共振器、および受動フィルタを含み得る。図3Aは、いくつかの実装形態による、複数のピアを有する、複雑な幾何学的受動デバイスの上面図の一例を示す。

30

#### 【0034】

図3Aの例では、受動デバイス300は、ピア310を介して上部導電性トレース340が下部導電性トレース330に接続された、対称的なインダクタであり得る。しかしながら、受動デバイス300は、対称的なインダクタに限定されず、他の複雑な幾何形状も含み得ることが理解されよう。ピア310は、上部導電性トレース340と下部導電性トレース330との間の複数の点で電氣的接続を提供し得る。対称的なインダクタは、いずれの端部から見ても同じ構造を有し、対称的な負荷を実現することができる。対称的なインダクタは、トレースが交差する多数の巻線を有し得る。そのような巻線は、対称的なインダクタによって生成される正味磁場を低減させ得る。巻線の各々は、上部導電性トレース340の終端部にピア310の対を含み得る。いくつかの実装形態では、下部導電性トレース330は、ワイヤアンダーパスであり得る。図3Aの例では、下部導電性トレース330は、4つの別の点において上部導電性トレース340の下で交差し、8つの別の点においてピア310を介して接続し得る。ワイヤアンダーパスは、上部導電性トレース340よりも大幅に少ない材料を使用し得る。いくつかの実装形態では、受動デバイス300は、標準のBEOLプロセスの正確なプロセス制約（たとえば、サブミクロンリソグラフィ）によって形成され得る。

40

#### 【0035】

図3Bは、図3Aの断面3B-3Bに沿った、複雑な幾何学的受動デバイスの断面概略図を示す。いくつかの実装形態では、上部導電性トレース340は、本明細書で前に説明したように、任意の導電性金属を含み得る。たとえば、上部導電性トレース340は、A

50

1 または Al 合金を含み得る。下部導電性トレース 330 も、本明細書で前に説明したように、任意の導電性金属を含み得る。たとえば、下部導電性トレース 330 も、Al または Al 合金を含み得る。いくつかの実装形態では、Al または Al 合金は、下部および上部の導電性トレース 330 および 340 の両方の場合に PVD およびフォトリソグラフィによって形成され得る。層間誘電体 350 は、導電性トレース 330 および 340 の上方に、ならびに導電性トレース 330 と 340 との間に形成され得る。層間誘電体 350 は、導電性トレース 330 および 340 を電氣的に絶縁し得る。層間誘電体 350 は、 $Si_3N_4$ 、 $SiO_2$ 、 $SiO_xN_y$ 、ならびにポリイミドおよび BCB などのポリマー絶縁体などの、任意の好適な誘電体材料を含み得る。図 3B の例に示すように、ビア 310 は、導電性トレース 330 および 340 の一方または両方の幅より大きくない幅を有する。たとえば、ビア 310 の幅は、約  $3\mu m$  などの、約  $1\mu m$  から約  $5\mu m$  の間であり得るが、上部導電性トレース 340 の幅は、約  $9\mu m$  などの、約  $5\mu m$  から約  $10\mu m$  の間であり得る。いくつかの実装形態では、導電性トレース 330 および 340 の厚さは、約  $1\mu m$  よりも小さいかまたはそれに等しい。下部導電性トレース 330 は、本明細書で前に説明したように、半導体材料または絶縁材料を有する基板 320 の上方に形成され得る。

#### 【0036】

複雑な幾何学的受動デバイスは、正確なプロセス制約を使用したオンチップ BEOL プロセス（たとえば、サブマイクロリソグラフィ）で製造され得る。いくつかの複雑な幾何学的受動デバイスは、図 3A および図 3B の例に示す実装形態で構成され得る。しかしながら、そのような複雑な幾何学的受動デバイスは、金属/誘電体材料および厚さの点で電氣的性能が制限され得る。より高い電氣的性能を実現するために、複雑な幾何学的受動デバイスが、厚い金属/厚い誘電体層に形成され得る。したがって、FBEOL プロセスに粗いプロセス制約を使用して複雑な幾何学的受動デバイスを形成することが望ましい可能性がある。しかしながら、複雑な受動デバイスが比較的小さいフォームファクタ（たとえば、狭いトレース幅）を保持し、ビアが比較的高いフォームファクタ（たとえば、広いビア幅）で形成される場合、粗いプロセス制約は、複雑な幾何学的受動デバイスを形成するのと互換性がない可能性がある。

#### 【0037】

いくつかの実装形態では、複雑な受動デバイスは、粗いプロセス制約を使用して形成され得る。図 4A は、いくつかの実装形態による、ビア設計を有する、複雑な幾何学的受動デバイスの上面図の一例を示す。受動デバイス 400 は、ビア 410 を介して上部導電性トレース 440 が下部導電性トレース 430 に接続された、対称的なインダクタであり得る。ビア 410 は、上部導電性トレース 440 および下部導電性トレース 430 の一方または両方の幅よりも大きい幅を有する。いくつかの実装形態では、ビアの幅は、上部導電性トレース 440 および下部導電性トレース 430 の一方または両方の幅の約 5 倍よりも大きい可能性がある。いくつかの実装形態では、図 4A の例に示すように、ビア 410 は、受動デバイス 400 のまわりおよびそれにわたるほぼすべてである。ビア 410 は、上部導電性トレース 440 が下部導電性トレース 430 と交差する巻線における場所を除き、受動デバイス 400 にわたって上部導電性トレース 440 と下部導電性トレース 430 との間の電氣的接続を提供し得る。対称的なインダクタの巻線では、上部導電性トレース 440 は、下部導電性トレース 430 から電氣的に絶縁され得る。いくつかの実装形態では、ビア 410 は、複数の層内の複数の導電性トレースを接続し得る。いくつかの実装形態では、下部導電性トレース 430 は、上部導電性トレース 440 とほぼ同一の広がりをも有し得る。

#### 【0038】

導電性トレース 430 および 440 の一方または両方の幅よりも大きいビア 410 の幅を有するプロセス制約は、複雑な幾何学的受動デバイスのみには限定されず、らせん状のインダクタなどの単純な幾何学的受動デバイスにも実装され得ることが理解されよう。

#### 【0039】

上部導電性トレース 440 は、受動構成要素の一部を形成することができ、下部導電性

10

20

30

40

50

トレース430も、受動構成要素の一部を形成することができる。磁区受動構成要素の場合、磁性材料は、上部導電性トレース440および/または下部導電性トレース430の表面に磁性材料をコーティングすることによって堆積され得る。いくつかの実装形態では、磁性材料は、受動構成要素の近傍の層間誘電体の一部に材料を埋め込むことによって堆積され得る。

#### 【0040】

図4Bは、図4Aの断面4B-4Bに沿った、複雑な幾何学的受動デバイスの断面概略図を示す。下部導電性トレース430は、基板420の上方にある可能性がある。下部導電性トレース430は、BEOL層であり、AlまたはAl合金などの材料から作製され得る。いくつかの実装形態では、下部導電性トレース430は、約1 $\mu$ mから約5 $\mu$ mの間の厚さを有し得る。

10

#### 【0041】

上部導電性トレース440は、下部導電性トレース430の上方にある可能性がある。図4Bの断面図では、上部導電性トレース440は、第1の導電性トレース430の直接上にあり、それに接触している。上部導電性トレース440は、FBEOL層であり、Cuなどの高導電性材料から作製され得る。下部導電性トレース430と上部導電性トレース440の両方は、PVDおよびフォトリソグラフィによって形成されたAlまたはAl合金などの、AlまたはAl合金から作製され得ることが理解される。いくつかの実装形態では、上部導電性トレース440は、銅RDL層の一部である。いくつかの実装形態では、上部導電性トレース440は、約5 $\mu$ mから約10 $\mu$ mの間などの、約1 $\mu$ mよりも

20

#### 【0042】

層間誘電体450は、上部導電性トレース440および下部導電性トレース430の上方にある可能性がある。いくつかの実装形態では、層間誘電体450は、限定はしないが、ポリイミド、BCB、ポリノルボルネン、ポリテトラフルオロエチレン(PTFE)、およびポリフッ化ビニリデン/トリフルオロエチレンコポリマーを含む、ポリマー絶縁体であり得る。いくつかの実装形態では、層間誘電体450は、限定はしないが、SiO<sub>2</sub>およびSiONを含む無機材料から作製され得る。いくつかの実装形態では、層間誘電体450は、上部導電性トレース440の上部表面から測定されるとき、約1 $\mu$ mから約15 $\mu$ mの間の厚さを有し得る。

30

#### 【0043】

図4Bの断面図に示すように、ビア410は、下部導電性トレース430の上部表面にわたって広がり、その上部表面を覆う。言い換えれば、ビア410は、導電性トレース430および440の縁部を越えて横方向に延在する。ビア410の幅は、導電性トレース430または440の一方または両方の幅よりも大きい。いくつかの実装形態では、ビアの幅は、約25 $\mu$ mから約100 $\mu$ mの間であるが、導電性トレースの幅は、約5 $\mu$ mから約15 $\mu$ mの間であり得る。ビア410は、層間誘電体450の1つまたは複数の孔として形成され、上部導電性トレース440は、層間誘電体450の1つまたは複数の孔内に形成され得る。したがって、上部導電性トレース440は、図4Bの断面図において、下部導電性トレース430と十分に接続され、それと直接電氣的接触し得る。下部導電性

40

#### 【0044】

図4Cは、図4Aの断面4C-4Cに沿った、複雑な幾何学的受動デバイスの断面概略図を示す。下部導電性トレース430は、基板420の上方にある可能性がある。上部導電性トレース440は、下部導電性トレース430の上方にある可能性がある。上部層間誘電体450bは、上部導電性トレース440の上方にある可能性がある。しかしながら、図4Cの断面図に示すように、下部層間誘電体すなわち層間誘電体アイランド450aは、下部導電性トレース430の一部と上部導電性トレース440との間にある可能性がある。したがって、上部導電性トレース440は、下部導電性トレース430と直接

50

している可能性があり、下部導電性トレース430は、層間誘電体アイランド450aと接触していない。層間誘電体アイランド450aは、下部導電性トレース430の一部を上部導電性トレース440から電氣的に絶縁する。いくつかの実装形態では、層間誘電体アイランド450aは、約1 $\mu$ mから約5 $\mu$ mの間の厚さを有し得る。

**【0045】**

ビア410は、層間誘電体アイランド450aが上部導電性トレース440を下部導電性トレース430から分離する場所を除き、受動デバイス400にわたって上部導電性トレース440と下部導電性トレース430との間の電氣的接続を提供する。言い換えれば、上部導電性トレース440および下部導電性トレース430は、それらが層間誘電体アイランド450aによって電氣的に絶縁される場所を除いてどこでも十分に接続される。10  
それゆえ、ビア410は、上部導電性トレース440が下部導電性トレース430と接続される場所のどこでも存在する。

**【0046】**

ビアが導電性トレース間の電氣的相互接続を提供するように実装され得る一方、導電性トレースの一方または両方の幅よりも大きい幅を有する場合、複雑な幾何学的受動デバイスは、粗いプロセス制約を使用して形成され得る。したがって、ビア設計は、FBEOLプロセスフローによる複雑な幾何学的受動デバイスの製造を可能にし得る。これは、パッケージングプロセスが完了した後、組立供給業者が複雑な幾何学的受動デバイスをパッケージングすることをさらに可能にし得る。そのようなビアを設計するためのプロセスフローは、以下にさらに詳細に説明され得る。20

**【0047】**

図5は、いくつかの実装形態による、ビア設計を有する、複雑な幾何学的受動デバイスの上面図の一例を示す。複雑な幾何学的受動デバイス500は、トランスフォーマであり得る。しかしながら、受動デバイス500は、トランスフォーマに限定されず、他の複雑な幾何形状も含み得ることが理解されよう。断面A-Aは、上部導電性トレースおよび下部導電性トレースが互いに同一の広がりを持つ、受動デバイス500の一部を示す。断面B-Bは、上部導電性トレースが下部導電性トレースと交差する巻線における受動デバイス500の一部を示す。

**【0048】**

図5A-1~図5A-5は、図5の断面A-Aに沿った、複雑な幾何学的受動デバイスを製造する方法を示す断面図の例を示す。図5B-1~図5B-5は、図5の断面B-Bに沿った、複雑な幾何学的受動デバイスを製造する方法を示す断面図の例を示す。図5A-1および図5B-1では、第1の導電性トレース530は、基板520の上方に堆積され得る。第1の導電性トレース530は、物理気相堆積(PVD、たとえばスパッタリング)、プラズマ強化化学蒸着(PECVD)、熱化学気相堆積(熱CVD)、原子層堆積(ALD)、電気めっき、またはスピンコーティングなどの、当技術分野で知られている任意の好適な堆積技法を使用して堆積され得る。第1の導電性トレース530は、一連のBEOL金属ラインまたは部分を形成するためにパターニングおよびエッチングされ得る。いくつかの実装形態では、第1の導電性トレース530は、アルミニウム銅(AlCu)またはアルミニウムシリコン銅(AlSiCu)などの、AlまたはAl合金から作製され得る。いくつかの実装形態では、第1の導電性トレース530の厚さは、約1 $\mu$ mから約5 $\mu$ mの間であり得る。30  
40

**【0049】**

図5A-2および図5B-2では、第1の層間誘電体550aは、第1の導電性トレース530および基板520の上方に堆積され得る。第1の層間誘電体550aは、PVD、PECVD、熱CVD、ALD、またはスピンコーティングなどの、当技術分野で知られている任意の好適な堆積技法を使用して堆積され得る。層間誘電体層550aの厚さは、第1の導電性トレース530の上部表面から測定されるとき、約1 $\mu$ mから約5 $\mu$ mの間であり得る。本明細書で説明するように、層間誘電体550aは、限定はしないが、ポリマー絶縁体を含む、任意の好適な誘電体材料を含み得る。いくつかの実装形態では、層50

間誘電体 550 a は、ポリイミドまたは B C B を含み得る。

【 0 0 5 0 】

図 5 A - 3 および図 5 B - 3 では、層間誘電体 550 a は、パターンニングおよびエッチングされ得る。ビア 510 を形成するために、層間誘電体 550 a をエッチングすることにより、層間誘電体 550 a の一部が除去される。典型的には、2つの導電性トレース間の導電性経路を提供するために、層間誘電体内に狭い孔をエッチングすることによって、ビアが形成される。そのようなビアは、導電性トレースの一方または両方の幅よりも小さい幅を有する。ここで、断面 B - B の絶縁された部分を除いて、第 1 の導電性トレース 530 のまわりのすべてをエッチングすることによって、ビア 510 が形成される。第 1 の導電性トレース 530 のまわりをエッチングすることによって、第 1 の導電性トレース 530 の少なくとも上部表面が露出する。層間誘電体 550 a の一部は、ビア 510 が、導電性トレース 530 および 540 の一方または両方の幅よりも大きい幅を有するようにエッチングされる。実際は、ビア 510 は、断面 B - B の絶縁された部分を除いて第 1 の導電性トレース 530 の上部表面を囲み得る。したがって、ビア 510 は、厚い金属 / 厚い誘電体層における粗いプロセス制約のもとで形成され得る。

10

【 0 0 5 1 】

図 5 A - 4 および図 5 B - 4 では、第 2 の導電性トレース 540 は、第 1 の導電性トレース 530 の上方に堆積され得る。いくつかの実装形態では、第 2 の導電性トレース 540 は、本明細書で前に説明したように、当技術分野で知られている任意の好適な技法を使用して堆積され得る。たとえば、第 2 の導電性トレース 540 は、電気めっきによって堆積され得る。いくつかの実装形態では、図 5 A - 4 に示すように、第 2 の導電性トレース 540 は、第 1 の導電性トレース 530 の上に直接揃うようにパターンニングおよびエッチングされ得る。いくつかの実装形態では、第 2 の導電性トレース 540 は、一連の銅 R D L ラインまたは部分を形成するためにパターンニングおよびエッチングされ得る。銅 R D L ラインは、トランスフォーマなどの複雑な幾何学的受動デバイスの一部を形成し得る。第 2 の導電性トレース 540 は、第 1 の導電性トレース 530 と直接電氣的接触するようにビア 510 内に堆積され得る。図 5 B - 4 では、第 2 の導電性トレース 540 は、残っている層間誘電体 550 a および第 1 の導電性トレース 530 の上方に堆積され得る。

20

【 0 0 5 2 】

いくつかの実装形態では、第 2 の導電性トレース 540 は、Cu の電気めっきによって堆積される。Cu の厚さは、第 1 の導電性トレース 530 の上部表面から測定されるとき、約 5 μm から約 10 μm の間などの、約 1 μm よりも大きい可能性がある。しかしながら、第 2 の導電性トレース 540 は、PVD によって堆積され、Al または Al 合金のフォトリソグラフィによってパターンニングされ得ることが理解される。

30

【 0 0 5 3 】

図 5 A - 5 および図 5 B - 5 では、第 2 の層間誘電体 550 b は、第 2 の導電性トレース 540 の上方に堆積される。第 2 の層間誘電体 550 b は、本明細書で前に説明したように、任意の既知の堆積技法を使用して堆積され得る。第 2 の層間誘電体 550 b は、限定はしないが、ポリマー絶縁体を含む、任意の好適な誘電体材料から作製され得る。いくつかの実装形態では、第 2 の層間誘電体 550 b の厚さは、約 5 μm などの、約 1 μm から約 10 μm の間であり得る。

40

【 0 0 5 4 】

図 6 は、集積受動デバイスを製造する方法の流れ図の一例を示す。追加のプロセスが存在し得ることが理解されよう。たとえば、下部の層または上部の層の堆積は、PVD、PECVD、熱CVD、ALD、スピノンコーティング、および電気めっきなどの、様々な膜堆積プロセスによって実現され得る。所望の導電率を実現するように半導体材料に不純物を添加するために、拡散および注入などのドーピングプロセスが使用され得る。マスク上のパターンを材料層に転写するために、フォトリソグラフィなどのパターンニング技法が使用され得る。不要な材料を除去するために、パターンニング後に、エッチングプロセスが実行され得る。さらに処理するために、ほぼ平坦な表面をもたらすように、「エッチバ

50

ック」および化学機械研磨（CMP）などの平坦化プロセスが使用され得る。

【0055】

プロセス600は、基板が設けられる、ブロック610において開始する。本明細書で前に説明したように、基板は、限定はしないが、Si、SOI、Ge、SiGe、GaAs、GaAsP、InP、GaAlAs、InGaP、SiC、SiO<sub>2</sub>、ガラス、および石英基板を含む、半導体材料または絶縁材料から形成され得る。いくつかの実装形態では、基板は、高抵抗値を有するガラス材料であり得る、誘電体層を含むこともできる。この誘電体層は、融解石英、石英、二酸化ケイ素、ケイ酸を含み得る。誘電体層は、窒化ケイ素、シリコンカーバイド、酸窒化ケイ素、セラミック、ガラスセラミック、プラスチック、ポリマー、エポキシなどを含むこともできる。

10

【0056】

プロセス600は、第1の導電性トレースが基板の上方に堆積される、ブロック620において継続する。第1の導電性トレースを形成するために、上記で説明した堆積、パターンニング、エッチング、および/または平坦化プロセスを含む、様々なプロセスフローが実行され得る。第1の導電性トレースが、集積回路のBEOL層に堆積され得る。いくつかの実装形態では、第1の導電性トレースは、Al、Cu、Ag、W、ならびにそれらの合金および組合せを含み得る。

【0057】

プロセス600は、第1の層間誘電体が第1の導電性トレースの上方に堆積される、ブロック630において継続する。第1の層間誘電体は、導電性トレースを電氣的に絶縁するように機能し得る。いくつかの実装形態では、第1の層間誘電体は、Si<sub>3</sub>N<sub>4</sub>、SiO<sub>2</sub>、SiO<sub>x</sub>N<sub>y</sub>、ならびにポリイミドおよびBCBなどのポリマー絶縁体を含み得る。

20

【0058】

プロセス600は、1つまたは複数のビアが第1の層間誘電体内に形成される、ブロック640において継続する。1つまたは複数のビアが、第1の層間誘電体内の孔であり得る。1つまたは複数のビアは、当技術分野で知られている技法を使用して第1の層間誘電体をパターンニングおよびエッチングすることによって形成され得る。1つまたは複数のビアは、第1の層間誘電体内の第1の導電性トレースのまわりにトレンチを形成し得る。いくつかの実装形態では、1つまたは複数のビアは、第1の層間誘電体と接触していない、第1の導電性トレースの一部を囲み得る。

30

【0059】

プロセス600は、第2の導電性トレースが第1の導電性トレースの上方に堆積される、ブロック650において継続する。1つまたは複数のビアの幅は、導電性トレースのいずれかよりも大きく、導電性トレース間に電氣的接続を提供する。第2の導電性トレースが、第1の層間誘電体内に形成された1つまたは複数のビア内に堆積される。第2の導電性トレースは、第1の層間誘電体が第1の導電性トレースの一部を第2の導電性トレースから電氣的に絶縁する場所を除いてどこでも第1の導電性トレースと十分に接続され得る。いくつかの実装形態では、第2の導電性トレースを堆積することは、銅RDL層などの厚い金属/厚い誘電体層に関する粗いプロセス条件のもとで起こる。第2の導電性トレースを堆積することにより、インダクタ、トランスフォーマ、または受動フィルタなどの、磁区受動構成要素の一部が形成され得る。いくつかの実装形態では、第2の導電性トレースは、CuもしくはCu合金、AlもしくはAl合金、または他の好適な金属を含み得る。

40

【0060】

プロセス600は、第2の層間誘電体が第2の導電性トレースの上方に堆積される、ブロック660において継続する。第2の層間誘電体は、集積回路デバイス内の他の回路からの電気絶縁体として機能し得る。いくつかの実装形態では、第2の層間誘電体は、Si<sub>3</sub>N<sub>4</sub>、SiO<sub>2</sub>、SiO<sub>x</sub>N<sub>y</sub>、ならびにポリイミドおよびBCBなどのポリマー絶縁体を含み得る。いくつかの実装形態では、受動デバイスから集積回路デバイス内の他の構

50

成要素への電氣的接続が行われるのを可能にするために、誘電体を通して接触開口部が形成され得る。

【0061】

図7は、一連の2つの隣接する干渉変調器(IMOD)ディスプレイ要素、またはIMODディスプレイデバイスのディスプレイ要素のアレイを示す等角図である。IMODディスプレイデバイスは、1つまたは複数の、MEMSなどの干渉EMSディスプレイ要素を含む。これらのデバイスでは、干渉MEMSディスプレイ要素が、明状態または暗状態のいずれかで構成され得る。明(「緩和」、「開」または「オン」など)状態では、ディスプレイ要素は、入射可視光の大部分を反射する。逆に、暗(「作動」、「閉」または「オフ」など)状態では、ディスプレイ要素は、入射可視光をほとんど反射しない。MEMSディスプレイ要素は、黒および白に加えて、主に、カラーディスプレイを可能にする光の特定の波長において、反射するように構成され得る。いくつかの実装形態では、複数のディスプレイ要素を使用することによって、原色の様々な強度およびグレーの濃淡が実現され得る。

10

【0062】

IMODディスプレイデバイスは、行および列に配置され得る、IMODディスプレイ要素のアレイを含み得る。このアレイ内の各ディスプレイ要素は、エアギャップ(光学的ギャップ、キャビティまたは光共振キャビティとも呼ばれる)を形成するために、互いに可変の制御可能な距離に位置する、可動反射層(すなわち、機械層とも呼ばれる可動層)および固定部分反射層(すなわち、固定層)などの、少なくとも反射層と半反射層の対を含み得る。可動反射層は、少なくとも2つの位置の間で移動され得る。たとえば、第1の位置、すなわち緩和位置では、可動反射層は、固定部分反射層から、ある距離に配置され得る。第2の位置、すなわち作動位置では、可動反射層は、部分反射層により近接して配置され得る。それら2つの層から反射する入射光は、可動反射層の位置および入射光の波長に応じて、強め合うようにおよび/または弱め合うように干渉し、各ディスプレイ要素について全反射状態または無反射状態のいずれかを引き起こすことがある。いくつかの実装形態では、ディスプレイ要素は、作動していないときに反射状態にあり、可視スペクトル内の光を反射させることができ、作動しているときに暗状態にあり、可視範囲内の光を吸収し、および/または弱め合うようにその光を干渉させることができる。ただし、いくつかの他の実装形態では、IMODディスプレイ要素は、作動していないときに暗状態にあり、作動しているときに反射状態にあり得る。いくつかの実装形態では、印加電圧の導入により、状態を変更するようにディスプレイ要素が駆動され得る。いくつかの他の実装形態では、印加電荷は、状態を変更するようにディスプレイ要素を駆動することができる。

20

30

【0063】

図7のアレイの図示された部分は、IMODディスプレイ要素12の形態で、2つの隣接する干渉MEMSディスプレイ要素を含む。(図示のような)右側のディスプレイ要素12では、可動反射層14は、光学スタック16の近くの、光学スタック16に隣接する、または光学スタック16に接触した作動位置に示されている。右側のディスプレイ要素12にわたって印加された電圧 $V_{bias}$ は、移動するのに、可動反射層14を作動位置に維持するのに十分である。(図示のような)左側のディスプレイ要素12では、可動反射層14は、部分反射層を含む光学スタック16からの、ある距離(設計パラメータに基づいてあらかじめ決定され得る)における緩和位置に示されている。左側のディスプレイ要素12にわたって印加された電圧 $V_0$ は、右側のディスプレイ要素12の位置などの作動位置まで可動反射層14を作動させるには不十分である。

40

【0064】

図7では、IMODディスプレイ要素12の反射特性が、概して、IMODディスプレイ要素12に入射する光13と、左側のディスプレイ要素12から反射する光15とを示す矢印を用いて示されている。ディスプレイ要素12に入射する光13の大部分は、透明基板20を通して、光学スタック16の方に透過され得る。光学スタック16に入射する

50

光の一部は、光学スタック 16 の部分反射層を透過され得、一部は反射され、透明基板 20 を通って戻ることになる。光学スタック 16 を透過された光 13 の一部は、可動反射層 14 から反射され得、透明基板 20 に向かって（およびそれを通って）戻り得る。光学スタック 16 の部分反射層から反射された光と可動反射層 14 から反射された光との間の干渉（強め合うおよび／または弱め合う）が、デバイスの視点側または基板側のディスプレイ要素 12 から反射される光 15 の波長の強度を部分的に決定することになる。いくつかの実装形態では、透明基板 20 は、ガラス基板（カラスプレートまたはパネルと呼ばれることもある）であり得る。ガラス基板は、たとえば、ホウケイ酸ガラス、ソーダ石灰ガラス、石英、パイレックス（登録商標）、または他の好適なガラス材料であるか、または、それらを含み得る。いくつかの実装形態では、ガラス基板は、0.3、0.5、または 0.7 ミリメートルの厚さを有し得るが、いくつかの実装形態では、ガラス基板は、より厚い（数十ミリメートルなど）か、またはより薄い（0.3 ミリメートル未満など）可能性がある。いくつかの実装形態では、ポリカーボネート、アクリル、ポリエチレンテレフタレート（PET）、またはポリエーテルエーテルケトン（PEEK）基板などの、非ガラス基板が使用され得る。そのような実装形態では、非ガラス基板は、0.7 ミリメートル未満の厚さを有する可能性があるが、基板は、設計考慮事項に応じてより厚くなり得る。いくつかの実装形態では、金属箔またはステンレス鋼ベースの基板などの不透明基板が使用され得る。たとえば、部分透過性および部分反射性がある、固定反射層および可動層を含む、反転型の IMOD ベースのディスプレイは、図 7 のディスプレイ要素 12 として基板の反対側から見られるように構成され得、不透明基板によってサポートされ得る。

#### 【0065】

光学スタック 16 は、単一の層またはいくつかの層を含むことができる。その層は、電極層、部分反射および部分透過層、ならびに透明な誘電体層のうちの 1 つまたは複数を含むことができる。いくつかの実装形態では、光学スタック 16 は、電気伝導性であり、部分的に透明で、部分的に反射性であり、たとえば、透明基板 20 上に上記の層のうちの 1 つまたは複数を堆積させることによって作製され得る。電極層は、様々な金属、たとえば酸化インジウムスズ（ITO）など、様々な材料から形成され得る。部分反射層は、様々な金属（たとえば、クロムおよび／またはモリブデン）、半導体、および誘電体などの、部分的に反射性である様々な材料から形成され得る。部分反射層は、材料の 1 つまたは複数の層から形成され得、それらの層の各々は、単一の材料または材料の組合せから形成され得る。いくつかの実装形態では、光学スタック 16 のいくつかの部分は、部分的な光吸収体と導電体の両方として機能する、金属または半導体の単一の半透明の厚み部分（thickness）を含むことができるが、（たとえば、光学スタック 16 の、またはディスプレイ要素の他の構造の）異なる、電気的により伝導性の高い層または部分は、IMOD ディスプレイ要素間で信号をバス伝達するように機能することができる。光学スタック 16 は、1 つもしくは複数の導電層または導電性／部分的な吸収層をカバーする、1 つまたは複数の絶縁層または誘電体層をも含むことができる。

#### 【0066】

いくつかの実装形態では、光学スタック 16 の層のうちの少なくともいくつかは、以下でさらに説明するように、平行ストリップにパターニングされ得、ディスプレイデバイスにおける行電極を形成し得る。当業者によって理解されるように、「パターニング」という用語は、本明細書では、マスキングプロセスならびにエッチングプロセスを指すために使用される。いくつかの実装形態では、アルミニウム（Al）などの高導電性および高反射性の材料が可動反射層 14 のために使用され得、これらのストリップは、ディスプレイデバイスにおける行電極を形成し得る。可動反射層 14 は、図示されたポスト 18 などのサポートの上部に堆積された列と、ポスト 18 間に配置された介在する犠牲材料とを形成するために、（光学スタック 16 の行電極に直交する）1 つまたは複数の堆積された金属層の一連の平行ストリップとして形成され得る。犠牲材料がエッチング除去されると、画定されたギャップ 19 または光キャビティが可動反射層 14 と光学スタック 16 との間に形成され得る。いくつかの実装形態では、ポスト 18 間のスペースは、約 1 ~ 1000 μ

mであり得、ギャップ19は、約10,000オングストローム( )未満であり得る。

【0067】

いくつかの実装形態では、各IMODディスプレイ要素は、作動状態であろうと、または緩和状態であろうと、固定反射層および可動反射層によって形成されるキャパシタと見なされ得る。電圧が印加されないとき、可動反射層14は、図7の左側のディスプレイ要素12によって示されるように、機械的に緩和した状態にとどまり、可動反射層14と光学スタック16との間のギャップ19がある。しかしながら、電位差、すなわち電圧が、選択された行および列のうちの少なくとも1つに印加されたとき、対応するディスプレイ要素における行電極と列電極との交差部に形成されたキャパシタは帯電し、静電力がそれらの電極を引き合わせる。印加された電圧がしきい値を超える場合、可動反射層14は、変形し、光学スタック16の近くにまたはそれに対して移動することができる。光学スタック16内の誘電体層(図示せず)は、図7の右側の作動ディスプレイ要素12によって示されるように、短絡を防ぎ、層14と層16との間の分離距離を制御し得る。その挙動は、印加電位差の極性にかかわらず同じである可能性がある。いくつかの事例では、アレイ中の一連のディスプレイ要素が「行」または「列」と呼ばれることがあるが、ある方向を「行」と呼び、別の方向を「列」と呼ぶことは恣意的であることを、当業者は容易に理解されよう。言い換えれば、いくつかの配向では、行は列と見なされ得、列は行であると見なされ得る。いくつかの実装形態では、行は「コモン」ラインと呼ばれ得、列は「セグメント」ラインと呼ばれ得るが、逆もまた同様である。さらに、ディスプレイ要素は、直交する行および列に一樣に配置されるか(「アレイ」)、または、たとえば、互いに一定の位置オフセットを有する、非線形構成で配置され得る(「モザイク」)。「アレイ」および「モザイク」という用語は、いずれかの構成を指し得る。したがって、ディスプレイは、「アレイ」または「モザイク」を含むものとして言及されるが、その要素自体は、いかなる事例においても、互いに直交して配置される必要がなく、または一樣な分布で配設される必要がなく、非対称形状および不均等に分布された要素を有する配置を含み得る。

【0068】

図8は、IMODディスプレイ要素の3つの要素×3つの要素のアレイを含む、IMODベースのディスプレイを組み込んだ電子デバイスを示すシステムブロック図である。電子デバイスは、1つまたは複数のソフトウェアモジュールを実行するように構成され得るプロセッサ21を含む。オペレーティングシステムを実行することに加えて、プロセッサ21は、ウェブブラウザ、電話アプリケーション、電子メールプログラム、または任意の他のソフトウェアアプリケーションを含む、1つまたは複数のソフトウェアアプリケーションを実行するように構成され得る。

【0069】

プロセッサ21は、アレイドライバ22と通信するように構成され得る。アレイドライバ22は、たとえば、ディスプレイアレイまたはパネル30に信号を与える、行ドライバ回路24と列ドライバ回路26とを含むことができる。図8には、図7に示したIMODディスプレイデバイスの断面が線1-1によって示されている。図8は、明快のためにIMODディスプレイ要素の3×3アレイを示しているが、ディスプレイアレイ30は、極めて多数のIMODディスプレイ要素を含んでいることがあり、列におけるIMODディスプレイ要素の数とは異なる数のIMODディスプレイ要素を行において有し得るが、その逆も同様である。

【0070】

図9Aおよび図9Bは、EMS要素およびバックプレート92のアレイ36を含む、EMSパッケージ91の一部の概略分解部分斜視図である。図9Aは、バックプレート92のいくつかの部分のわかりやすく示すためにバックプレート92の2隅を切り取って示されているが、図9Bは、隅を切り取らずに示されている。EMSアレイ36は、基板20、支持ポスト18、および可動層14を含み得る。いくつかの実装形態では、EMSアレイ36は、透明基板上の1つまたは複数の光学スタック部分16を有するIMODディスプレイ要素のアレイを含むことができ、可動層14は、可動反射層として実装され得る。

## 【 0 0 7 1 】

バックプレート 9 2 は、本質的に平坦であるか、または少なくとも 1 つの起伏のある表面を有することができる（たとえば、バックプレート 9 2 は、陥凹部および/または突起部を有するように形成され得る）。バックプレート 9 2 は、透明または不透明、導電性または絶縁性の任意の好適な材料から作ることができる。バックプレート 9 2 の好適な材料には、限定はしないが、ガラス、プラスチック、セラミック、ポリマー、積層板、金属、金属箔、コパール、およびめっきされたコパールがある。

## 【 0 0 7 2 】

図 9 A および図 9 B に示されているように、バックプレート 9 2 は、バックプレート 9 2 内に部分的にまたは全体的に埋め込まれ得る、1 つまたは複数のバックプレート構成要素 9 4 a および 9 4 b を含み得る。図 9 A でわかるように、バックプレート構成要素 9 4 a は、バックプレート 9 2 に埋め込まれている。図 9 A および図 9 B でわかるように、バックプレート構成要素 9 4 b は、バックプレート 9 2 の表面に形成された陥凹部 9 3 内に配設される。いくつかの実装形態では、バックプレート構成要素 9 4 a および/または 9 4 b は、バックプレート 9 2 の表面から突き出る可能性がある。バックプレート構成要素 9 4 b は、基板 2 0 に面するバックプレート 9 2 の側面に配設されるが、他の実装形態では、バックプレート構成要素は、バックプレート 9 2 の反対側に配設され得る。

10

## 【 0 0 7 3 】

バックプレート構成要素 9 4 a および/または 9 4 b は、トランジスタ、キャパシタ、インダクタ、抵抗器、ダイオード、スイッチ、および/またはパッケージングされた標準または個別の集積回路（IC）などの IC などの、1 つまたは複数の能動電気構成要素または受動電気構成要素を含み得る。様々な実装形態で使用され得るバックプレート構成要素の他の例には、アンテナ、電池、および電氣的、接触式、光学的、もしくは化学的なセンサなどのセンサ、または薄膜堆積デバイスがある。

20

## 【 0 0 7 4 】

いくつかの実装形態では、バックプレート構成要素 9 4 a および/または 9 4 b は、EMS アレイ 3 6 の一部と電氣的に連通している可能性がある。トレース、バンプ、支柱、またはビアなどの導電性構造物は、バックプレート 9 2 または基板 2 0 のうちの一方または両方に形成され、互いに、または他の導電性構成要素と接触して、EMS アレイ 3 6 とバックプレート構成要素 9 4 a および/または 9 4 b との間に電氣的接続部を形成することができる。たとえば、図 9 B は、EMS アレイ 3 6 内の可動層 1 4 から上方に延在する電気接点 9 8 と揃えられ得るバックプレート 9 2 上の 1 つまたは複数の導電性ビア 9 6 を含む。いくつかの実装形態では、バックプレート 9 2 は、EMS アレイ 3 6 の他の構成要素からバックプレート構成要素 9 4 a および/または 9 4 b を電氣的に絶縁する 1 つまたは複数の絶縁層を含み得る。バックプレート 9 2 が蒸気透過性材料から形成されるいくつかの実装形態では、バックプレート 9 2 の内面は、防湿材（図示せず）でコーティングされ得る。

30

## 【 0 0 7 5 】

バックプレート構成要素 9 4 a および 9 4 b は、EMS パッケージ 9 1 に入る可能性のある水分を吸収する働きをする 1 つまたは複数の乾燥剤を含み得る。いくつかの実装形態では、乾燥剤（または吸着体などの他の水分吸収材料）は、任意の他のバックプレート構成要素とは別に、たとえば、バックプレート 9 2（またはその中に形成されている陥凹部内）に接着剤で装着されているシートとして設けられ得る。代替として、乾燥剤は、バックプレート 9 2 に一体化され得る。いくつかの他の実装形態では、乾燥剤は、たとえば、吹き付け塗装、スクリーン印刷、または任意の他の好適な方法によって、他のバックプレート構成要素上に直接または間接的に施され得る。

40

## 【 0 0 7 6 】

いくつかの実装形態では、EMS アレイ 3 6 および/またはバックプレート 9 2 は、バックプレート構成要素とディスプレイ要素との間に、ある距離を維持し、それにより、これらの構成要素間の機械的干渉を防ぐための機械的スタンドオフ 9 7 を含むことができる

50

。図9Aおよび図9Bに示されている実装形態では、機械的スタンドオフ97は、EMSアレイ36の支持ポスト18と位置を揃えてバックプレート92から突き出ているポストとして形成される。代替的に、またはそれに加えて、レールまたはポストなどの、機械的スタンドオフは、EMSパッケージ91の縁に沿って設けることができる。

【0077】

図9Aおよび図9Bには例示されていないが、EMSアレイ36を部分的に、または完全に囲むシールを設けることができる。バックプレート92および基板20とともに、シールはEMSアレイ36を囲む保護キャビティを形成することができる。シールは、従来のエポキシベースの接着剤などの、半気密シールとすることができる。いくつかの他の実装形態では、シールは、薄膜金属溶接材またはガラスフリットなどの、気密シールとすることができる。いくつかの他の実装形態では、シールの材料として、ポリイソブチレン(PIB)、ポリウレタン、液体スピノングラス、ハンダ、ポリマー、プラスチック、または他の材料が挙げられる。いくつかの実装形態では、機械的スタンドオフを形成するために、強化封止材が使用され得る。

【0078】

代替の実装形態では、シールリングは、バックプレート92または基板20の一方または両方のいずれかの延長部を含み得る。たとえば、シールリングは、バックプレート92の機械的延長部(図示せず)を含み得る。いくつかの実装形態では、シールリングは、Oリングまたは他の環状部材などの、個別部材を含むことができる。

【0079】

いくつかの実装形態では、EMSアレイ36およびバックプレート92は、互いに取り付けられるかまたは結合する前に別々に形成される。たとえば、基板20の縁は、上記で説明したように、バックプレート92の縁に取り付けられるか、または封止され得る。代替として、EMSアレイ36およびバックプレート92は、EMSパッケージ91として互いに形成および接合され得る。いくつかの他の実装形態では、EMSパッケージ91は、堆積によりEMSアレイ36の上方にバックプレート92の構成要素を形成するなどの、任意の他の好適な方法で作製され得る。

【0080】

図10Aおよび図10Bは、複数のIMODディスプレイ要素を含むディスプレイデバイス40を示すシステムブロック図である。ディスプレイデバイス40は、たとえば、スマートフォン、セルラー電話または携帯電話であり得る。ただし、ディスプレイデバイス40の同じ構成要素またはその若干異なる形態はまた、テレビ、コンピュータ、タブレット、電子リーダー、ハンドヘルドデバイス、およびポータブルメディアデバイスなどの、様々なタイプのディスプレイデバイスを示す。

【0081】

ディスプレイデバイス40は、ハウジング41と、ディスプレイ30と、アンテナ43と、スピーカ45と、入力デバイス48と、マイクロフォン46とを含む。ハウジング41は、射出成形および真空成形を含む様々な製造プロセスのうちのいずれかから形成され得る。さらに、ハウジング41は、限定はしないが、プラスチック、金属、ガラス、ゴム、およびセラミック、またはそれらの組合せを含む、様々な材料のうちのいずれかから作製され得る。ハウジング41は、異なる色の、または異なるロゴ、ピクチャ、もしくはシンボルを含む、他の取外し可能な部分と交換され得る、取外し可能な部分(図示せず)を含み得る。

【0082】

ディスプレイ30は、本明細書で説明するように、双安定またはアナログディスプレイを含む様々なディスプレイのうちのいずれかであり得る。ディスプレイ30はまた、プラズマ、EL、OLED、STN LCD、または TFT LCDなど、フラットパネルディスプレイ、あるいはCRTまたは他の管デバイスなど、非フラットパネルディスプレイを含むように構成され得る。加えて、ディスプレイ30は、本明細書で説明するように、IMODベースのディスプレイを含み得る。

## 【 0 0 8 3 】

ディスプレイデバイス40の構成要素は、図10Aに概略的に示されている。ディスプレイデバイス40は、ハウジング41を含み、その中に少なくとも部分的に密閉された追加の構成要素を含むことができる。たとえば、ディスプレイデバイス40はネットワークインターフェース27を含んでおり、ネットワークインターフェース27はアンテナ43を含んでおり、アンテナ43はトランシーバ47に結合され得る。ネットワークインターフェース27は、ディスプレイデバイス40に表示されることのある画像データのソースであり得る。したがって、ネットワークインターフェース27は、画像ソースモジュールの一例であるが、プロセッサ21および入力デバイス48も、画像ソースモジュールの働きをすることができる。トランシーバ47はプロセッサ21に接続され、プロセッサ21は調整ハードウェア52に接続される。調整ハードウェア52は、(信号をフィルタリングするか、または別の方法で操作するなど)信号を調整するように構成され得る。調整ハードウェア52は、スピーカ45およびマイクロフォン46に接続され得る。プロセッサ21は、入力デバイス48およびドライバコントローラ29にも接続され得る。ドライバコントローラ29は、フレームバッファ28およびアレイドライバ22に結合されてよく、アレイドライバ22は、次いでディスプレイアレイ30に結合され得る。図10Aに明示されていない要素を含む、ディスプレイデバイス40における1つまたは複数の要素は、メモリデバイスとして機能するように構成され、プロセッサ21と通信するように構成され得る。いくつかの実装形態では、電源50は、特定のディスプレイデバイス40の設計における実質的にすべての構成要素に電力を提供することができる。

10

20

## 【 0 0 8 4 】

ネットワークインターフェース27は、ディスプレイデバイス40がネットワークを介して1つまたは複数のデバイスと通信できるように、アンテナ43とトランシーバ47とを含む。ネットワークインターフェース27はまた、たとえば、プロセッサ21のデータ処理要件を軽減するための、何らかの処理能力を有し得る。アンテナ43は、信号を送信および受信することができる。いくつかの実装形態では、アンテナ43は、IEEE16.11(a)、(b)、もしくは(g)を含むIEEE16.11規格、またはIEEE802.11a、b、g、nを含むIEEE802.11規格、およびそれらのさらなる実装形態に従って、RF信号を送信および受信する。いくつかの他の実装形態では、アンテナ43は、Bluetooth(登録商標)規格に従ってRF信号を送信および受信する。セルラー電話の場合、アンテナ43は、符号分割多元接続(CDMA)、周波数分割多元接続(FDMA)、時分割多元接続(TDMA)、Global System for Mobile communications(GSM(登録商標))、GSM(登録商標)/汎用パケット無線サービス(GPRS:General Packet Radio Service)、拡張データGSM(登録商標)環境(EDGE:Enhanced Data GSM(登録商標)Environment)、地上基盤無線(TETRA:Terrestrial Trunked Radio)、広帯域CDMA(W-CDMA)、Evolution Data Optimized(EV-DO)、1xEV-DO、EV-DO Rev A、EV-DO Rev B、高速パケットアクセス(HSPA)、高速ダウンリンクパケットアクセス(HSDPA)、高速アップリンクパケットアクセス(HSUPA)、発展型高速パケットアクセス(HSPA+:Evolved High Speed Packet Access)、Long Term Evolution(LTE)、AMPS、または3G、4Gもしくは5G技術を利用するシステムなど、ワイヤレスネットワーク内で通信するために使用される他の既知の信号を受信するように設計され得る。トランシーバ47は、アンテナ43から受信された信号を、プロセッサ21によって受信でき、さらにプロセッサ21によって操作できるように前処理することができる。トランシーバ47はまた、プロセッサ21から受信された信号を、アンテナ43を介してディスプレイデバイス40から送信できるように処理することができる。

30

40

## 【 0 0 8 5 】

50

いくつかの実装形態では、トランシーバ47は受信機によって置き換えられ得る。さらに、いくつかの実装形態では、ネットワークインターフェース27は、プロセッサ21に送られるべき画像データを記憶または生成することができる画像ソースによって置き換えられ得る。プロセッサ21は、ディスプレイデバイス40の全体的な動作を制御することができる。プロセッサ21は、圧縮された画像データなどのデータを、ネットワークインターフェース27または画像ソースから受信し、そのデータを生の画像データへ、または生の画像データに素早く変換できるフォーマットへと処理する。プロセッサ21は、処理されたデータをドライバコントローラ29に、または記憶のためにフレームバッファ28に送ることができる。生データは、通常、画像内の各ロケーションにおける画像特性を識別する情報を指す。たとえば、そのような画像特性は、色、飽和、およびグレースケールレベルを含むことができる。

10

**【0086】**

プロセッサ21は、ディスプレイデバイス40の動作を制御するためのマイクロコントローラ、CPU、または論理ユニットを含むことができる。調整ハードウェア52は、スピーカ45に信号を送信し、マイクロフォン46から信号を受信するための増幅器およびフィルタを含み得る。調整ハードウェア52は、ディスプレイデバイス40内の個別構成要素であり得、またはプロセッサ21もしくは他の構成要素内に組み込まれ得る。

**【0087】**

ドライバコントローラ29は、プロセッサ21によって生成された生画像データをプロセッサ21から直接、またはフレームバッファ28から取ることができ、アレイドライバ22への高速送信のために適宜に生画像データを再フォーマットすることができる。いくつかの実装形態では、ドライバコントローラ29は、生画像データを、ラスタ様フォーマットを有するデータフローに再フォーマットすることができ、その結果、そのデータフローは、ディスプレイアレイ30にわたって走査するのに好適な時間順序を有する。次いで、ドライバコントローラ29は、フォーマットされた情報をアレイドライバ22に送る。LCDコントローラなどのドライバコントローラ29は、しばしば、スタンドアロン集積回路(IC)としてシステムプロセッサ21に関連付けられるが、そのようなコントローラは多くの方法で実施され得る。たとえば、コントローラは、ハードウェアとしてプロセッサ21中に埋め込まれるか、ソフトウェアとしてプロセッサ21中に埋め込まれるか、またはハードウェアにおいてアレイドライバ22と完全に一体化され得る。

20

30

**【0088】**

アレイドライバ22は、フォーマットされた情報をドライバコントローラ29から受信することができ、ビデオデータを、ディスプレイ要素のディスプレイのx-yマトリクスから来る数百、場合によっては数千(またはそれよりも多く)のリード線(lead)に1秒当たり多数回適用される波形の並列セットに再フォーマットすることができる。

**【0089】**

いくつかの実装形態では、ドライバコントローラ29、アレイドライバ22、およびディスプレイアレイ30は、本明細書で説明するディスプレイのタイプのいずれにも適している。たとえば、ドライバコントローラ29は、従来のディスプレイコントローラまたは双安定ディスプレイコントローラ(IMODディスプレイ要素コントローラなど)であり得る。加えて、アレイドライバ22は、従来のドライバまたは双安定ディスプレイドライバ(IMODディスプレイ要素ドライバなど)であり得る。さらに、ディスプレイアレイ30は、従来のディスプレイアレイまたは双安定ディスプレイアレイ(IMODディスプレイ要素のアレイを含むディスプレイなど)であり得る。いくつかの実装形態では、ドライバコントローラ29は、アレイドライバ22と一体化され得る。そのような実装形態は、高集積システム、たとえば、モバイルフォン、ポータブル電子デバイス、ウォッチまたは小面積ディスプレイにおいて、有用であることがある。

40

**【0090】**

いくつかの実装形態では、入力デバイス48は、たとえば、ユーザがディスプレイデバイス40の動作を制御することを可能にするように構成され得る。入力デバイス48は、

50

Q W E R T Y キーボードまたは電話キーパッドなどのキーパッド、ボタン、スイッチ、ロッカー、タッチセンシティブスクリーン、ディスプレイレイ 30 と一体化されたタッチセンシティブスクリーン、または感圧膜もしくは感熱膜を含むことができる。マイクロフォン 46 は、ディスプレイデバイス 40 のための入力デバイスとして構成され得る。いくつかの実装形態では、ディスプレイデバイス 40 の動作を制御するために、マイクロフォン 46 を介したボイスコマンドが使用され得る。

【 0 0 9 1 】

電源 50 は、様々なエネルギー蓄積デバイスを含むことができる。たとえば、電源 50 は、ニッケルカドミウムバッテリーまたはリチウムイオンバッテリーなどの充電式バッテリーとすることができる。充電式バッテリーを使用する実装形態では、充電式バッテリーは、たとえ 10 ば、壁コンセントあるいは光起電性デバイスまたはアレイから来る電力を使用して充電可能であり得る。代替的には、充電式バッテリーは、ワイヤレス充電可能とすることができる。電源 50 はまた、再生可能エネルギー源、キャパシタ、あるいはプラスチック太陽電池または太陽電池塗料を含む太陽電池とすることもできる。電源 50 はまた、壁コンセントから電力を受け取るように構成することもできる。

【 0 0 9 2 】

いくつかの実装形態では、制御プログラマビリティがドライバコントローラ 29 中に存在し、ドライバコントローラ 29 は、電子ディスプレイシステム中のいくつかの場所に配置され得る。いくつかの他の実装形態では、制御プログラマビリティがアレイドライバ 22 中に存在する。上記で説明した最適化は、任意の数のハードウェアおよび/またはソフトウェア構成要素において、ならびに様々な構成において実施され得る。 20

【 0 0 9 3 】

本明細書で使用する、アイテムのリスト「のうちの少なくとも 1 つ」を指すフレーズは、単一の部材を含む、これらのアイテムの任意の組合せを指す。一例として、「a、b、または c のうちの少なくとも 1 つ」は、a、b、c、a - b、a - c、b - c、および a - b - c をカバーすることが意図される。

【 0 0 9 4 】

本明細書で開示する実装形態に関して説明した様々な例示的な論理、論理ブロック、モジュール、回路、およびアルゴリズムステップは、電子ハードウェア、コンピュータソフトウェア、または両方の組合せとして実施され得る。ハードウェアとソフトウェアの互換性が、概して機能に関して説明され、上記で説明した様々な例示的な構成要素、ブロック、モジュール、回路およびステップにおいて示されてきた。そのような機能がハードウェアで実施されるか、ソフトウェアで実施されるかは、特定の適用例および全体的なシステムに課された設計制約に依存する。 30

【 0 0 9 5 】

本明細書で開示する態様に関して説明した様々な例示的な論理、論理ブロック、モジュール、および回路を実施するために使用される、ハードウェアおよびデータ処理装置は、汎用シングルチップまたはマルチチッププロセッサ、デジタル信号プロセッサ (DSP)、特定用途向け集積回路 (ASIC)、フィールドプログラマブルゲートアレイ (FPGA) または他のプログラマブル論理デバイス、個別ゲートまたはトランジスタ論理、個別ハードウェア構成要素、あるいは本明細書で説明した機能を実行するように設計されたそれらの任意の組合せを用いて実施または実行され得る。汎用プロセッサは、マイクロプロセッサ、あるいは任意の従来のプロセッサ、コントローラ、マイクロコントローラ、または状態機械であり得る。プロセッサは、DSP とマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、DSP コア と連携する 1 つまたは複数のマイクロプロセッサ、あるいは任意の他のそのような構成などのコンピューティングデバイスの組合せとして実施することもできる。いくつかの実装形態では、特定のステップおよび方法が、所与の機能に固有である回路によって実行され得る。 40

【 0 0 9 6 】

1 つまたは複数の態様では、説明した機能は、本明細書で開示する構造を含むハードウ 50

エア、デジタル電子回路、コンピュータソフトウェア、ファームウェア、およびそれらの上記構造の構造的等価物において、またはそれらの任意の組合せにおいて実施され得る。また、本明細書で説明した主題の実装形態は、1つまたは複数のコンピュータプログラムとして、すなわち、データ処理装置が実行するためにコンピュータ記憶媒体上に符号化された、またはデータ処理装置の動作を制御するための、コンピュータプログラム命令の1つまたは複数のモジュールとして実施され得る。

【0097】

本開示で説明した実装形態への様々な修正は当業者には容易に明らかであり得、本明細書で定義した一般原理は、本開示の趣旨または範囲から逸脱することなく他の実装形態に適用され得る。したがって、特許請求の範囲は、本明細書で示した実装形態に限定されるものではなく、本開示と、本明細書で開示する原理および新規の特徴とに一致する、最も広い範囲を与えられるべきである。さらに、「上側」および「下側」という用語は、図の説明を簡単にするために時々使用され、適切に配向されたページ上の図の配向に対応する相対位置を示すが、たとえば、実施されたIMODディスプレイ要素の適切な配向を反映しないことがあることを、当業者は容易に諒解されよう。

10

【0098】

また、別個の実装形態に関して本明細書で説明されたいくつかの特徴は、単一の実装形態において組合せで実施され得る。また、逆に、単一の実装形態に関して説明した様々な特徴は、複数の実装形態において別個に、あるいは任意の好適な部分組合せで実施され得る。その上、特徴は、いくつかの組合せで働くものとして上記で説明され、初めにそのように請求されることさえあるが、請求される組合せからの1つまたは複数の特徴は、場合によってはその組合せから削除され得、請求される組合せは、部分組合せ、または部分組合せの変形形態を対象とし得る。

20

【0099】

同様に、動作は特定の順序で図面に示されているが、そのような動作は、望ましい結果を達成するために、示される特定の順序でまたは順番に実行される必要がないこと、またはすべての例示される動作が実行される必要があるとは限らないことは、当業者は容易に認識されよう。さらに、図面は、流れ図の形態でもう1つの例示的なプロセスを概略的に示し得る。ただし、図示されていない他の動作が、概略的に示される例示的なプロセスに組み込まれ得る。たとえば、1つまたは複数の追加の動作が、図示の動作のうちのいずれかの前に、後に、同時に、またはその間で、実行され得る。いくつかの状況では、マルチタスキングおよび並列処理が有利であり得る。その上、上記で説明した実装形態における様々なシステム構成要素の分離は、すべての実装形態においてそのような分離を必要とするものとして理解されるべきでなく、説明するプログラム構成要素およびシステムは、概して、単一のソフトウェア製品において互いに一体化されるか、または複数のソフトウェア製品にパッケージングされ得ることを理解されたい。さらに、他の実装形態が以下の特許請求の範囲内に入る。場合によっては、特許請求の範囲に記載の行為は、異なる順序で実行され、依然として望ましい結果を達成することができる。

30

【符号の説明】

【0100】

- 12 IMODディスプレイ要素
- 14 可動反射層
- 16 光学スタック
- 18 ポスト
- 20 基板
- 21 プロセッサ
- 22 アレイドライバ
- 24 行ドライバ回路
- 26 列ドライバ回路
- 27 ネットワークインターフェース

40

50

2 8	フレームバッファ	
2 9	ドライバコントローラ	
3 0	ディスプレイアレイ	
3 6	E M S アレイ	
4 0	ディスプレイデバイス	
4 1	ハウジング	
4 3	アンテナ	
4 5	スピーカ	
4 6	マイクロフォン	
4 7	トランシーバ	10
4 8	入力デバイス	
5 0	電源	
5 2	調整ハードウェア	
9 1	E M S パッケージ	
9 2	バックプレート	
9 3	陥凹部	
9 4 a	バックプレート構成要素	
9 4 b	バックプレート構成要素	
9 7	機械的スタンドオフ	
9 8	電気接点	20
1 0 0	受動デバイス	
1 1 0	ビア	
1 2 0	基板	
1 3 0	下部導電性トレース	
1 4 0	上部導電性トレース	
1 5 0	層間誘電体	
2 0 0	受動デバイス	
2 1 0	ビア	
2 2 0	基板	
2 3 0	下部導電性トレース	30
2 4 0	上部導電性トレース	
2 5 0	層間誘電体	
3 0 0	受動デバイス	
3 1 0	ビア	
3 2 0	基板	
3 3 0	下部導電性トレース	
3 4 0	上部導電性トレース	
3 5 0	層間誘電体	
4 0 0	受動デバイス	
4 1 0	ビア	40
4 2 0	基板	
4 3 0	下部導電性トレース	
4 4 0	上部導電性トレース	
4 5 0	層間誘電体	
4 5 0 a	下部層間誘電体	
4 5 0 b	上部層間誘電体	
5 0 0	受動デバイス	
5 1 0	ビア	
5 2 0	基板	
5 3 0	第 1 の導電性トレース	50

- 5 4 0 第 2 の 導 電 性 ト レ ー ス
- 5 5 0 a 第 1 の 層 間 誘 電 体
- 5 5 0 b 第 2 の 層 間 誘 電 体

【 図 1 A 】

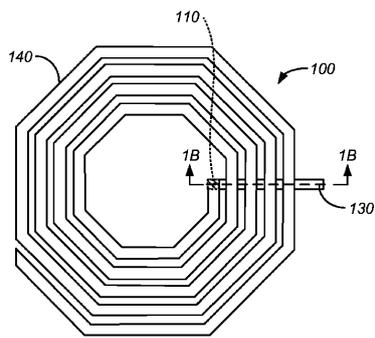


FIG. 1A

【 図 2 A 】

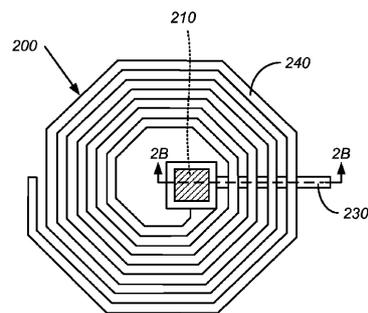


FIG. 2A

【 図 1 B 】

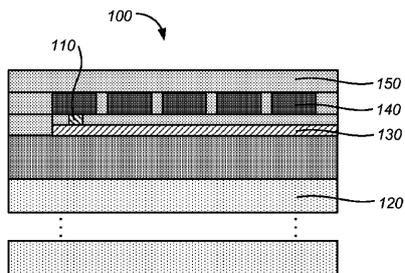


FIG. 1B

【 図 2 B 】

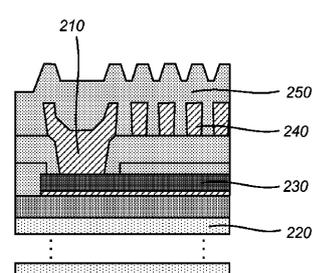


FIG. 2B

【 図 3 A 】

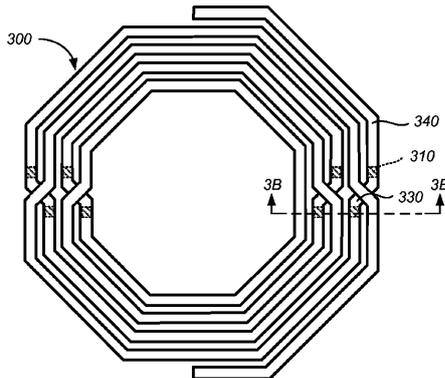


FIG. 3A

【 図 3 B 】

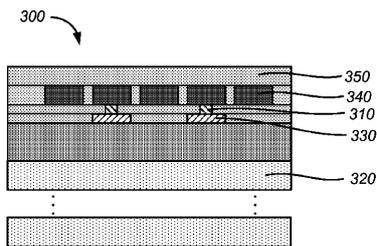


FIG. 3B

【 図 4 A 】

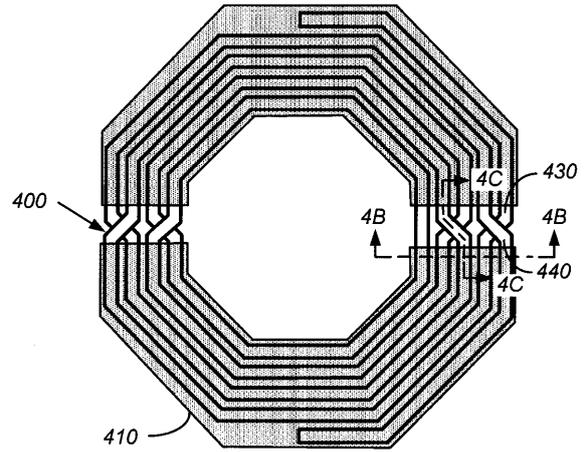


FIG. 4A

【 図 4 B 】

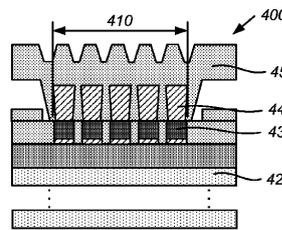


FIG. 4B

【 図 4 C 】

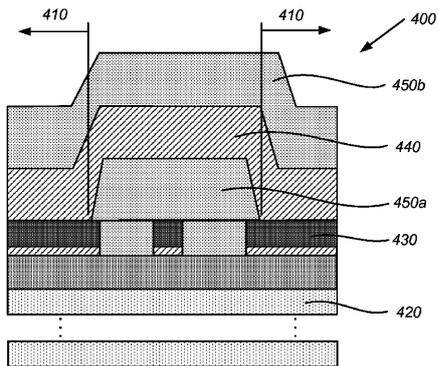


FIG. 4C

【 図 5 】

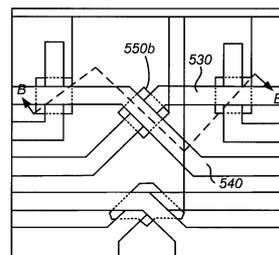
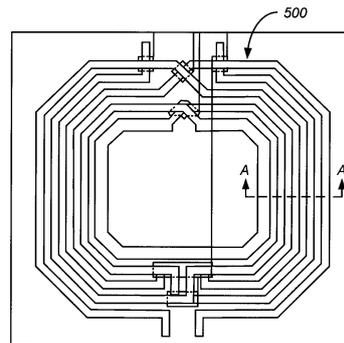


FIG. 5

【 5 A - 1 】

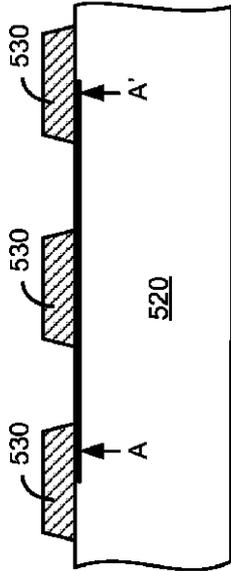


FIG. 5A-1

【 5 A - 2 】

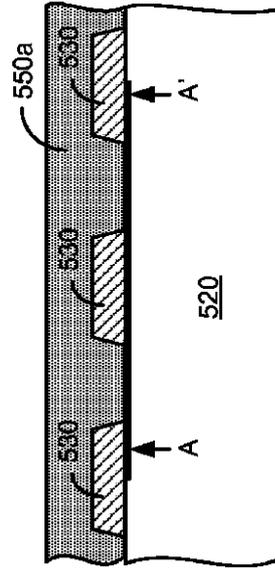


FIG. 5A-2

【 5 A - 3 】

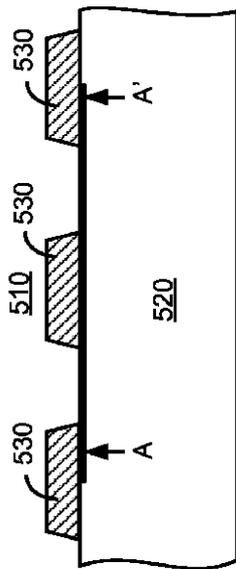


FIG. 5A-3

【 5 A - 4 】

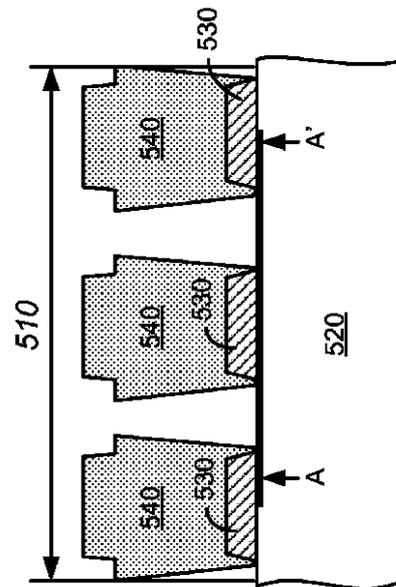


FIG. 5A-4

【 5 A - 5 】

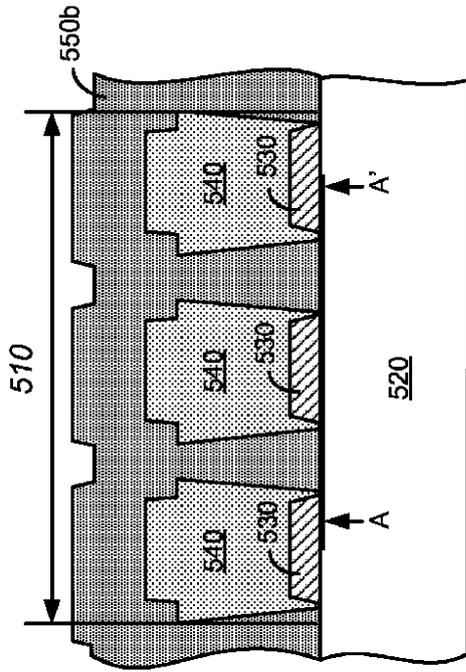


FIG. 5A-5

【 5 B - 1 】

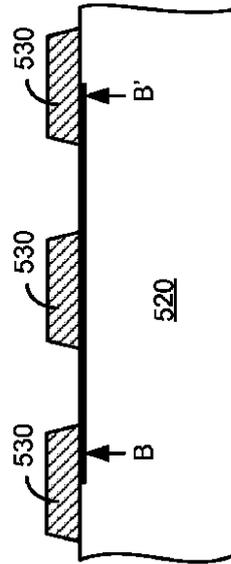


FIG. 5B-1

【 5 B - 2 】

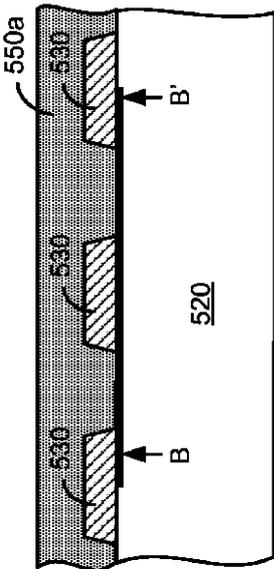


FIG. 5B-2

【 5 B - 3 】

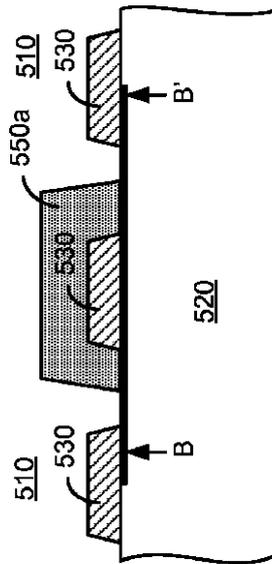


FIG. 5B-3

【 図 5 B - 4 】

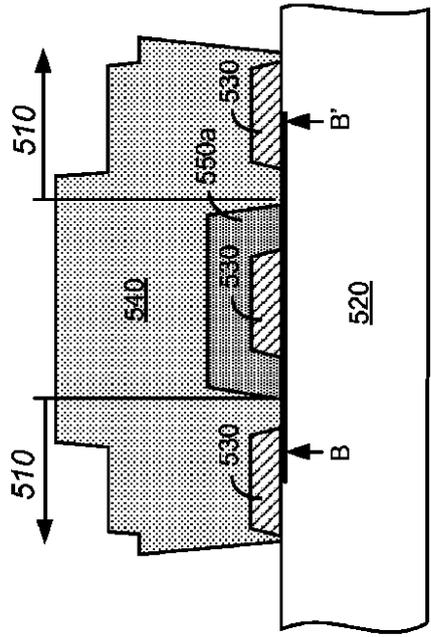


FIG. 5B-4

【 図 5 B - 5 】

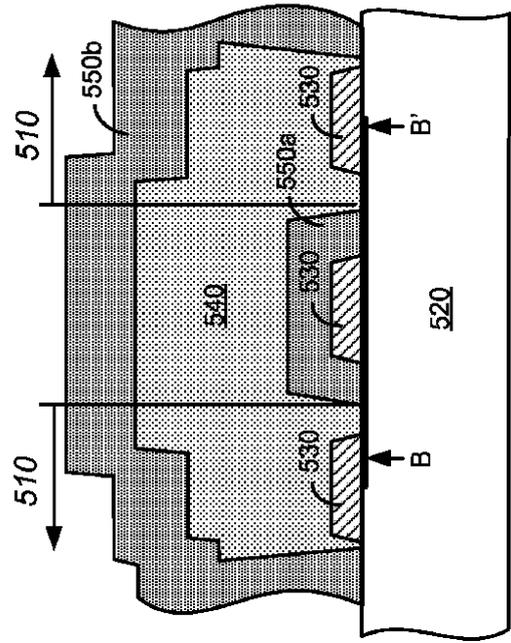


FIG. 5B-5

【 図 6 】

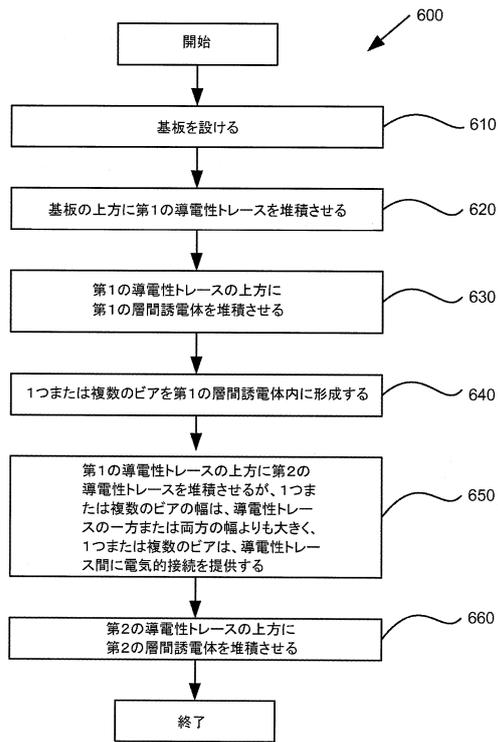


FIG. 6

【 図 7 】

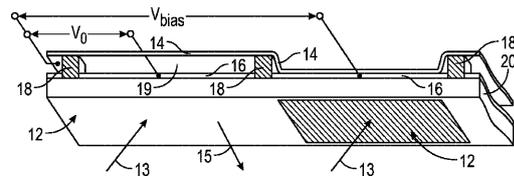


FIG. 7

【 図 8 】

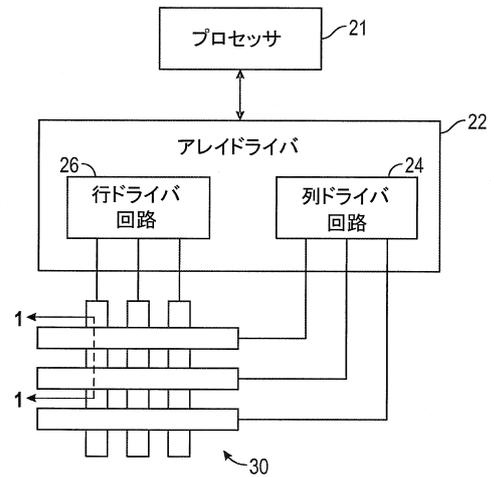


FIG. 8

【 図 9 A 】

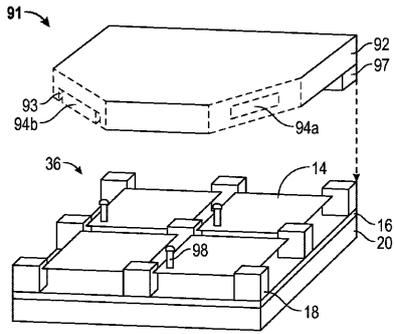


FIG. 9A

【 図 9 B 】

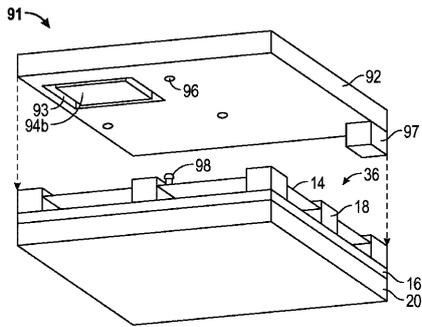


FIG. 9B

【 図 10 A 】

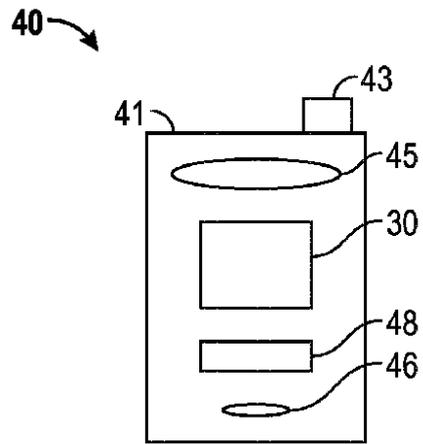


FIG. 10A

【 図 10 B 】

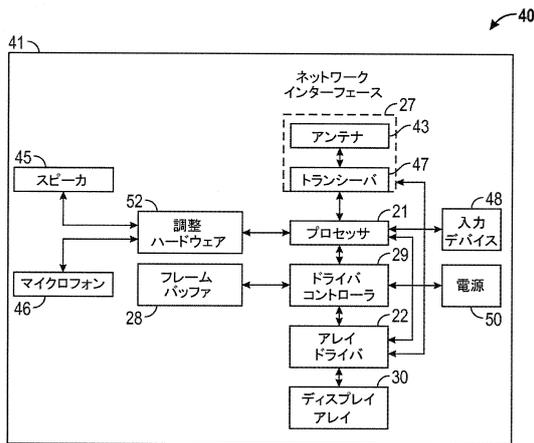


FIG. 10B

フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/3205 (2006.01)

- (72)発明者 ジェ・シュン・ジェフリー・ラン  
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7  
5
- (72)発明者 マリオ・フランシスコ・ヴェレズ  
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7  
5
- (72)発明者 ロバート・ポール・ミクルカ  
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7  
5
- (72)発明者 チェンジエ・ズオ  
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7  
5
- (72)発明者 チャンハン・ホビー・ユン  
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7  
5
- (72)発明者 ジョンヘ・キム  
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7  
5

合議体

審判長 井上 信一

審判官 酒井 朋広

審判官 関谷 隆一

- (56)参考文献 特開2008-159618(JP,A)  
特開2006-351963(JP,A)  
特開2000-165049(JP,A)  
特開2012-114170(JP,A)  
特開平11-54705(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01F17/00