



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년06월19일
(11) 등록번호 10-2124628
(24) 등록일자 2020년06월12일

(51) 국제특허분류(Int. Cl.)
H01L 21/66 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2013-0121010
(22) 출원일자 2013년10월11일
심사청구일자 2018년09월20일
(65) 공개번호 10-2014-0135587
(43) 공개일자 2014년11월26일
(30) 우선권주장
61/824,155 2013년05월16일 미국(US)
(56) 선행기술조사문헌
US20020085445 A1
US20040165451 A1
US20110121369 A1

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
쑤, 빙선
경기 성남시 분당구 성남대로 393, A-415호 (정자동, 두산위브파빌리온)
김윤해
경기 수원시 영통구 이의동 웰빙타운로 20호 반가든하임 8321동 104호
이화성
경기 성남시 분당구 미금로 184, 106동 402호 (구미동, 까치마을1단지아파트)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 10 항

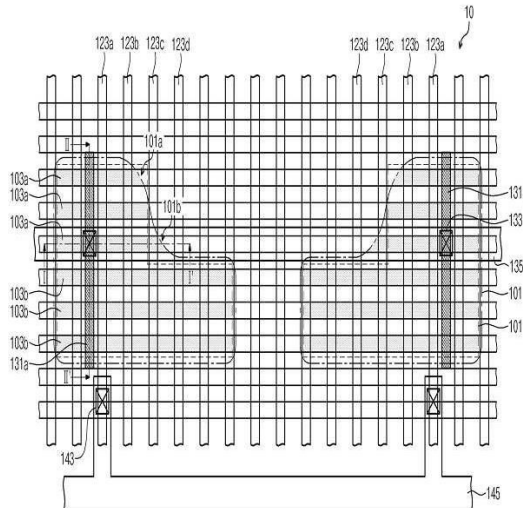
심사관 : 홍종선

(54) 발명의 명칭 반도체 장치의 테스트 구조체

(57) 요약

반도체 장치의 테스트 구조체가 제공된다. 반도체 장치의 테스트 구조체는 라운드진 코너 부분을 갖는 활성 영역을 포함하는 반도체 기판, 상기 활성 영역 내에서 일방향으로 나란히 배치되며, 상기 반도체 기판으로부터 돌출된 복수 개의 활성 패턴들, 상기 활성 패턴들을 가로지르는 게이트 전극들, 및 상기 게이트 전극들의 일측에서 상기 활성 패턴들과 접속되는 제 1 전극 패턴들을 포함하되, 상기 제 1 전극 패턴들의 위치에 따라, 상기 활성 패턴들과 상기 제 1 전극 패턴들의 중첩 면적이 다를 수 있다.

대표도



명세서

청구범위

청구항 1

라운드진 코너 부분을 갖는 활성 영역을 포함하는 반도체 기판;

상기 활성 영역 내에서 일방향으로 나란히 배치되며, 상기 반도체 기판으로부터 돌출된 복수 개의 활성 패턴들;

상기 활성 패턴들을 가로지르는 게이트 전극들; 및

상기 게이트 전극들의 일측에서 상기 활성 패턴들과 접촉되는 제 1 전극 패턴들을 포함하되,

상기 제 1 전극 패턴들의 위치에 따라, 상기 활성 패턴들과 상기 제 1 전극 패턴들의 중첩 면적이 다른 반도체 장치의 테스트 구조체.

청구항 2

제 1 항에 있어서,

상기 활성 영역은 라운드진 제 1 코너 부분과 라운드진 제 2 코너 부분을 갖되, 상기 제 1 코너 부분과 상기 제 2 코너 부분 사이에 변곡점(point of inflection)을 갖는 반도체 장치의 테스트 구조체.

청구항 3

제 2 항에 있어서,

상기 제 1 전극 패턴들은 상기 활성 영역의 상기 제 1 및 제 2 코너 부분들과 이격되어 상기 활성 영역 내에서 상기 활성 패턴들과 접촉되는 반도체 장치의 테스트 구조체.

청구항 4

제 2 항에 있어서,

상기 제 1 전극 패턴들은 상기 활성 영역의 상기 제 1 코너 부분 또는 상기 제 2 코너 부분 상에서 상기 활성 패턴들과 접촉되는 반도체 장치의 테스트 구조체.

청구항 5

라운드진 코너 부분을 갖는 활성 영역을 포함하는 반도체 기판;

상기 활성 영역에서 일방향으로 나란히 연장되며, 상기 반도체 기판으로부터 돌출된 복수 개의 활성 패턴들;

상기 복수 개의 활성 패턴들을 가로지르는 게이트 전극들; 및

상기 게이트 전극들 중 하나를 사이에 두고 상기 활성 패턴들과 접촉되는 제 1 및 제 2 전극 패턴들을 포함하되,

상기 제 1 및 제 2 전극 패턴들의 위치에 따라, 상기 제 2 전극 패턴과 상기 활성 패턴들의 중첩 면적이 다른 반도체 장치의 테스트 구조체.

청구항 6

제 5 항에 있어서,

상기 활성 영역은 라운드진 제 1 코너 부분과 라운드진 제 2 코너 부분을 갖되, 상기 제 1 코너 부분과 상기 제 2 코너 부분 사이에 변곡점(point of inflection)을 갖는 반도체 장치의 테스트 구조체.

청구항 7

제 6 항에 있어서,

상기 제 1 전극 패턴은 상기 활성 영역의 상기 제 1 및 제 2 코너 부분들과 이격되어 상기 활성 영역 내에서 상기 활성 패턴들과 접속되는 반도체 장치의 테스트 구조체.

청구항 8

제 6 항에 있어서,

상기 제 2 전극 패턴은 상기 활성 영역의 상기 제 1 코너 부분 또는 상기 제 2 코너 부분 상에서 상기 활성 패턴들과 접속되는 반도체 장치의 테스트 구조체.

청구항 9

제 6 항에 있어서,

상기 제 2 전극 패턴의 끝단(end portion)은 상기 복수 개의 활성 패턴들 중에서 상기 제 1 코너 부분 또는 상기 제 2 코너 부분으로 연장되는 하나의 활성 패턴 상에 위치하는 반도체 장치의 테스트 구조체.

청구항 10

제 5 항에 있어서,

상기 테스트 구조체는 상기 게이트 전극에 턴온 전압이 인가될 때, 상기 제 1 및 제 2 전극 패턴들 사이의 상기 활성 패턴들에 흐르는 전류량을 측정하는 반도체 장치의 테스트 구조체.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치의 테스트 구조체에 관한 것으로서, 보다 상세하게는 핀 전계 효과 트랜지스터를 포함하는 반도체 장치의 테스트 구조체에 관한 것이다.

배경 기술

[0002] 반도체 장치를 제조하기 위하여 웨이퍼 상에 복수의 집적 회로 칩들이 형성되며, 집적 회로 칩들을 형성한 후, 집적 회로 칩들이 정상적으로 동작하는지 판단하기 위해 집적 회로 칩들의 전기적 특성을 측정할 필요가 있다. 이에 따라, 집적 회로 칩들과 동일한 구조의 테스트 소자들(test elements)이 웨이퍼 상에 별도로 제공될 수 있다.

발명의 내용

해결하려는 과제

[0003] 본원 발명이 해결하고자 하는 과제는 핀 전계 효과 트랜지스터의 전기적 특성을 평가할 수 있는 반도체 장치의 테스트 구조체를 제공하는데 있다.

[0004] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0005] 상기 해결하고자 하는 과제를 달성하기 위하여 본 발명의 일 실시예에 따른 반도체 장치의 테스트 구조체는 라운드진 코너 부분을 갖는 활성 영역을 포함하는 반도체 기판, 상기 활성 영역 내에서 일방향으로 나란히 배치되며, 상기 반도체 기판으로부터 돌출된 복수 개의 활성 패턴들, 상기 활성 패턴들을 가로지르는 게이트 전극들, 및 상기 게이트 전극들의 일측에서 상기 활성 패턴들과 접속되는 제 1 전극 패턴들을 포함하되, 상기 제 1 전극 패턴들의 위치에 따라, 상기 활성 패턴들과 상기 제 1 전극 패턴들의 중첩 면적이 다를 수 있다.

[0006] 일 실시예에 따르면, 상기 제 1 전극 패턴들은 상기 활성 영역의 상기 코너 부분과 이격되어 상기 활성 영역 내에서 상기 활성 패턴들과 접속될 수 있다.

- [0007] 일 실시예에 따르면, 상기 제 1 전극 패턴들은 상기 활성 영역의 상기 코너 부분 상에서 상기 활성 패턴들과 접촉될 수 있다.
- [0008] 일 실시예에 따르면, 상기 활성 영역은 라운드진 제 1 코너 부분과 라운드진 제 2 코너 부분을 갖되, 상기 제 1 코너 부분과 상기 제 2 코너 부분 사이에 변곡점(point of inflection)을 가질 수 있다.
- [0009] 일 실시예에 따르면, 상기 활성 영역은 제 1 폭을 갖는 제 1 부분과 상기 제 1 폭보다 작은 제 2 폭을 갖는 제 2 부분을 포함하며, 상기 활성 패턴들은 상기 활성 영역의 제 1 부분에 배치되는 제 1 활성 패턴들과, 상기 활성 영역의 제 2 부분에 배치되는 제 2 활성 패턴들을 포함하되, 상기 제 1 활성 패턴들과 상기 제 2 활성 패턴들의 길이가 서로 다를 수 있다.
- [0010] 일 실시예에 따르면, 상기 제 1 전극 패턴들에 제 1 전압을 인가하는 제 1 도전 라인, 및 상기 게이트 전극들에 게이트 전압을 인가하는 게이트 도전 라인을 더 포함한다.
- [0011] 일 실시예에 따르면, 상기 테스트 구조체는 상기 제 1 전극 패턴들과 이에 인접한 상기 게이트 전극들 사이에 전압차가 제공될 때, 상기 제 1 전극 패턴들과 이에 인접한 상기 게이트 전극들 사이의 전류량을 측정하여 상기 게이트 전극들과 상기 활성 패턴들 간의 전기적 단락을 테스트할 수 있다.
- [0012] 상기 해결하고자 하는 과제를 달성하기 위하여 본 발명의 다른 실시예에 따른 반도체 장치의 테스트 구조체는 소자 분리막에 의해 정의된 활성 영역을 포함하는 반도체 기판, 상기 활성 영역에서 일방향으로 나란히 연장되며, 상기 반도체 기판으로부터 돌출된 복수 개의 활성 패턴들, 상기 복수 개의 활성 패턴들을 가로지르는 게이트 전극들, 및 상기 게이트 전극들 중 하나를 사이에 두고 상기 활성 패턴들과 접촉되는 제 1 및 제 2 전극 패턴들을 포함하되, 상기 제 1 및 제 2 전극 패턴들의 위치에 따라, 상기 제 2 전극 패턴과 상기 활성 패턴들의 중첩 면적이 다를 수 있다.
- [0013] 일 실시예에 따르면, 상기 활성 영역은 라운드진 제 1 코너 부분과 라운드진 제 2 코너 부분을 갖되, 상기 제 1 코너 부분과 상기 제 2 코너 부분 사이에 변곡점(point of inflection)을 가질 수 있다.
- [0014] 일 실시예에 따르면, 상기 제 1 전극 패턴은 상기 활성 영역의 상기 제 1 및 제 2 코너 부분들과 이격되어 상기 활성 영역 내에서 상기 활성 패턴들과 접촉될 수 있다.
- [0015] 일 실시예에 따르면, 상기 제 2 전극 패턴은 상기 활성 영역의 상기 제 1 코너 부분 또는 상기 제 2 코너 부분 상에서 상기 활성 패턴들과 접촉되는 반도체 장치의 테스트 구조체.
- [0016] 일 실시예에 따르면, 상기 제 2 전극 패턴의 끝단(end portion)은 상기 복수 개의 활성 패턴들 중에서 상기 제 1 또는 제 2 코너 부분으로 연장되는 하나의 활성 패턴 상에 위치할 수 있다.
- [0017] 일 실시예에 따르면, 상기 제 1 및 제 2 전극 패턴들은 실질적으로 서로 동일한 길이를 가질 수 있다.
- [0018] 다른 실시예에 따르면, 상기 제 1 전극 패턴의 길이는 상기 제 2 전극 패턴의 길이와 다를 수 있다.
- [0019] 일 실시예에 따르면, 상기 테스트 구조체는 상기 게이트 전극에 턴온 전압이 인가될 때, 상기 제 1 및 제 2 전극 패턴들 사이의 상기 활성 패턴들에 흐르는 전류량을 측정하여, 상기 활성 영역의 상기 코너 부분의 가변성을 테스트 할 수 있다.
- [0020] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0021] 본 발명의 실시예들에 따르면, 핀 전계 효과 트랜지스터들을 포함하는 반도체 장치에서 활성 영역의 코너 라운딩(corner rounding) 현상에 의한 활성 패턴들과 게이트 전극 간의 전기적 단락, 활성 패턴들의 가변성, 및 전계 효과 트랜지스터들의 전기적 특성을 평가할 수 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 실시예들에 따른 반도체 장치를 간략히 나타내는 도면이다.
 도 2a는 본 발명의 일 실시예에 따른 반도체 장치의 테스트 구조체 일부분을 나타내는 평면도이다.
 도 2b 및 도 2c는 본 발명의 일 실시예에 따른 반도체 장치의 테스트 구조체 일부분을 나타내는 단면도들로서, 도 2a의 I-I'선 및 II-II' 선을 따라 자른 단면들이다.

도 3 내지 도 5는 본 발명의 다른 실시예들에 따른 반도체 장치의 테스트 구조체의 일부분을 나타내는 평면도들이다.

도 6a 내지 도 9a는 본 발명의 제 1 실시예에 따른 반도체 장치의 테스트 구조체를 나타내는 평면도들이다.

도 6b 내지 도 9b는 본 발명의 제 1 실시예에 따른 반도체 장치의 테스트 구조체를 나타내는 단면도들로서, 도 6a 내지 도 9a의 I-I' 선 및 II-II' 선을 따라 자른 단면을 나타낸다.

도 10a 내지 도 12a는 본 발명의 제 2 실시예에 따른 반도체 장치의 테스트 구조체를 나타내는 평면도들이다.

도 10b 내지 도 12b는 본 발명의 제 2 실시예에 따른 반도체 장치의 테스트 구조체를 나타내는 단면도들로서, 도 6a 내지 도 8a의 I-I' 선 및 II-II' 선을 따라 자른 단면을 나타낸다.

도 13a 내지 도 17a는 본 발명의 제 3 실시예에 따른 반도체 장치의 테스트 구조체를 나타내는 평면도들이다.

도 13b 내지 도 17b는 본 발명의 제 3 실시예에 따른 반도체 장치의 테스트 구조체를 나타내는 단면도들로서, 도 13a 내지 도 17a의 I-I' 선 및 II-II' 선을 따라 자른 단면을 나타낸다.

도 18은 본 발명의 제 4 실시예에 따른 반도체 장치의 테스트 구조체를 나타내는 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0023] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0024] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(omprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0025] 또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.

[0026] 이하, 도면들을 참조하여 본 발명의 실시예들에 따른 반도체 장치의 테스트 구조체에 대해 상세히 설명한다.

[0027] 도 1은 본 발명의 실시예들에 따른 반도체 장치를 간략히 나타내는 도면이다. 도 2a는 본 발명의 일 실시예에 따른 반도체 장치의 테스트 구조체 일부분을 나타내는 평면도이다. 도 2b 및 도 2c는 본 발명의 일 실시예에 따른 반도체 장치의 테스트 구조체 일부분을 나타내는 단면도들로서, 도 2a의 I-I' 선 및 II-II' 선을 따라 자른 단면들이다.

[0028] 도 1을 참조하면, 반도체 장치는 반도체 소자의 전기적 특성을 평가하기 위한 테스트 소자 그룹(TEG; Test Element Group)을 포함한다. 테스트 소자 그룹(TEG)은 복수의 테스트 구조체들(10, 20, 30, 40)과, 복수 개의 테스트 패드들(PAD1, PAD2, PAD3)을 포함한다. 테스트 패드들(PAD1, PAD2, PAD3)은 도전 라인들을 통해 테스트 구조체들(10, 20, 30, 40)에 공통으로 연결될 수 있다.

[0029] 테스트 구조체들(10, 20, 30, 40)은 동일한 구조의 반도체 소자들을 포함할 수 있다. 그리고, 테스트 구조체들(10, 20, 30, 40) 각각은 반도체 소자들의 전기적 특성을 검출하기 위한 테스트 패턴들을 포함하며, 테스트 구조체들(10, 20, 30, 40)의 테스트 패턴들은 서로 다른 위치에 배치될 수 있다. 테스트 구조체들(10, 20, 30, 40)에서 테스트 패턴들의 위치에 따라 반도체 소자들의 전기적 특성 변화를 검출할 수 있다.

[0030] 실시예들에 따르면, 테스트 구조체들(10, 20, 30, 40) 각각은 핀 전계 효과 트랜지스터들을 포함할 수 있다. 상세하게, 도 2a, 도 2b 및 도 2c를 참조하면, 반도체 기판(100)은 소자 분리막(111)에 의해 정의된 활성 영역

(101)을 포함하며, 반도체 기판(100)으로부터 수직적으로 돌출되며, 일방향으로 나란히 연장되는 활성 패턴들(103a, 103b)이 활성 영역(101) 내에 배치될 수 있다. 나아가, 반도체 기판(100) 상에 활성 패턴들(103a, 103b)을 가로지르는 게이트 전극들(123)이 배치될 수 있으며, 게이트 전극들(123)과 활성 패턴들(103a, 103b) 사이에는 게이트 절연막(121)이 개재될 수 있다. 게이트 절연막(121)은 활성 패턴들(103a, 103b)의 상부 부분들을 감싸도록 형성될 수 있다. 또한, 게이트 전극들(123) 양측의 활성 패턴들(103a, 103b)에는 소오스/드레인 불순물 영역들이 배치될 수 있다.

[0031] 실시예들에 따르면, 활성 영역(101)은 제 1 폭(Wa)을 갖는 제 1 부분(101-1)과 제 1 폭(Wa)보다 큰 제 2 폭(Wb)을 갖는 제 2 부분(101-2)을 포함할 수 있다. 이러한 활성 영역(101)은 소자 분리막(111)에 의해 정의될 수 있으며, 소자 분리막(111)을 형성할 때 반도체 소자의 제조 공정상 활성 영역(101)의 코너 부분들(101a, 101b)이 라운딩(rounding)되는 현상이 발생할 수 있다. 즉, 반도체 기판(100)에 정의된 활성 영역(101)은, 이상적인 활성 영역(101'; 즉, 활성 영역을 정의하기 위한 마스크 패턴)과 달리, 라운드진 코너 부분들(101a, 101b)을 가질 수 있다. 구체적으로, 활성 영역(101)은 코너 라운딩에 의해 활성 영역(101)의 면적을 감소시키는 제 1 코너 부분(101a)과, 활성 영역(101)의 면적을 증가시키는 제 2 코너 부분(101b)을 가질 수 있다. 그리고, 제 1 코너 부분(101a)과 제 2 코너 부분(101b) 사이에 변곡점(point of inflection)이 제공될 수 있다. 일 실시예에서, 활성 영역(101)은, 이상적인 활성 패턴들(103a, 103b)의 길이에 비해, 활성 패턴들(103a, 103b)의 길이를 감소시키는 제 1 코너 부분(101a)과, 활성 패턴들(103a, 103b)의 길이를 증가시키는 제 2 코너 부분(101b)을 가질 수 있다.

[0032] 복수 개의 활성 패턴들(103a, 103b)은 활성 영역(101) 내에 배치될 수 있으며, 일방향으로 나란히 연장될 수 있다. 활성 패턴들(103a, 103b) 사이에 핀 절연 패턴(113)이 배치될 수 있으며, 핀 절연 패턴(113)의 상부면은 활성 패턴들(103a, 103b)의 상부면들보다 아래에 위치하여 활성 패턴들(103a, 103b)의 측벽 일부분들을 노출시킬 수 있다. 그리고, 핀 절연 패턴(113)의 상부면은 소자 분리막(111)의 상부면과 실질적으로 공면을 이룰 수 있다. 즉, 소자 분리막(111)의 상부면은 활성 패턴들(103a, 103b)의 상부면들보다 아래에 위치할 수 있다. 그리고, 소자 분리막(111)의 하부면은 핀 절연 패턴(113)의 하부면보다 아래에 위치할 수 있다.

[0033] 보다 상세하게, 복수 개의 활성 패턴들(103a, 103b)은 활성 영역(101)의 제 1 부분 내에 배치되는 제 1 활성 패턴들(103a)과, 활성 영역(101)의 제 2 부분 내에 배치되는 제 2 활성 패턴들(103b)을 포함할 수 있다. 여기서, 제 1 활성 패턴들(103a)의 길이는 제 2 활성 패턴들(103b)의 길이보다 짧을 수 있다. 여기서, 이상적인 활성 영역(101')의 제 1 부분에 위치하는 제 1 활성 패턴들(103a)의 길이는 실질적으로 서로 동일할 수 있다. 그러나, 활성 영역(101)이 라운드진 코너 부분들(101a, 101b)을 가지므로 제 1 활성 패턴들(103a)의 길이가 서로 달라질 수 있다. 마찬가지로, 이상적인 활성 영역(101')의 제 2 부분에 위치하는 제 2 활성 패턴들(103b)의 길이는 실질적으로 서로 동일할 수 있으나, 실제로 활성 영역(101)의 코너 부분들(101a, 101b)이 라운딩되므로, 제 2 활성 패턴들(103b)의 길이가 서로 달라질 수 있다.

[0034] 이에 따라, 활성 영역(101)의 코너 부분들(101a, 101b)과 인접한 핀 전계 효과 트랜지스터의 전기적 특성과, 소자 분리막(111)과 이격된 활성 영역(101)의 중심 부분에 배치된 핀 전계 효과 트랜지스터의 전기적 특성이 서로 다를 수 있다. 또한, 활성 영역(101)의 코너 부분들(101a, 101b)의 곡률 반경에 따라, 코너 부분들(101a, 101b)에 인접한 핀 전계 효과 트랜지스터의 전기적 특성이 달라질 수 있다. 이에 따라, 본 발명의 실시예들에 따른 테스트 구조체들(10, 20, 30, 40)은 활성 영역(101)의 코너 라운딩에 의한 핀 전계 효과 트랜지스터의 전기적 특성의 변화를 평가한다.

[0035] 도 3 내지 도 5는 본 발명의 실시예들에 따른 반도체 장치의 일부분을 나타내는 평면도들이다.

[0036] 도 3, 도 4, 및 도 5를 참조하면, 활성 영역(101)의 형태는 다양하게 변형될 수 있다. 예를 들어, 도 3에 도시된 바와 같이, 활성 영역(101)은 실질적으로 U자 형상을 가질 수 있으며, 도 4에 도시된 바와 같이 T자 형상을 가질 수도 있다. 또한, 도 5에 도시된 바와 같이, H자 형상을 가질 수도 있다.

[0037] 구체적으로, 도 3 내지 도 5에 도시된 활성 영역(101)은 도 2a를 참조하여 설명한 바와 같이, 제 1 폭(Wa)을 갖는 제 1 부분들과, 제 1 폭(Wa)보다 큰 제 2 폭(Wb)을 갖는 제 2 부분을 포함할 수 있다. 그리고, 활성 영역(101)은 라운드진 코너 부분들(101a, 101b)을 가질 수 있다. 즉, 활성 영역(101)은 코너 라운딩에 의해 활성 영역(101)의 면적을 감소시키는 제 1 코너 부분(101a)과, 활성 영역(101)의 면적을 증가시키는 제 2 코너 부분(101b)을 가질 수 있다. 그리고, 제 1 코너 부분(101a)과 제 2 코너 부분(101b) 사이에 변곡점(point of inflection)을 가질 수 있다.

- [0038] 활성 영역(101) 내에 서로 나란히 연장되는 복수 개의 활성 패턴들(103a, 103b)이 배치될 수 있다. 그리고, 도 2a를 참조하여 설명한 바와 같이, 활성 영역(101)의 제 1 코너 부분(101a)에 인접한 활성 패턴(103a)의 길이가 감소될 수 있으며, 활성 영역(101)의 제 2 코너 부분(101b)에 인접한 활성 패턴(103b)의 길이가 증가될 수 있다. 나아가, 활성 영역(101) 상에 활성 패턴들(103a, 103b)을 가로질러 소자 분리막(111) 상으로 연장되는 복수 개의 게이트 전극들(123)이 배치될 수 있다.
- [0039] 도 6a 내지 도 9a는 본 발명의 제 1 실시예에 따른 반도체 장치의 테스트 구조체를 나타내는 평면도들이다. 도 6b 내지 도 9b는 본 발명의 제 1 실시예에 따른 반도체 장치의 테스트 구조체를 나타내는 단면도들로서, 도 6a 내지 도 9a의 I-I' 선 및 II-II' 선을 따라 자른 단면을 나타낸다.
- [0040] 제 1 실시예에 따르면, 도 6a 내지 도 9a 및 도 6b 및 도 9b에 도시된 제 1 내지 제 4 테스트 구조체들(10, 20, 30, 40)은, 도 1을 참조하여 설명한 테스트 소자 그룹(TEG)을 구성할 수 있다.
- [0041] 도 6a 내지 도 9a 및 도 6b 내지 도 9b를 참조하면, 제 1 내지 제 4 테스트 구조체들(10, 20, 30, 40)은, 도 2를 참조하여 설명한 바와 같이, 활성 영역(101)을 정의하는 소자 분리막(111), 반도체 기판(100)으로부터 수직적으로 돌출되며 일 방향으로 나란히 연장된 활성 패턴들(103a, 103b), 및 활성 패턴들(103a, 103b)을 가로지르는 게이트 전극들(123a-123d)을 포함한다. 실시예들에서, 게이트 전극들(123a-123d)은 활성 영역(101)의 중심 부분을 가로지르는 기준 게이트 전극(123a) 및 활성 영역(101)의 코너 부분들(101a, 101b)에 인접하는 제 1 내지 제 3 게이트 전극들(123b, 123c, 123d)을 포함할 수 있다. 활성 영역(101)은, 코너 라운딩 현상에 의해 활성 영역(101)의 면적이 감소되는 제 1 코너 부분(101a)과, 활성 영역(101)의 면적이 증가되는 제 2 코너 부분(101b)을 가질 수 있다. 또한, 복수 개의 활성 영역들(101)이 반도체 기판(100)에 정의될 수 있으며, 활성 영역들(101)은 미러(mirror) 대칭으로 배치될 수 있다.
- [0042] 제 1 실시예에 따르면, 제 1 내지 제 4 테스트 구조체들(10, 20, 30, 40)은, 활성 영역(101)의 코너 부분들(101a, 101b)에서 활성 패턴들(103a, 103b)과 게이트 전극들(123a-123d) 간의 전기적 단락(electrical short)을 평가(evaluate)할 수 있다. 이를 위해, 제 1 내지 제 4 테스트 구조체들(10, 20, 30, 40) 각각은 소정의 게이트 전극(123a-123d) 일측에서 활성 패턴들(103a, 103b)과 접촉되는 제 1 전극 패턴(131a-131d)을 포함한다. 제 1 전극 패턴(131a-131d)은 제 1 내지 제 4 테스트 구조체들(10, 20, 30, 40)에서 서로 다른 위치에 배치될 수 있다. 그리고, 제 1 내지 제 4 테스트 구조체들(10, 20, 30, 40)에서 제 1 전극 패턴들(131a-131d)의 길이(즉, 게이트 전극들(123a-123d)의 연장 방향에서의 길이)는 실질적으로 동일할 수 있다. 활성 영역(101)은 제 1 및 제 2 코너 부분들(101a, 101b)을 가지므로, 제 1 내지 제 4 테스트 구조체들(10, 20, 30, 40)에서, 제 1 전극 패턴들(131a-131d)의 위치에 따라 제 1 전극 패턴(131a-131d)과 활성 패턴들(103a, 103b)의 중첩 면적이 달라질 수 있다.
- [0043] 이에 따라, 활성 패턴들(103a, 103b)과 게이트 전극들(123a-123d) 간의 전기적 단락을 평가하기 위해, 제 1 전극 패턴(131a, 131b, 131c, 또는 131d)과 이에 인접한 게이트 전극(123a-123d)에 소정의 전압을 인가하면, 제 1 내지 제 4 테스트 구조체들(10, 20, 30, 40)에서 전기적 특성이 달라질 수 있다. 즉, 제 1 내지 제 4 테스트 구조체들(10, 20, 30, 40)에서, 제 1 전극 패턴(131a, 131b, 131c, 또는 131d)과 이에 인접한 게이트 전극(123a-123d)에 소정의 전압을 인가하여, 제 1 전극 패턴(131a, 131b, 131c, 또는 131d)과 이에 인접한 게이트 전극(123a-123d) 사이의 활성 패턴(103a, 103b)에 흐르는 전류를 측정한다. 활성 패턴(103a, 103b)에 흐르는 전류를 측정함으로써, 활성 패턴들(103a, 103b)과 게이트 전극들(123a-123d) 간의 전기적 단락이 평가될 수 있다.
- [0044] 상세하게, 도 6a 및 도 6b를 참조하면, 제 1 테스트 구조체(10)는 기준 게이트 전극(123a)의 일측에 배치되는 제 1 전극 패턴(131a)을 포함한다. 제 1 전극 패턴(131a)은 제 1 활성 패턴들(103a) 및 제 2 활성 패턴들(103b)에 공통으로 접촉될 수 있다. 제 1 전극 패턴(131a)은 제 1 콘택 플러그(133)를 통해 제 1 도전 라인(135)과 전기적으로 연결되며, 제 1 도전 라인(135)은 제 1 테스트 패드(도 1의 PAD1 참조)와 전기적으로 연결될 수 있다. 기준 게이트 전극(123a)은 제 2 콘택 플러그(143)를 통해 기준 게이트 패드(미도시)와 연결되는 제 2 도전 라인(145)과 전기적으로 연결될 수 있다.
- [0045] 나아가, 제 1 테스트 구조체(10)는 복수 개의 활성 영역들(101), 복수 개의 기준 게이트 전극들(123a), 및 복수 개의 제 1 전극 패턴(131a)을 포함할 수 있다. 여기서, 제 1 전극 패턴들(131a)은 제 1 테스트 패드(도 1의 PAD1 참조)에 공통으로 접촉될 수 있으며, 기준 게이트 전극들(123a)은 기준 게이트 패드(미도시)에 공통으로

접속될 수 있다.

- [0046] 이러한, 제 1 테스트 구조체(10)에서, 활성 패턴들(103a, 103b)과 기준 게이트 전극들(123a) 간의 전기적 단락을 평가하기 위해, 제 1 테스트 구조체(10)에서, 제 1 전극 패턴(131a)과 기준 게이트 전극(123a)에 소정의 전압이 인가될 수 있다. 예를 들어, 제 1 전극 패턴(131a)에 양의 전압(positive voltage)이 인가되고, 기준 게이트 전극(123a)에 접지 전압(ground voltage)이 인가될 수 있다. 이러한 조건에서 제 1 전극 패턴(131a)과 기준 게이트 전극(123a) 사이의 활성 패턴들(103a, 103b)에서 간의 전류 흐름은 반도체 장치를 평가할 때 기준값으로 이용될 수 있다.
- [0047] **도 7a 및 도 7b**를 참조하면, 제 2 테스트 구조체(20)는 제 1 게이트 전극(123b) 일측에 배치된 제 1 전극 패턴(131b)을 포함하며, 제 1 전극 패턴(131b)은 제 1 및 제 2 활성 패턴들(103a, 103b)에 공통으로 접속될 수 있다. 제 2 테스트 구조체(20)에서, 제 1 전극 패턴(131b)은 제 1 콘택 플러그(133)를 통해 제 1 테스트 패드(도 1의 PAD1 참조)와 연결된 제 1 도전 라인(135)과 전기적으로 연결될 수 있으며, 제 1 게이트 전극(123b)은 제 2 콘택 플러그(143)를 통해 제 1 게이트 패드(미도시)와 연결되는 제 2 도전 라인(145)과 전기적으로 연결될 수 있다. 제 2 테스트 구조체(20)에서 제 1 전극 패턴(131b)은 복수 개일 수 있으며, 제 1 전극 패턴들(131b)은 미리 대칭적으로 배치될 수 있다. 제 2 테스트 구조체(20)에서, 제 1 전극 패턴(131b)과 활성 패턴들(103a, 103b)의 중첩 면적은 제 1 코너 부분(101a)의 곡률 반경에 따라 제 1 테스트 구조체(도 6a의 10 참조)에서보다 감소될 수 있다.
- [0048] 제 2 테스트 구조체(20)에서, 제 1 전극 패턴(131b)과 제 1 게이트 전극(123b) 사이에 소정의 전압이 인가될 수 있으며, 이 때, 제 1 전극 패턴(131b)과 제 1 게이트 전극(123b) 사이의 활성 패턴들(103a, 103b)에 흐르는 전류를 측정하여 제 1 전극 패턴(131b)과 제 1 게이트 전극(123b) 사이의 전기적 단락을 평가할 수 있다.
- [0049] **도 8a 및 도 8b**를 참조하면, 제 3 테스트 구조체(30)는 제 2 게이트 전극(123c) 일측에 배치된 제 1 전극 패턴(131c)을 포함하며, 제 1 전극 패턴(131c)은 제 1 및 제 2 활성 패턴들(103a, 103b)에 공통으로 접속될 수 있다. 제 3 테스트 구조체(30)에서, 제 1 전극 패턴(131c)은 제 1 콘택 플러그(133)를 통해 제 1 테스트 패드(도 1의 PAD1 참조)와 연결되는 제 1 도전 라인(135)과 전기적으로 연결될 수 있으며, 제 2 게이트 전극(123c)은 제 2 콘택 플러그(143)를 통해 제 2 게이트 패드(미도시)와 연결되는 제 2 도전 라인(145)과 전기적으로 연결될 수 있다.
- [0050] 제 3 테스트 구조체(30)의 제 1 전극 패턴(131c)은 활성 영역(101)의 제 1 코너 부분(101a) 상에 위치할 수 있다. 이에 따라, 제 1 전극 패턴(131c)과 제 1 및 제 2 활성 패턴들(103a, 103b)이 중첩되는 면적이 제 1 및 제 2 테스트 구조체들(도 6a의 10, 도 7a의 20 참조)에서 보다 감소될 수 있다.
- [0051] 제 1 및 제 2 테스트 구조체들(도 6a의 10, 도 7a의 20 참조)과 마찬가지로, 활성 패턴들(103a, 103b)과 제 2 게이트 전극(123c) 간의 전기적 단락을 평가하기 위해, 제 1 전극 패턴(131c)과 제 2 게이트 전극(123c)에 소정의 전압이 인가될 수 있다. 예를 들어, 제 1 전극 패턴(131c)에 양의 전압(positive voltage)이 인가되고, 제 2 게이트 전극(123c)에 접지 전압(ground voltage)이 인가될 수 있다.
- [0052] **도 9a 및 도 9b**를 참조하면, 제 4 테스트 구조체(40)는 제 3 게이트 전극(123d) 일측에 배치된 제 1 전극 패턴(131d)을 포함하며, 제 1 전극 패턴(131d)은 제 1 및 제 2 활성 패턴들(103a, 103b)에 공통으로 접속될 수 있다. 제 4 테스트 구조체(40)에서, 제 1 전극 패턴(131d)의 길이는 제 1 내지 제 3 테스트 구조체들(도 6a의 10, 도 7a의 20, 도 8a의 30)의 제 1 전극 패턴들(131a-131c)의 길이와 실질적으로 동일할 수 있다. 그리고, 제 4 테스트 구조체(40)에서의 제 1 전극 패턴(131d)은 활성 영역(101)의 제 2 부분을 가로지르며, 활성 영역(101)의 제 2 코너 부분(101b) 상에 위치할 수 있다. 이에 따라, 제 1 전극 패턴(131d)과 제 1 및 제 2 활성 패턴들(103a, 103b)이 중첩되는 면적은 제 3 테스트 구조체(도 8a의 30 참조)에서보다 제 4 테스트 구조체(40)에서 감소될 수 있다.
- [0053] 제 4 테스트 구조체(40)에서, 제 1 전극 패턴(131d)은 제 1 콘택 플러그(133)를 통해 제 1 테스트 패드(도 1의 PAD1 참조)와 연결되는 제 1 도전 라인(135)과 전기적으로 연결될 수 있으며, 제 3 게이트 전극(123d)은 제 2 콘택 플러그(143)를 통해 제 3 게이트 전극 패드(미도시)와 연결되는 제 2 도전 라인(145)과 전기적으로 연결될 수 있다.
- [0054] 활성 패턴들(103a, 103b)과 제 3 게이트 전극(123d) 간의 전기적 단락을 평가하기 위해, 제 1 전극 패턴(131d)과 제 3 게이트 전극(123d)에 소정의 전압이 인가될 수 있다. 예를 들어, 제 1 전극 패턴(131d)에 양의 전압이 인가되고, 제 3 게이트 전극(123d)에 접지 전압이 인가될 수 있다.

- [0055] 이 실시예들에 따르면, 활성 영역(101)의 제 2 코너 부분(101b)에서, 제 1 활성 패턴(103a)이 제 3 게이트 전극(123d)으로 연장될 수 있다. 이에 따라, 제 1 활성 패턴(103a)이 제 3 게이트 전극(123d)과 접촉될 수 있다. 이에 따라, 제 1 전극 패턴(131d)과 제 3 게이트 전극(123d)에 소정의 전압이 인가되면 제 1 활성 패턴(103a)과 제 3 게이트 전극(123d) 사이의 전기적 단락이 발생할 수 있다. 제 4 테스트 구조체(40)를 테스트할 때, 제 1 내지 제 3 테스트 구조체들과 달리, 제 1 전극 패턴(131d)과 제 3 게이트 전극(123d) 간의 전기적 단락이 검출될 수 있다.
- [0056] 도 10a 내지 도 12a는 본 발명의 제 2 실시예에 따른 반도체 장치의 테스트 구조체를 나타내는 평면도들이다. 도 10b 내지 도 12b는 본 발명의 제 2 실시예에 따른 반도체 장치의 테스트 구조체를 나타내는 단면도들로서, 도 6a 내지 도 8a의 I-I' 선 및 II-II' 선을 따라 자른 단면을 나타낸다.
- [0057] 제 2 실시예에 따르면 도 10a 내지 도 12a 및 도 10b 내지 도 10b에 도시된 제 1 내지 제 3 테스트 구조체들(10, 20, 30)은 도 1을 참조하여 설명한 테스트 소자 그룹(TEG)을 구성할 수 있다.
- [0058] 도 10a 내지 도 12a 및 도 10b 내지 도 12b를 참조하면, 제 1 내지 제 3 테스트 구조체들(10, 20, 30)은, 도 2를 참조하여 설명한 바와 같이, 활성 영역(101)을 정의하는 소자 분리막(111), 반도체 기판(100)으로부터 수직적으로 돌출되며 일 방향으로 나란히 연장된 활성 패턴들(103a, 103b), 및 활성 패턴들(103a, 103b)을 가로지르는 게이트 전극들(123a-123d)을 포함한다. 실시예들에서, 게이트 전극들(123a-123d)은 활성 영역(101)의 중심 부분을 가로지르는 기준 게이트 전극(123a) 및 활성 영역(101)의 코너 부분에 인접하는 제 1 내지 제 3 게이트 전극들(123b-123d)을 포함할 수 있다. 또한, 활성 영역(101)은, 코너 라운딩 현상에 의해 활성 영역(101)의 면적이 감소되는 제 1 코너 부분(101a)과, 활성 영역(101)의 면적이 증가되는 제 2 코너 부분(101b)을 가질 수 있다. 복수 개의 활성 영역들(101)이 반도체 기판(100)에 정의될 수 있으며, 활성 영역들(101)은 미러(mirror) 대칭으로 배치될 수 있다.
- [0059] 제 2 실시예에 따르면, 제 1 내지 제 3 테스트 구조체들(10, 20, 30)은, 활성 영역(101)의 코너 부분들(101a, 101b)에서 활성 패턴들(103a, 103b)의 손실(loss)을 평가하기 위해 소정의 게이트 전극(123a-123d) 일측에 배치된 제 1 전극 패턴(131a-131c)과, 소정의 게이트 전극(123a-123d) 타측에 배치된 제 2 전극 패턴(151a-151c)을 포함한다. 제 1 및 제 2 전극 패턴들(131a-131c, 151a-151c)은 제 1 내지 제 3 테스트 구조체들(10, 20, 30)에서 서로 다른 위치에 배치될 수 있다.
- [0060] 제 1 내지 제 3 테스트 구조체들(10, 20, 30)에서, 제 1 및 제 2 전극 패턴들(131a-131c, 151a-151c)에 소정의 전압을 인가하고, 제 1 및 제 2 전극 패턴들(131a-131c, 151a-151c) 사이에 배치된 소정의 게이트 전극(123a-123d)에 턴-온(turn on) 전압을 인가함으로써 제 1 및 제 2 전극 패턴들(131a-131c, 151a-151c) 사이의 활성 패턴들(103a, 103b)에 흐르는 전류를 측정한다. 이에 따라, 제 1 내지 제 3 테스트 구조체들(10, 20, 30)에서 활성 패턴들(103a, 103b)의 손실을 평가할 수 있다.
- [0061] 제 2 실시예에 따르면, 제 1 내지 제 3 테스트 구조체들(10, 20, 30)에서, 제 1 및 제 2 전극 패턴들(131a-131c, 151a-151c)의 길이(즉, 게이트 전극들(123a-123d)의 연장 방향에서의 길이)는 실질적으로 동일할 수 있다. 제 1 내지 제 3 테스트 구조체들(10, 20, 30)에서 활성 영역(101)은 제 1 및 제 2 코너 부분들(101a, 101b)을 가지므로, 제 1 전극 패턴(131a-131c)의 위치에 따라 제 1 전극 패턴(131a-131c)과 활성 패턴들(103a, 103b)의 중첩 면적이 달라질 수 있다. 또한, 제 2 전극 패턴(151a-151c)의 위치에 따라, 제 2 전극 패턴(151a-151c)과 활성 패턴들(103a, 103b) 간의 중첩 면적이 달라질 수 있다. 그러므로, 제 1 내지 제 3 테스트 구조체들(10, 20, 30)에서 제 1 전극 패턴(131a-131c)과 제 2 전극 패턴(151a-151c) 사이의 활성 패턴들(103a, 103b)에서 전류량이 달라질 수 있다. 이를 이용하여 제 2 실시예에 따른 제 1 내지 제 3 테스트 구조체들(10, 20, 30)은 활성 패턴들(103a, 103b)의 손실을 평가할 수 있다. 나아가, 제 2 실시예에 따르면, 복수 개의 활성 영역들(101)에서 테스트되는 핀 전계 효과 트랜지스터들은 병렬적으로 연결될 수 있다.
- [0062] 상세하게, 도 10a 및 도 10b를 참조하면, 제 1 테스트 구조체(10)는 기준 게이트 전극(123a) 일측에 배치된 제 1 전극 패턴(131a)과, 기준 게이트 전극(123a) 타측에 배치된 제 2 전극 패턴(151a)을 포함한다. 제 1 및 제 2 전극 패턴들(131a, 151a)은 기준 게이트 전극(123a)과 나란히 연장될 수 있다. 제 1 전극 패턴(131a) 및 제 2 전극 패턴(151a)은 제 1 및 제 2 활성 패턴들(103, 103b)에 공통으로 연결될 수 있다.
- [0063] 제 1 전극 패턴(131a)은 제 1 콘택 플러그(133)를 통해 제 1 테스트 패드(도 1의 PAD1 참조)와 연결된 제 1 도전 라인(135)과 전기적으로 연결될 수 있다. 제 2 전극 패턴(151a)은 제 2 콘택 플러그(153)를 통해 제 2 테스트

트 패드(도 1의 PAD1 참조)와 연결된 제 3 도전 라인(155)과 전기적으로 연결될 수 있다. 그리고, 기준 게이트 전극(123a)은 제 1 게이트 패드(미도시)와 연결된 제 2 도전 라인(145)과 전기적으로 연결될 수 있다.

- [0064] 제 2 실시예에 따르면, 제 1 테스트 구조체(10)의 기준 게이트 전극(123a)에 턴온 전압이 인가될 때, 제 1 및 제 2 전극 패턴들(131a, 151a) 사이의 활성 패턴들(103a, 103b)에 핀 전계 효과 트랜지스터의 턴온 전류가 흐를 수 있다.
- [0065] **도 11a 및 도 11b를 참조하면**, 제 2 테스트 구조체(20)는 제 1 게이트 전극(123b) 일측에 배치된 제 1 전극 패턴(131b)과 제 1 게이트 전극(123b) 타측에 배치된 제 2 전극 패턴(151b)을 포함한다. 제 1 및 제 2 전극 패턴들(131b, 151b)은 제 1 게이트 전극(123a)과 나란히 연장될 수 있으며, 복수 개의 활성 패턴들(103a, 103b)에 공통으로 접속될 수 있다. 제 2 테스트 구조체(20)에서 제 1 및 제 2 전극 패턴들(131b, 151b)의 길이는 제 1 테스트 구조체(도 10a의 10 참조)의 제 1 및 제 2 전극 패턴들(131b, 151b)의 길이와 실질적으로 동일할 수 있다.
- [0066] 제 2 실시예에 따르면, 제 2 테스트 구조체(20)에서 제 2 전극 패턴(151b)은 활성 영역(101)의 제 1 코너 부분(101a) 상에 배치될 수 있다. 활성 영역(101)의 제 1 코너 부분(101a)에서 제 1 활성 패턴들(103a)의 일부분이 손실되어, 제 2 전극 패턴(151b)과 활성 패턴들(103a, 103b)의 중첩되는 면적이 제 1 테스트 구조체(도 10a의 10 참조)에서 보다 감소될 수 있다. 이에 따라, 제 1 게이트 전극(123b)에 턴온 전압을 인가하고, 제 1 및 제 2 전극 패턴들(131b, 151b) 사이의 전류 흐름을 평가할 때, 제 1 테스트 구조체(도 10a의 10 참조)와 다른 전기적 특성이 평가될 수 있다.
- [0067] **도 12a 및 도 12b를 참조하면**, 제 3 테스트 구조체(30)는 제 2 게이트 전극(123c) 일측에 배치된 제 1 전극 패턴(131c)과 제 1 게이트 전극(123c) 타측에 배치된 제 2 전극 패턴(151c)을 포함한다. 제 1 및 제 2 전극 패턴들(131c, 151c)은 제 2 게이트 전극(123c)과 나란히 연장될 수 있으며, 복수 개의 활성 패턴들(103a, 103b)에 공통으로 접속될 수 있다. 제 3 테스트 구조체(30)에서 제 1 및 제 2 전극 패턴들(131c, 151c)의 길이는 제 1 테스트 구조체(도 10a의 10 참조)의 제 1 및 제 2 전극 패턴들(131c, 151c)의 길이와 실질적으로 동일할 수 있다.
- [0068] 제 3 테스트 구조체(30)에서, 제 1 전극 패턴(131c)은 활성 영역(101)의 제 1 코너 부분(101a)에 배치될 수 있으며, 제 2 전극 패턴(151c)은 활성 영역(101)의 제 2 코너 부분(101b)에 배치될 수 있다. 활성 영역(101)의 제 1 코너 부분(101a)에서 제 1 활성 패턴들(103a)의 일부분이 손실되어, 제 1 전극 패턴(131c)과 활성 패턴들(103a, 103b)의 중첩되는 면적이 제 1 및 제 2 테스트 구조체들(도 10a의 10, 도 11a의 20 참조)에서보다 감소될 수 있다. 그리고, 제 2 전극 패턴(151c)은 활성 영역(101)의 제 2 부분(101b)을 가로질러 배치되므로, 제 2 전극 패턴(151c)과 활성 패턴들(103a, 103b)의 중첩되는 면적이 제 1 및 제 2 테스트 구조체들(도 10a의 10, 도 11a의 20 참조)에서보다 감소될 수 있다. 그리고, 활성 영역(101)의 제 2 코너 부분(101b)에서 제 1 활성 패턴들(103a)의 길이가 증가하므로, 제 2 게이트 전극(123c)에 턴온 전압이 인가될 때 제 2 코너 부분(101b)의 제 1 활성 패턴(103a)에서 전류 흐름이 발생할 수 있다.
- [0069] 도면에 도시되지 않았으나, 제 4 테스트 구조체에서, 제 3 게이트 전극(123d)을 사이에 두고 제 1 및 제 2 전극 패턴들이 배치될 수 있다. 제 3 게이트 전극(123d)는 활성 영역(101)의 제 2 부분을 가로질러 배치되므로, 제 3 게이트 전극(123d)에 턴온 전압을 인가하고, 제 1 및 제 2 전극 패턴들 사이의 전류 흐름을 측정함으로써, 제 1 및 제 2 전극 패턴들(131c, 151c) 사이의 제 2 활성 패턴들(103b)의 전기적 특성을 평가할 수 있다.
- [0070] 도 13a 내지 도 17a는 본 발명의 제 3 실시예에 따른 반도체 장치의 테스트 구조체를 나타내는 평면도들이다. 도 13b 내지 도 17b는 본 발명의 제 3 실시예에 따른 반도체 장치의 테스트 구조체를 나타내는 단면도들로서, 도 13a 내지 도 17a의 I-I' 선 및 II-II' 선을 따라 자른 단면을 나타낸다.
- [0071] 제 3 실시예에 따르면, 도 13a 내지 도 17a 및 도 13b 내지 도 17b에 도시된 테스트 구조체들(10, 20, 30, 40)은 도 1을 참조하여 설명한 테스트 소자 그룹(TEG)을 구성할 수 있다.
- [0072] 도 13a 내지 도 17a 및 도 13b 내지 도 17b를 참조하면, 테스트 구조체들(10, 20, 30, 40, 50)은, 앞에서 설명한 바와 같이, 활성 영역(101)을 정의하는 소자 분리막(111), 반도체 기판(100)으로부터 수직적으로 돌출되며 일 방향으로 나란히 연장된 활성 패턴들(103a, 103b), 및 활성 패턴들(103a, 103b)을 가로지르는 게이트 전극들(123a-123d)을 포함한다. 실시예들에서, 게이트 전극들(123a-123d)은 활성 영역(101)의 중심 부분을 가로지르는 기준 게이트 전극(123a) 및 활성 영역(101)의 코너 부분에 인접하는 제 1 내지 제 3 게이트 전극들(123b-

123d)을 포함할 수 있다. 또한, 활성 영역(101)은, 코너 라운딩 현상에 의해 활성 영역(101)의 면적이 감소되는 제 1 코너 부분(101a)과, 활성 영역(101)의 면적이 증가되는 제 2 코너 부분(101b)을 가질 수 있다. 복수 개의 활성 영역들(101)이 반도체 기판(100)에 정의될 수 있으며, 활성 영역들(101)은 미러(mirror) 대칭으로 배치될 수 있다.

[0073] 제 3 실시예에 따르면, 테스트 구조체들(10, 20, 30, 40, 50)은, 소정의 게이트 전극(123a-123d) 일측에 배치된 제 1 전극 패턴(131a-131e)과, 소정의 게이트 전극(123a-123d) 타측에 배치된 제 2 전극 패턴(151a-151e)을 포함한다. 여기서, 제 1 및 제 2 전극 패턴들(131a-131e, 151a-151e)의 끝단들이 제 1 코너 부분(101a) 또는 제 2 코너 부분(101b)에 인접한 하나의 제 1 활성 패턴(103a) 상에 배치될 수 있다.

[0074] 제 3 실시예에 따르면, 도 13a, 도 13b, 도 14a, 및 도 14b에 도시된 테스트 구조체들(10, 20)은 활성 영역(101)의 제 1 코너 부분(101a)에서 활성 패턴들(103a, 130b)의 가변성(variability)을 평가할 수 있다. 또한, 도 15a, 도 15b, 도 16a, 및 도 16b에 도시된 테스트 구조체들(30, 40)은 활성 영역(101)의 제 2 코너 부분(101b)에서 활성 패턴들(103a, 130b)의 가변성을 평가할 수 있다. 나아가, 제 3 실시예에 따르면, 복수 개의 활성 영역들(101)에서 테스트되는 핀 전계 효과 트랜지스터들은 직렬적으로 연결될 수 있으며, 직렬로 연결된 핀 전계 효과 트랜지스터들의 전류 흐름을 테스트하여, 활성 패턴들(103a, 130b)의 연결성(connectivity)을 평가할 수 있다.

[0075] 상세하게, **도 13a 및 도 13b**를 참조하면, 제 1 테스트 구조체(10)는 기준 게이트 전극(123a) 일측에 배치된 제 1 전극 패턴(131a)과 기준 게이트 전극(123a) 타측에 배치된 제 2 전극 패턴(151a)을 포함한다. 제 1 테스트 구조체(10)에서, 제 1 및 제 2 전극 패턴들(131a, 151a)의 끝단들이 제 1 코너 부분(101a)에 인접한 하나의 제 1 활성 패턴(103a) 상에 배치될 수 있다. 구체적으로, 제 1 전극 패턴(131a)은 활성 영역(101)의 내부에 위치할 수 있으며, 제 2 전극 패턴(151a)은 제 1 코너 부분(101a)에 인접한 하나의 제 1 활성 패턴(103a)과 중첩될 수 있다. 제 1 콘택 플러그(133)를 통해 제 1 테스트 패드(도 1의 PAD1 참조)와 연결된 제 1 도전 라인(135)과 전기적으로 연결될 수 있다. 제 2 전극 패턴(151a)은 제 2 콘택 플러그(153)를 통해 제 2 테스트 패드(도 1의 PAD1 참조)와 연결된 제 3 도전 라인(155)과 전기적으로 연결될 수 있다. 그리고, 기준 게이트 전극(123a)은 제 1 게이트 패드(미도시)와 연결된 제 2 도전 라인(145)과 전기적으로 연결될 수 있다.

[0076] 기준 게이트 전극(123a)에 턴온 전압이 인가될 때, 제 1 전극 패턴(131a)과 제 2 전극 패턴(151a)은 직렬적으로 연결될 수 있다. 이 때, 제 1 전극 패턴(131a)과 제 2 전극 패턴(151a) 사이의 제 1 활성 패턴(103a)에 흐르는 전류 흐름이 측정될 수 있다.

[0077] **도 14a 및 도 14b**를 참조하면, 제 2 테스트 구조체(20)는 제 1 게이트 전극(123b) 일측에 배치된 제 1 전극 패턴(131b)과 제 1 게이트 전극(123b) 타측에 배치된 제 2 전극 패턴(151b)을 포함한다. 제 2 테스트 구조체(20)에서, 제 1 및 제 2 전극 패턴들(131b, 151b)의 끝단들이 제 1 코너 부분(101a)에 인접한 하나의 제 1 활성 패턴(103a) 상에 배치될 수 있다. 여기서, 제 1 전극 패턴(131b)은 활성 영역(101)의 내부에 위치할 수 있으며, 제 2 전극 패턴(151b)은 소자 분리막(111) 상에서 제 1 코너 부분(101a)의 경계에 위치할 수 있다. 제 2 테스트 구조체(20)에서 제 2 전극 패턴(151b)의 길이는 제 1 테스트 구조체(10)에서 제 2 전극 패턴(151a)의 길이와 실질적으로 동일할 수 있다. 그리고, 제 2 전극 패턴(151b)은 제 1 코너 부분(101a)에 인접한 하나의 제 1 활성 패턴(103a)과 중첩되되, 제 1 테스트 구조체(도 13a의 10 참조)에서 제 2 전극 패턴(151b)과 제 1 활성 패턴(103a)의 중첩 면적보다 감소될 수 있다.

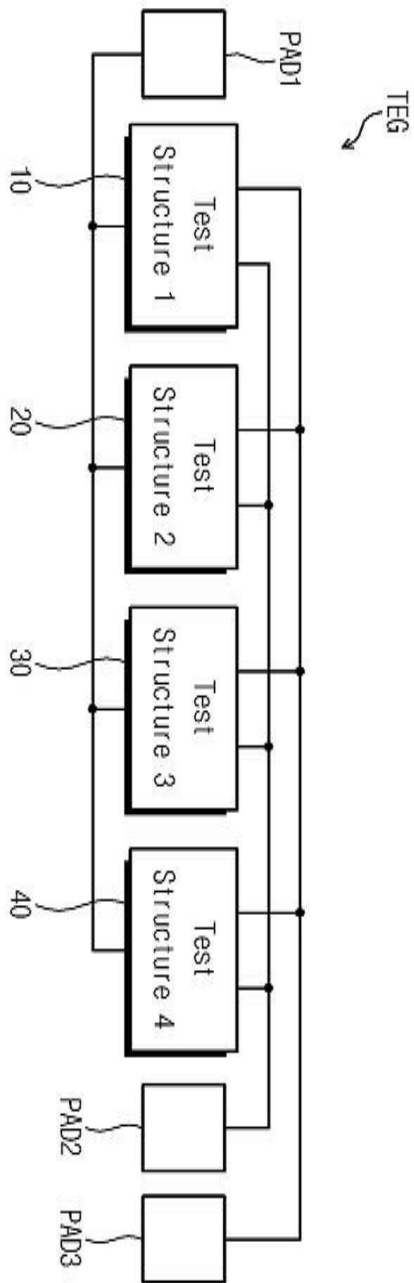
[0078] 제 2 테스트 구조체(20)에서 제 1 게이트 전극(123b)에 턴온 전압이 인가될 때, 제 1 전극 패턴(131b)과 제 2 전극 패턴(151b)은 직렬적으로 연결될 수 있다. 이 때, 제 1 전극 패턴(131b)과 제 2 전극 패턴(151b) 사이의 제 1 활성 패턴(103a)에 흐르는 전류 흐름이 측정될 수 있다. 제 2 테스트 구조체(20)에서 측정되는 전류량은 제 1 테스트 구조체(도 13a의 10 참조)에서 측정되는 전류량과 비교될 수 있으며, 이에 따라, 제 1 활성 패턴(103a)의 손실이 평가될 수 있다. 그리고, 제 1 활성 패턴(103a)의 손실 양에 따라 제 1 코너 부분(101a)의 곡률 반경이 평가될 수 있다.

[0079] **도 15a 및 도 15b**를 참조하면, 제 3 테스트 구조체(30)는 제 1 게이트 전극(123b) 일측에 배치된 제 1 전극 패턴(131c)과 제 1 게이트 전극(123b) 타측에 배치된 제 2 전극 패턴(151c)을 포함한다. 이 실시예에서, 제 1 및 제 2 전극 패턴들(131c, 151c)의 일 끝단들은 제 2 코너 부분(101b)으로 연장되는 하나의 제 1 활성 패턴(103a) 상에 위치할 수 있다. 구체적으로, 제 1 전극 패턴(131c)은 활성 영역(101)의 내부에 위치할 수 있으며, 제 2 전극 패턴(151c)은 제 2 코너 부분(101a)에 인접한 제 1 활성 패턴들(103a)과 중첩될 수 있다.

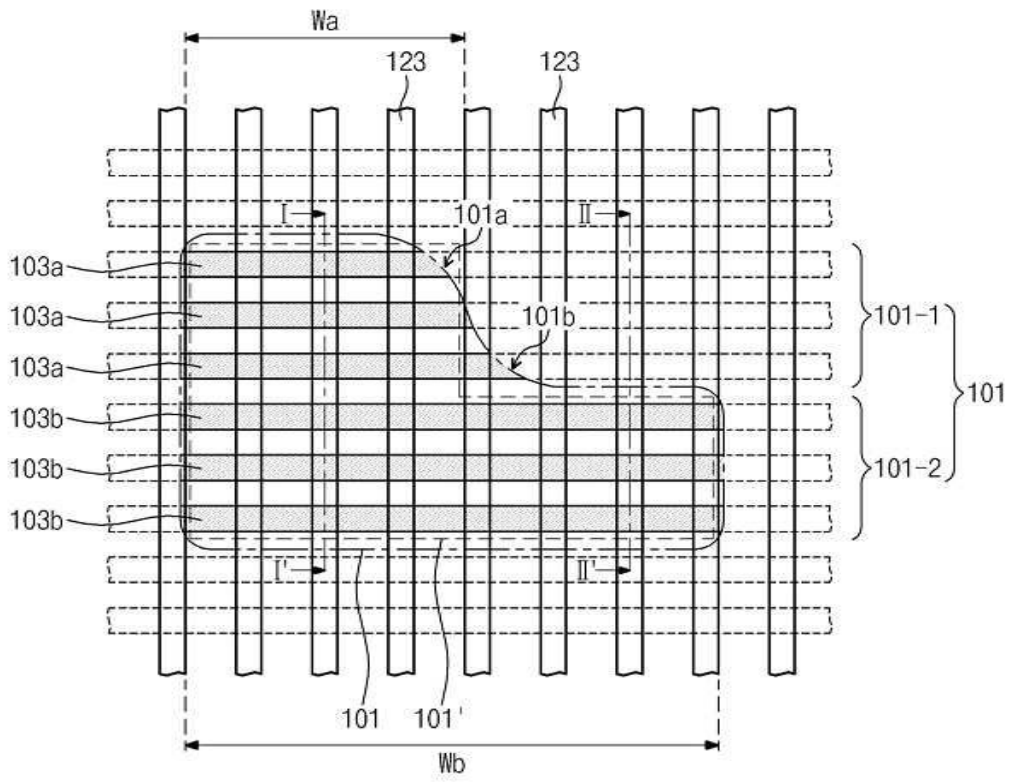
- [0080] 제 3 테스트 구조체(30)에서, 제 1 게이트 전극(123b)에 턴 온 전압을 인가하고, 제 1 및 제 2 전극 패턴들(131c, 151c) 사이의 전류 흐름을 테스트하여, 제 2 코너 부분(101b)으로 연장되는 제 1 활성 패턴(103a)에서의 전류 흐름이 측정될 수 있다.
- [0081] **도 16a 및 도 16b**를 참조하면, 제 4 테스트 구조체(40)는 제 2 게이트 전극(123c) 일측에 배치된 제 1 전극 패턴(131d)과, 제 2 게이트 전극(123c) 타측에 배치된 제 2 전극 패턴(151d)을 포함한다. 여기서, 제 4 테스트 구조체(40)에서 제 2 전극 패턴(151d)의 길이는 제 3 테스트 구조체(30)에서 제 2 전극 패턴(151c)의 길이와 실질적으로 동일할 수 있다. 제 1 및 제 2 전극 패턴들(131d, 151d)의 일 끝단들은 제 2 코너 부분(101b)으로 연장되는 제 1 활성 패턴(103a) 상에 위치할 수 있다. 제 4 테스트 구조체(40)에서 제 2 전극 패턴(151d)은 제 2 코너 부분(101b)의 곡률 반경에 따라, 제 1 활성 패턴(103a)과의 전기적 접속 유무가 달라질 수 있다. 즉, 제 2 코너 부분(101b)의 곡률 반경에 따라, 제 2 전극 패턴(151d)과 활성 패턴들(103a) 간의 중첩 면적이 달라질 수 있다. 즉, 제 4 테스트 구조체(40)에서 제 2 전극 패턴(151d)과 활성 패턴들(103a) 간의 중첩 면적은 제 3 테스트 구조체(도 15a의 30 참조)에서 보다 감소될 수 있다. 이에 따라, 활성 영역(101)의 제 2 코너 부분(101b)에서 활성 패턴(103a)의 변형이 평가될 수 있으며, 이를 이용하여 제 2 코너 부분(101b)의 곡률 반경이 평가될 수 있다.
- [0082] **도 17a 및 도 17b**를 참조하면, 제 5 테스트 구조체(50)는 제 3 게이트 전극(123d) 일측에 배치된 제 1 전극 패턴(131e)과, 제 3 게이트 전극(123d) 타측에 배치된 제 2 전극 패턴(151e)을 포함한다. 여기서, 제 3 게이트 전극(123d)은 활성 영역(101)의 제 2 부분을 가로질러 배치되므로, 제 3 게이트 전극(123d) 일측에 배치된 제 1 전극 패턴(131e)의 끝단이 활성 영역(101)의 제 2 코너 부분(101b) 상에 위치할 수 있다. 제 5 테스트 구조체(50)에서 제 2 전극 패턴(151e)의 길이는 제 4 테스트 구조체(40)에서 제 2 전극 패턴(151d)의 길이와 실질적으로 동일할 수 있다. 제 3 게이트 전극(123d) 타측의 제 2 전극 패턴(151b)은 소자 분리막(111) 상에 배치되어 활성 패턴들(103a, 103b)과 중첩되지 않을 수도 있다.
- [0083] 도 18은 본 발명의 제 4 실시예에 따른 반도체 장치의 테스트 구조체를 나타내는 평면도이다.
- [0084] 도 18을 참조하면, 도 2를 참조하여 설명한 바와 같이, 활성 영역(101)을 정의하는 소자 분리막(111), 반도체 기판(100)으로부터 수직적으로 돌출되며 일 방향으로 나란히 연장된 활성 패턴들(103a, 103b), 및 활성 패턴들(103a, 103b)을 가로지르는 게이트 전극들(123a-123d)을 포함한다.
- [0085] 제 4 실시예에 따르면, 활성 영역(101)은 각각 서로 다른 폭을 갖는 제 1 내지 제 5 부분들을 포함할 수 있으며, 제 1 내지 제 5 부분들의 경계에서 라운드진 코너 부분들(101a, 101b)을 가질 수 있다. 구체적으로, 활성 영역(101)은, 코너 라운딩 현상에 의해 활성 영역(101)의 면적이 감소되는 제 1 코너 부분들(101a)과, 활성 영역(101)의 면적이 증가되는 제 2 코너 부분들(101b)을 가질 수 있다. 여기서, 인접하는 제 1 코너 부분들(101a)과 제 2 코너 부분들(101b) 사이에 각각 변곡점을 가질 수 있다. 나아가, 이 실시예에 따르면, 활성 영역(101)의 제 1 내지 제 5 부분들에서 활성 패턴들(103)의 길이가 서로 다를 수 있다.
- [0086] 제 4 실시예에 따르면, 테스트 구조체는 각각의 제 2 코너 부분들(101b)에서 활성 패턴들(103)의 가변성을 평가할 수 있다. 상세하게, 각각의 제 2 코너 부분들(101b)에서 게이트 전극(123)을 사이에 두고 한 쌍의 제 1 및 제 2 전극 패턴들(131a-131d, 151a-151d)이 배치될 수 있다. 제 1 전극 패턴들(131a-131d)은 활성 영역(101) 내부에 배치될 수 있으며, 제 2 전극 패턴들(151a-151d)은 각각의 제 2 코너 부분들(101b)과 소자 분리막의 경계 상에 배치될 수 있다. 여기서, 각각의 제 1 및 제 2 전극 패턴들(131a-131d, 151a-151d)의 끝단은 제 2 코너 부분(101b)에 인접한 하나의 제 1 활성 패턴(103a) 상에 배치될 수 있다.
- [0087] 제 4 실시예에서, 제 1 전극 패턴들(131a-131d)은 제 1 콘택 플러그들(133) 및 제 1 도전 라인들(135)을 통해 제 1 테스트 패드(도 1의 PAD1 참조)에 공통으로 연결될 수 있다. 제 2 전극 패턴들(151)은 제 3 콘택 플러그(153) 및 제 3 도전 라인(155)을 통해 제 2 테스트 패드(도 1의 PAD2 참조)에 공통으로 연결될 수 있다. 또한, 제 2 코너 부분들(101b)로 연장되는 활성 패턴들(103)의 연결성을 평가하기 위해, 제 1 및 제 2 전극 패턴들(131a-131d, 151a-151d) 사이의 게이트 전극들(123)은 공통으로 게이트 패드(미도시)에 접속될 수 있다.
- [0088] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

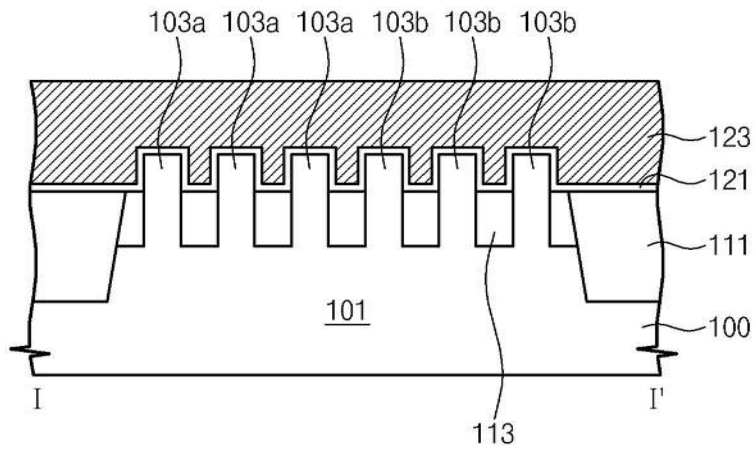
도면1



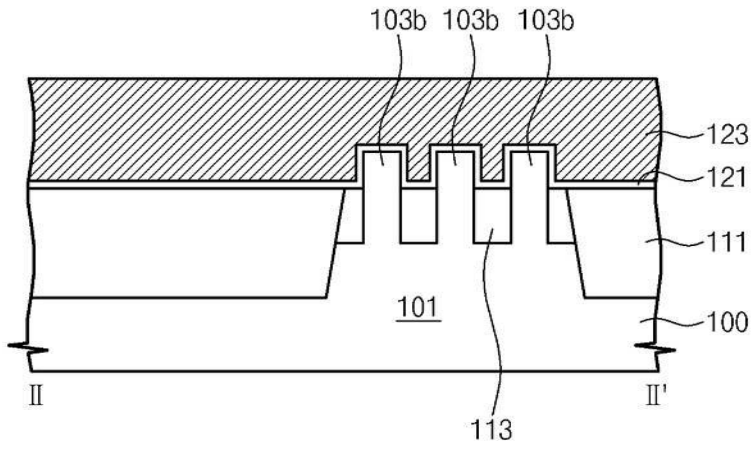
도면2a



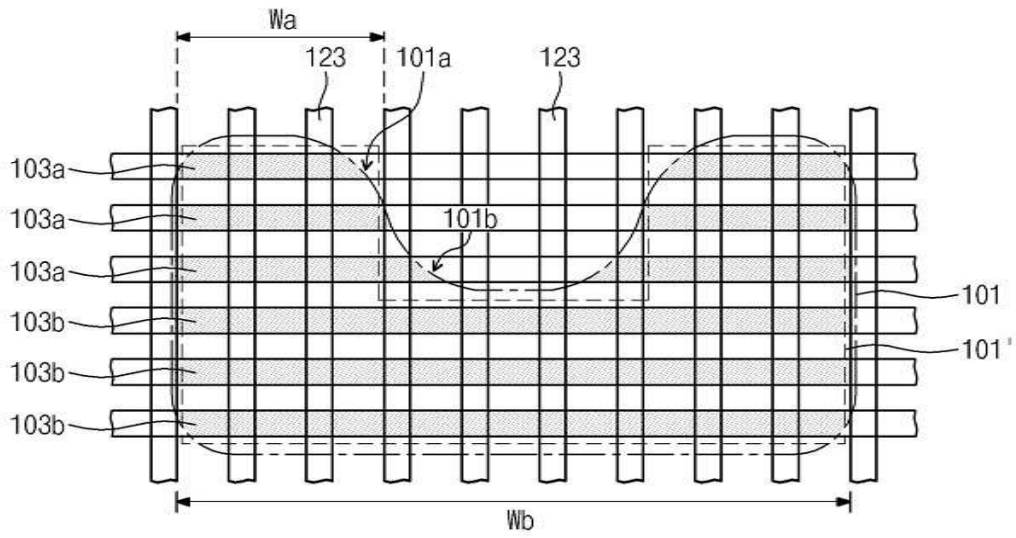
도면2b



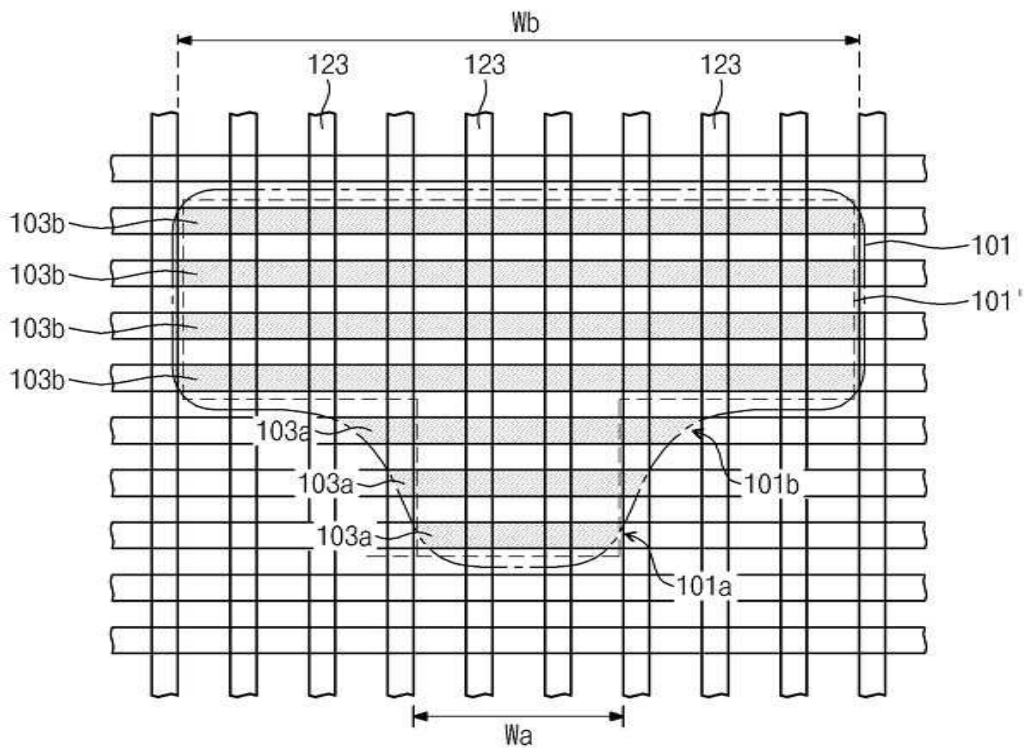
도면2c



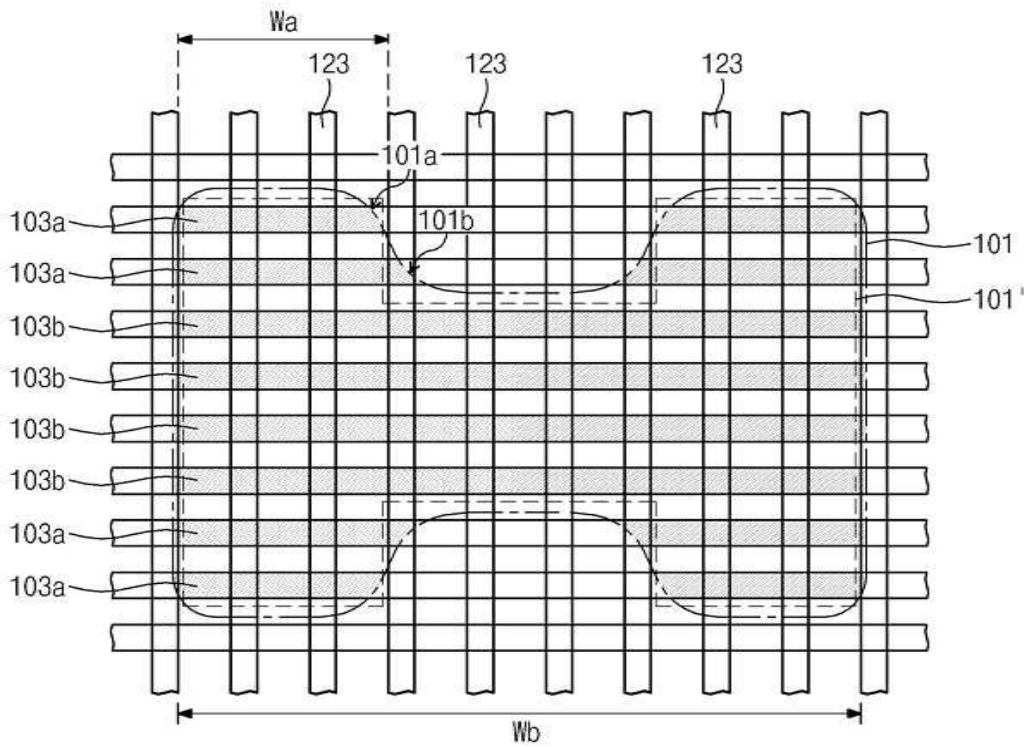
도면3



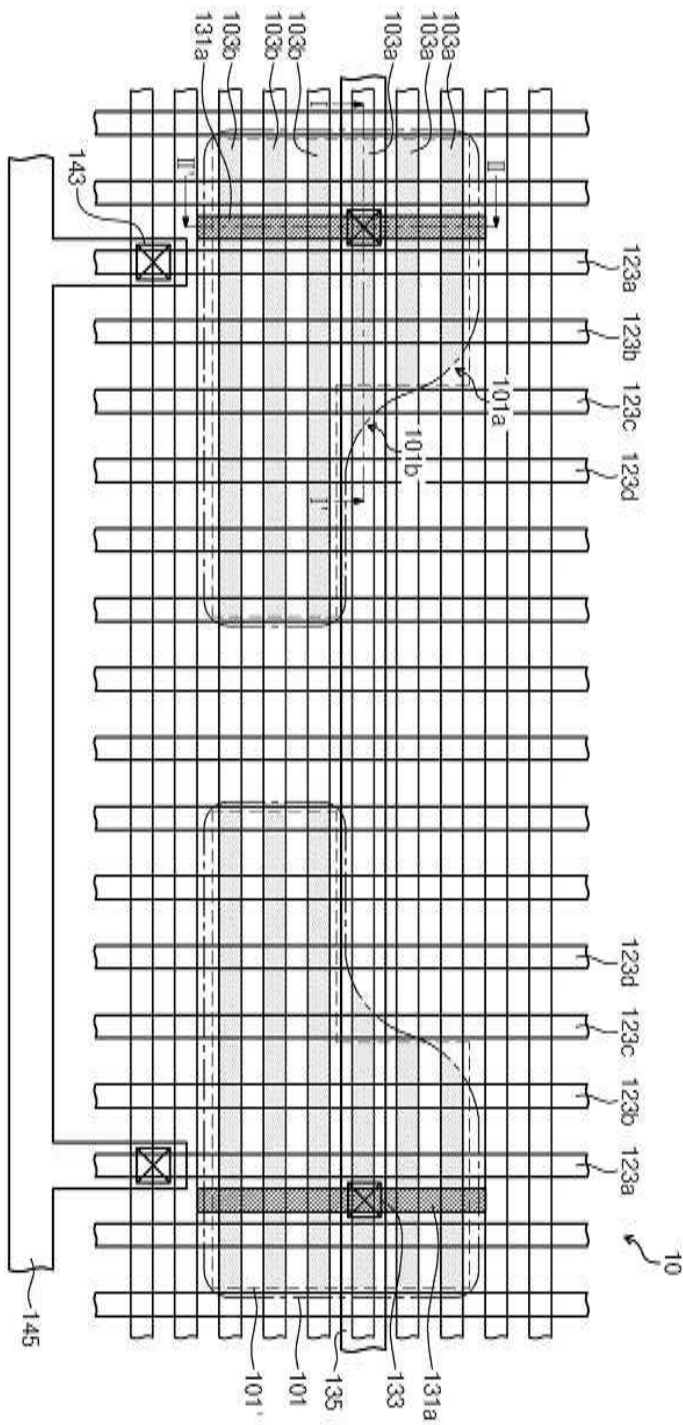
도면4



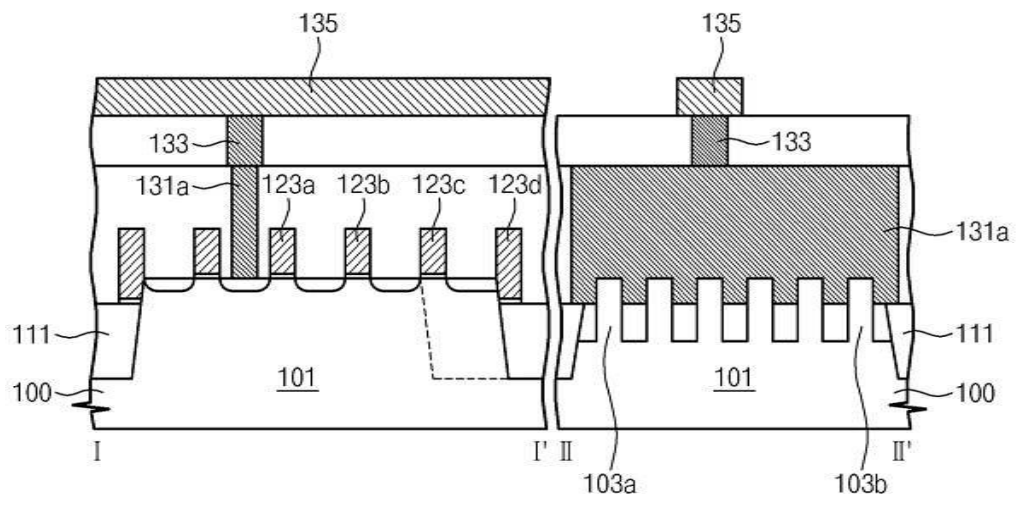
도면5



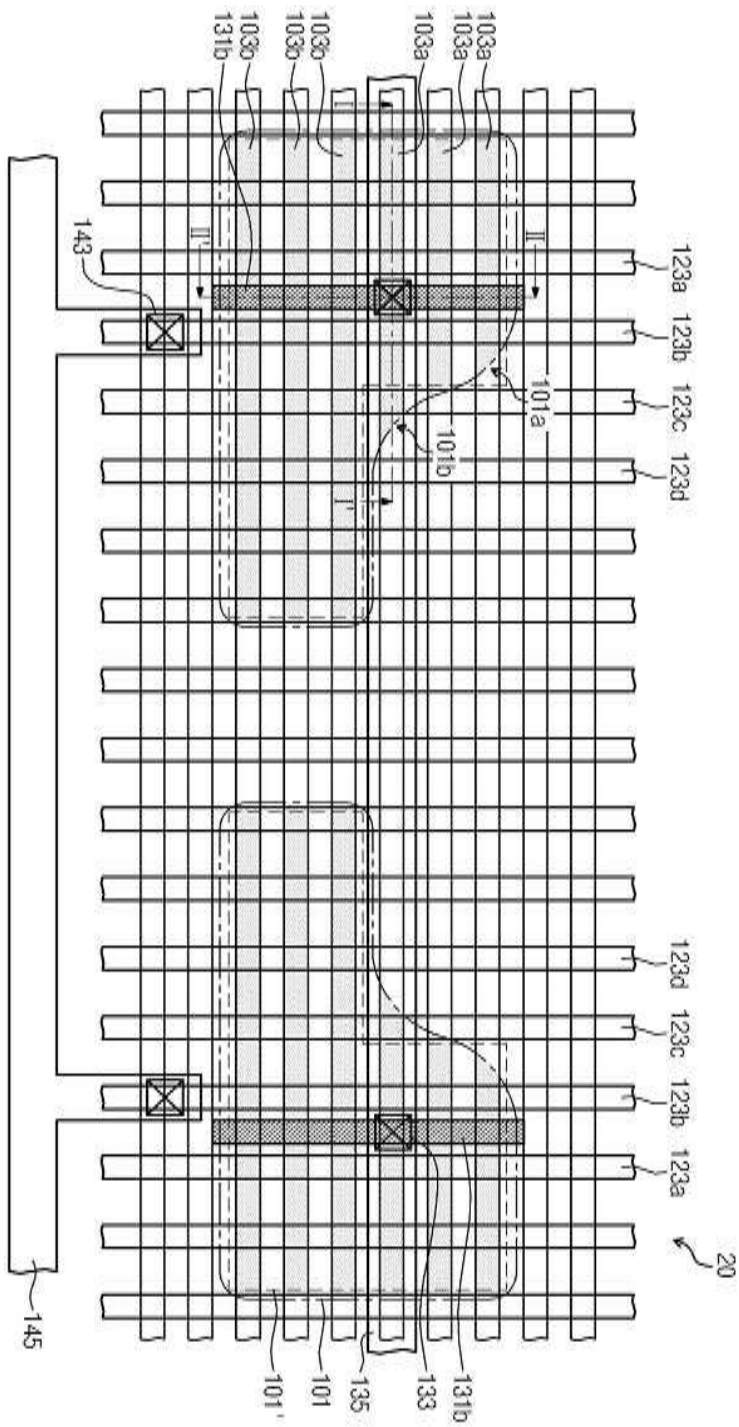
도면6a



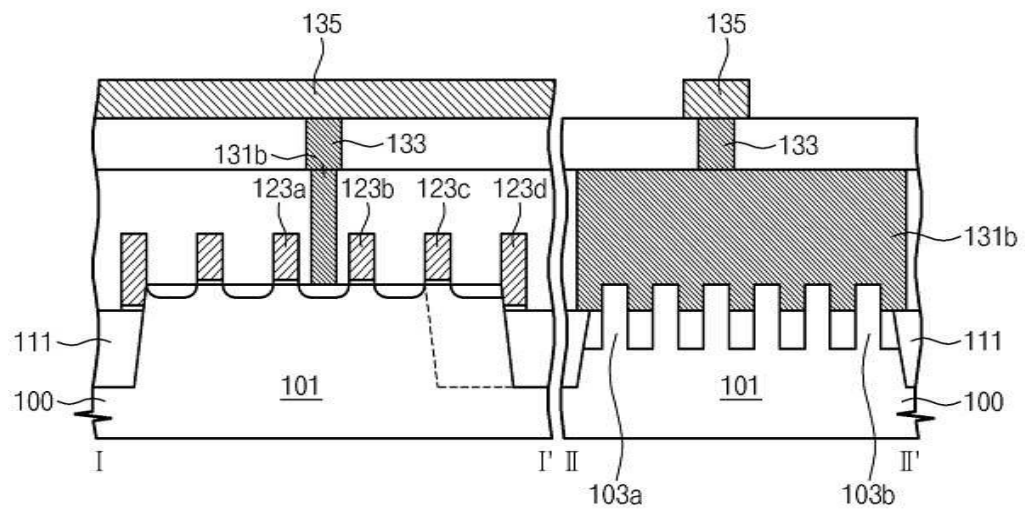
도면6b



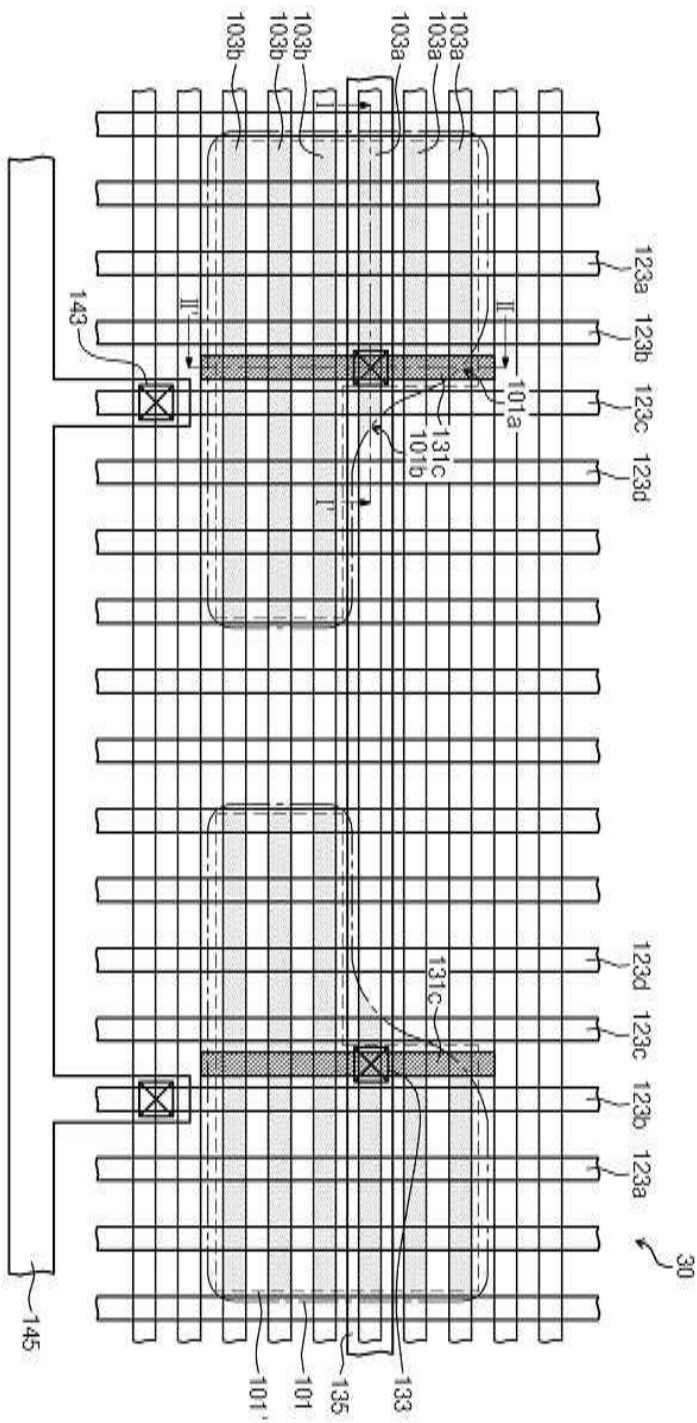
도면7a



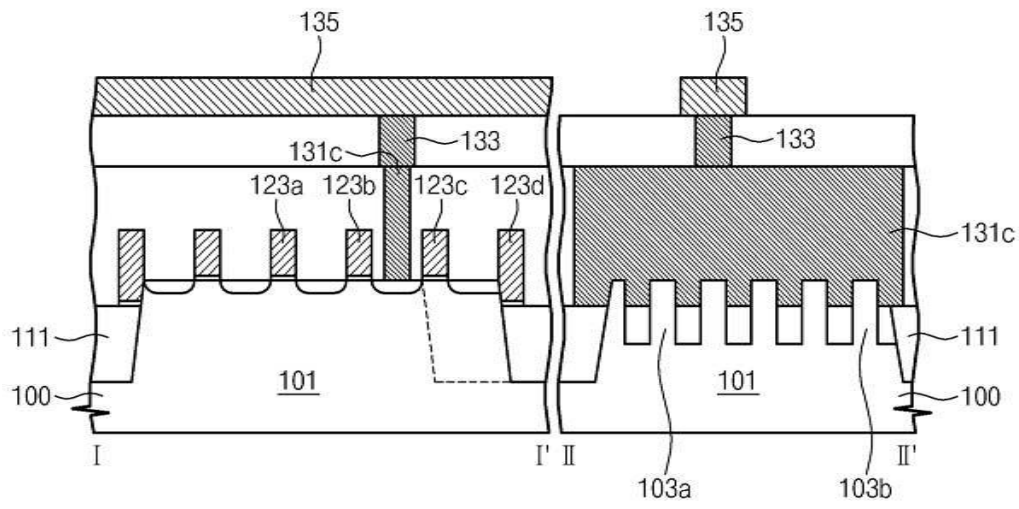
도면7b



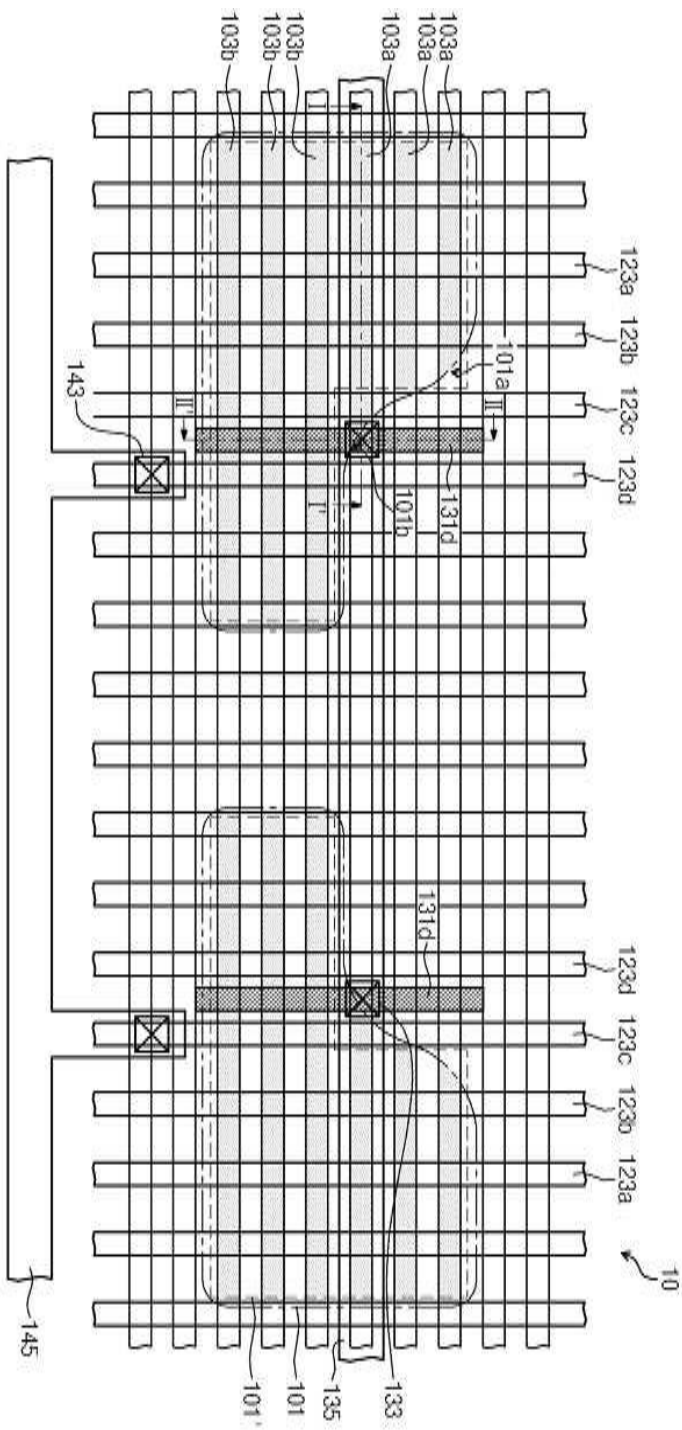
도면8a



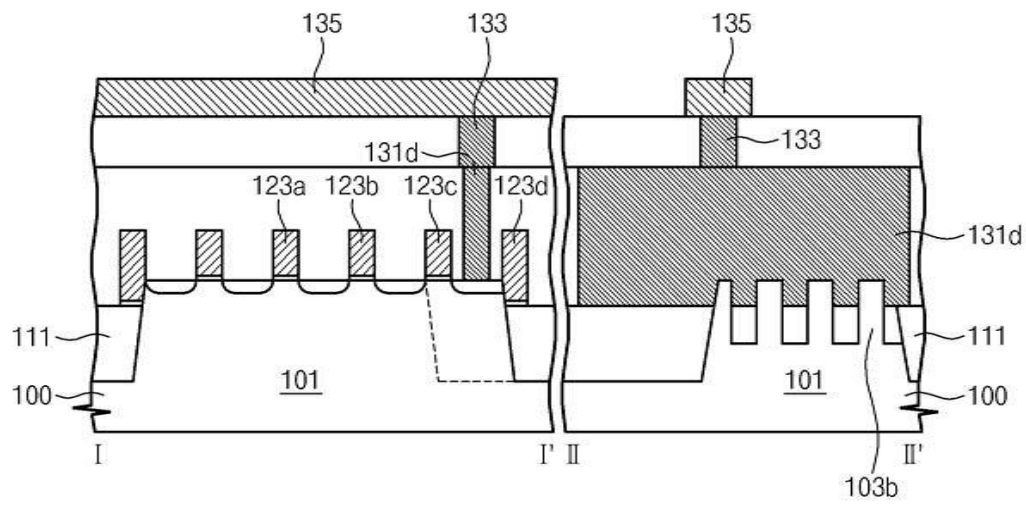
도면 8b



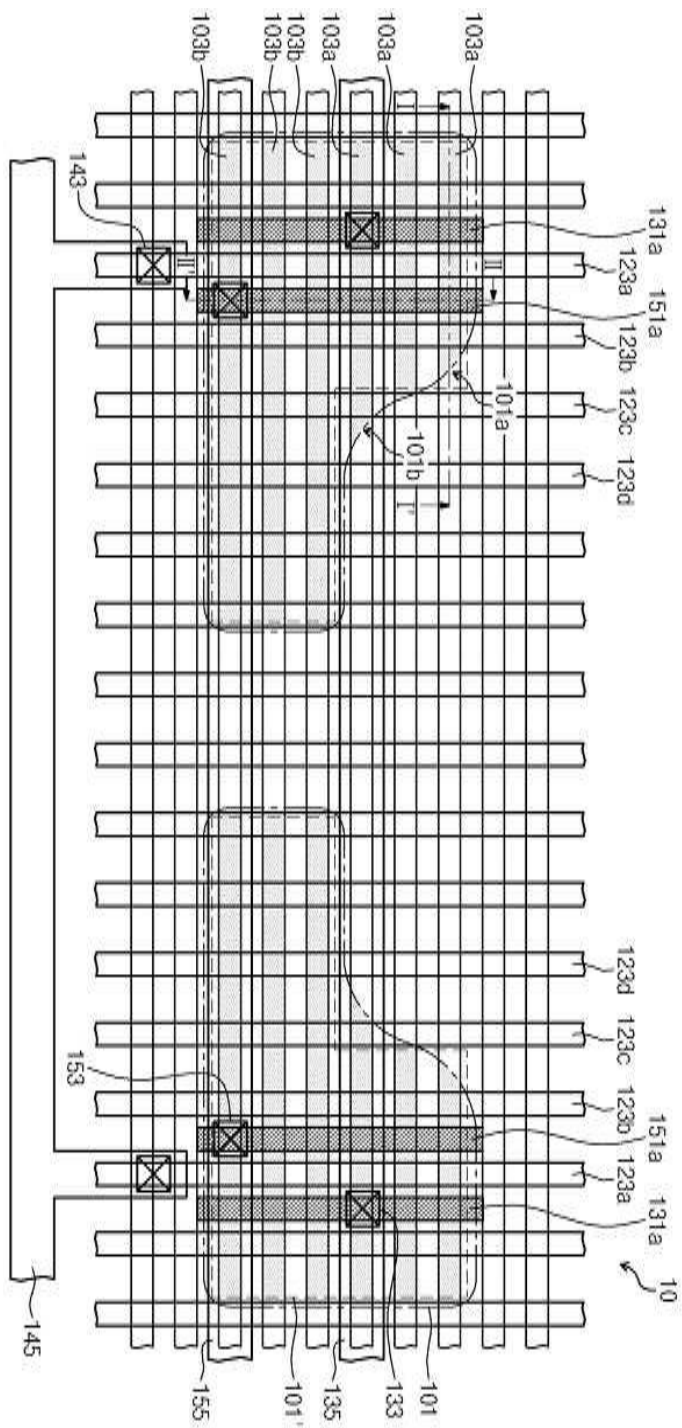
도면9a



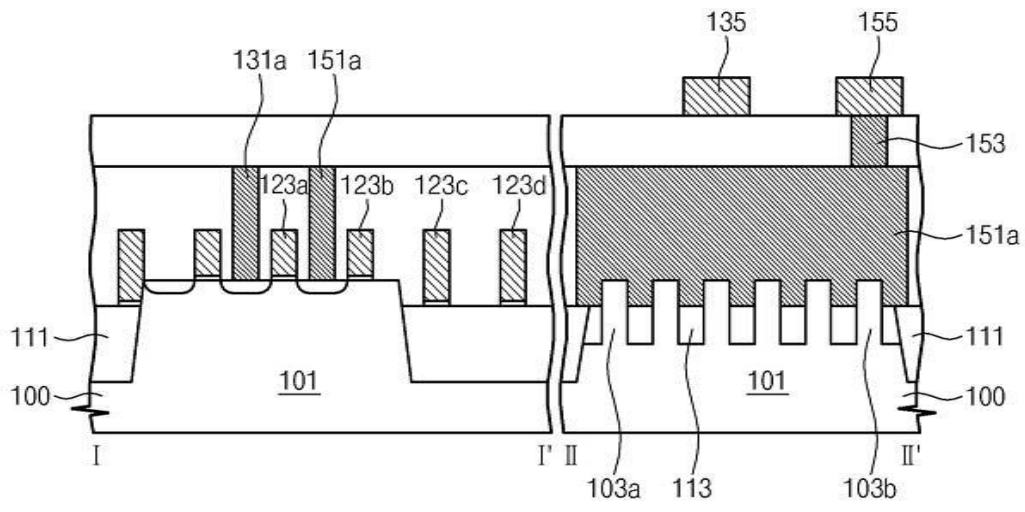
도면9b



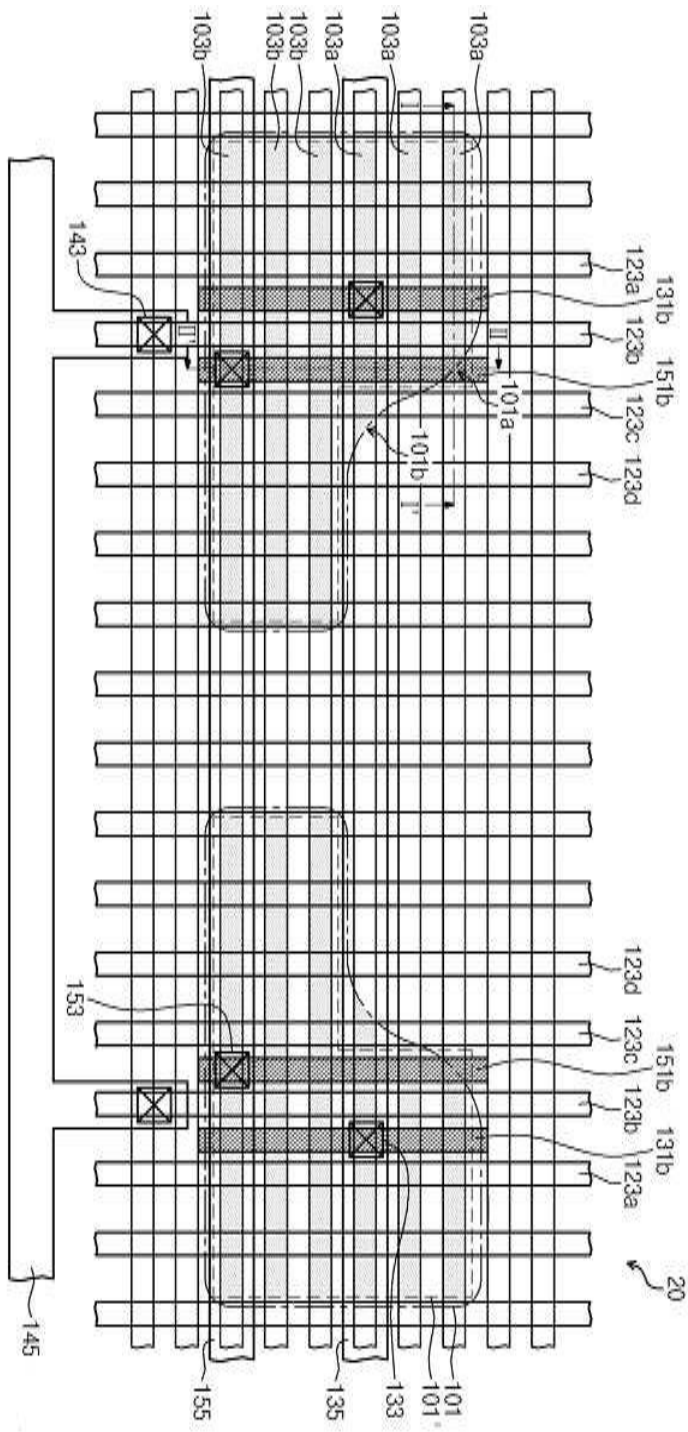
도면10a



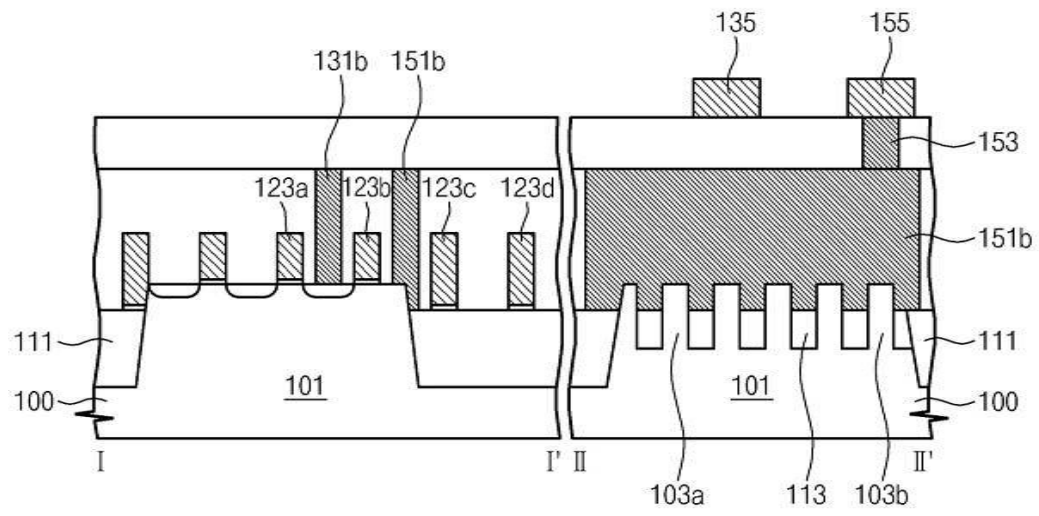
도면10b



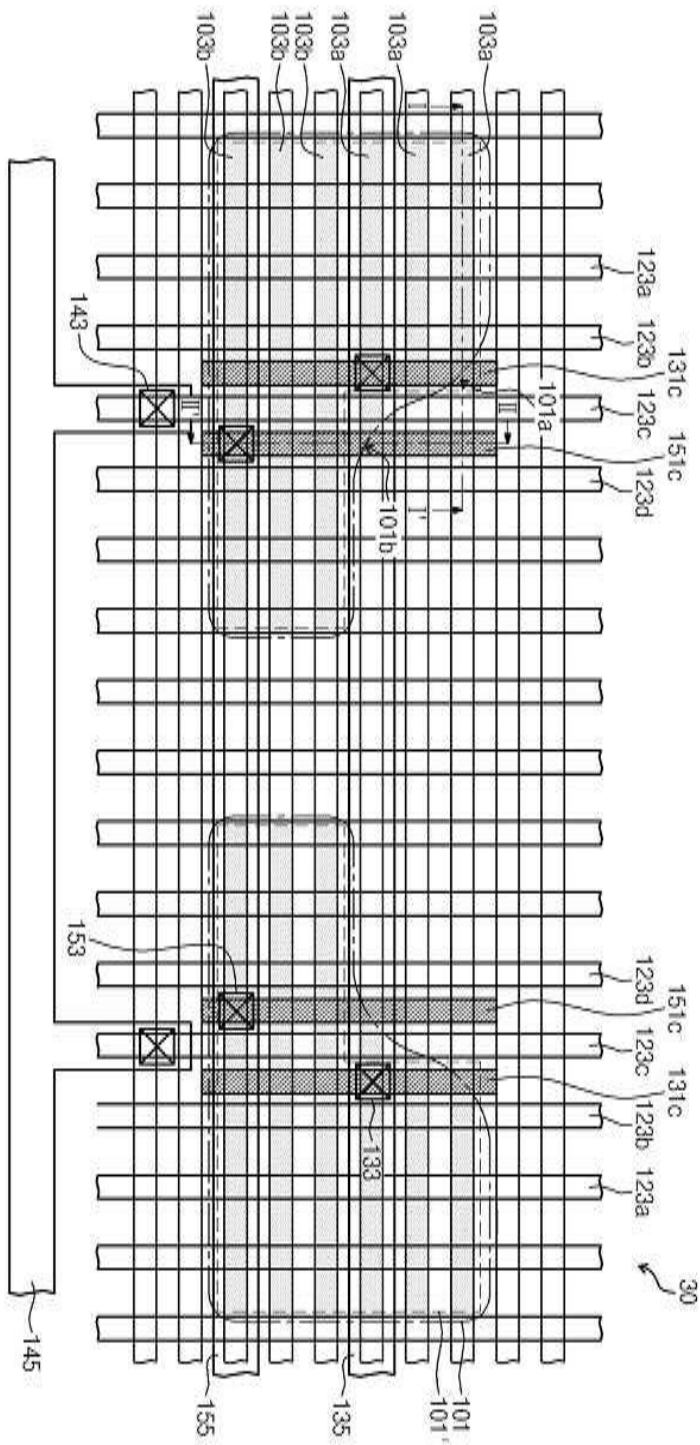
도면11a



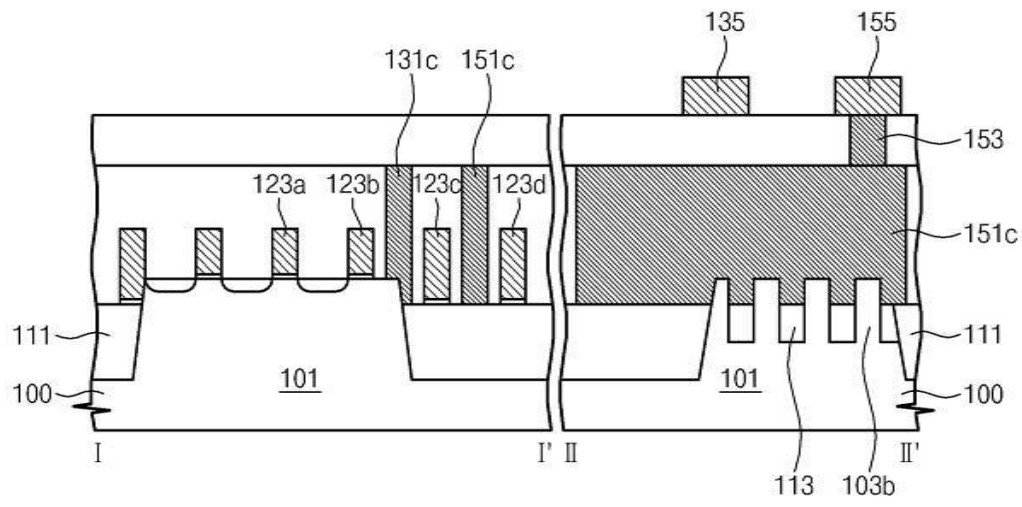
도면11b



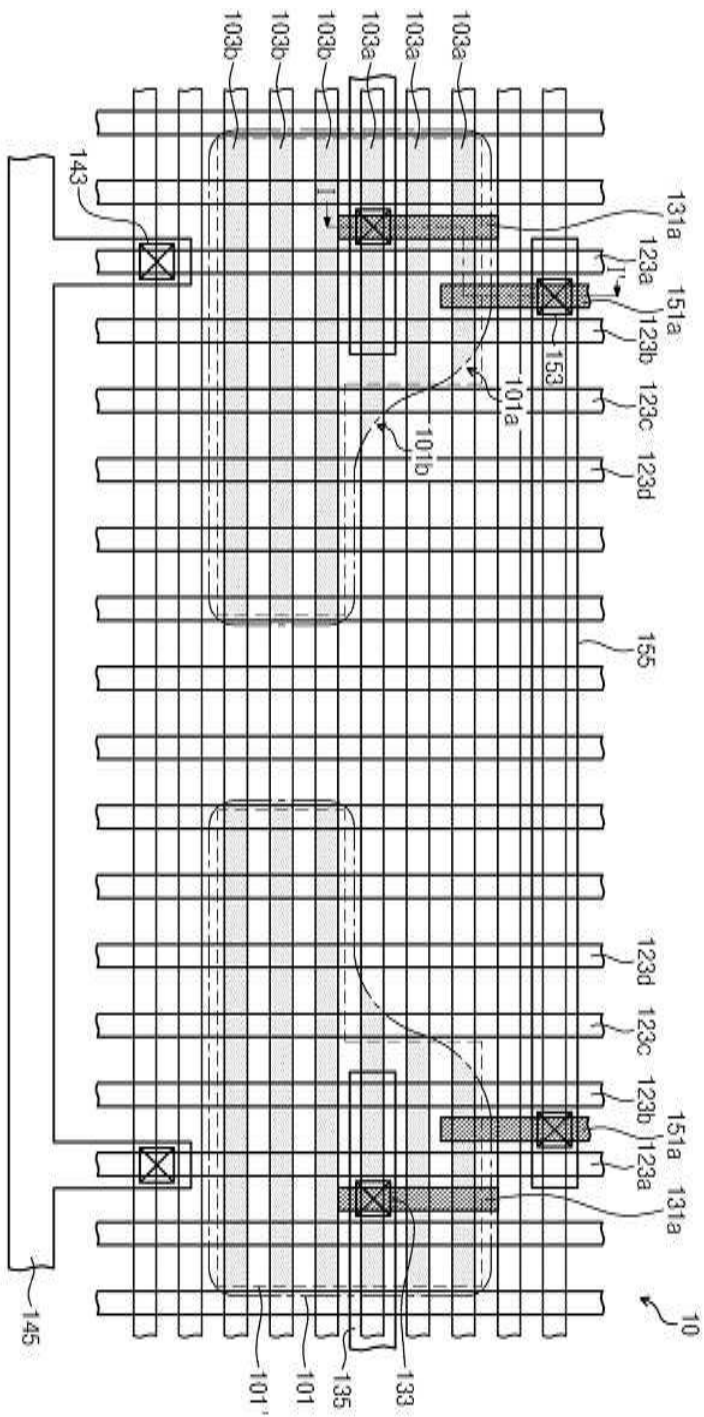
도면12a



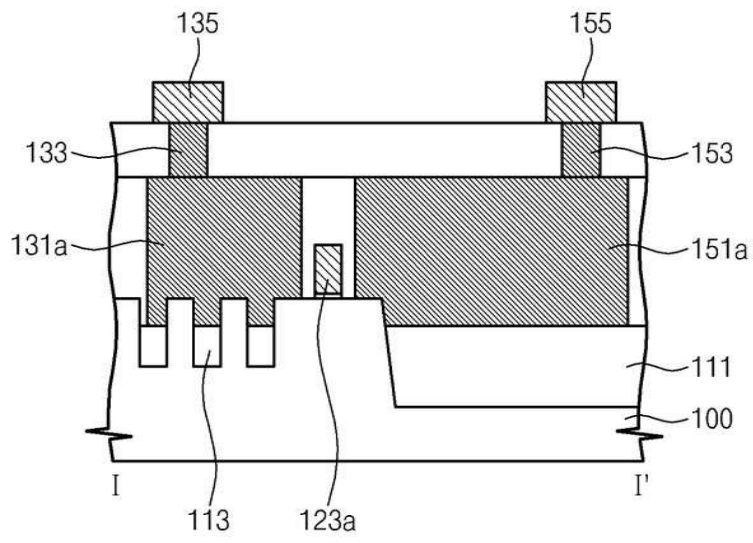
도면12b



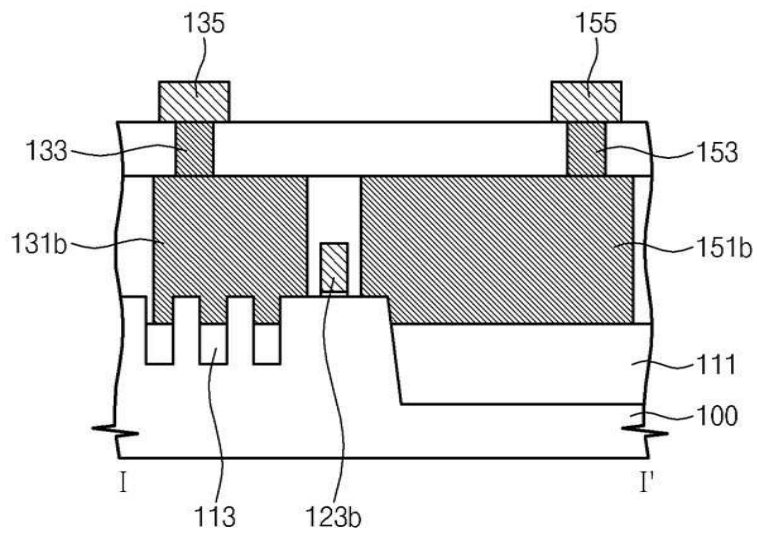
도면13a



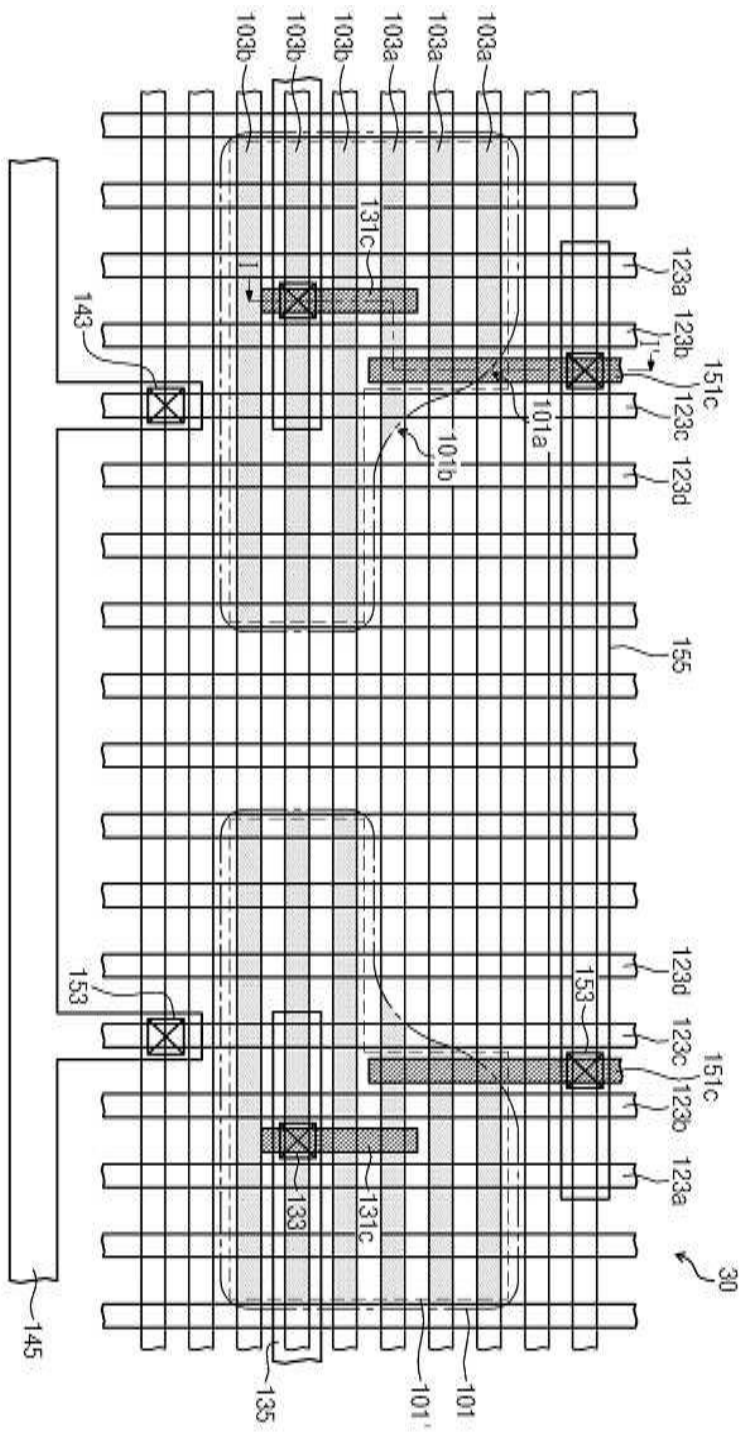
도면13b



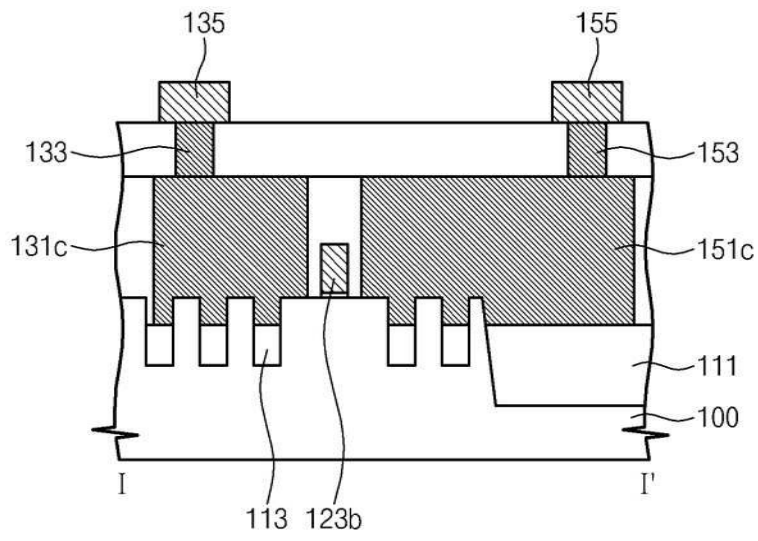
도면14b



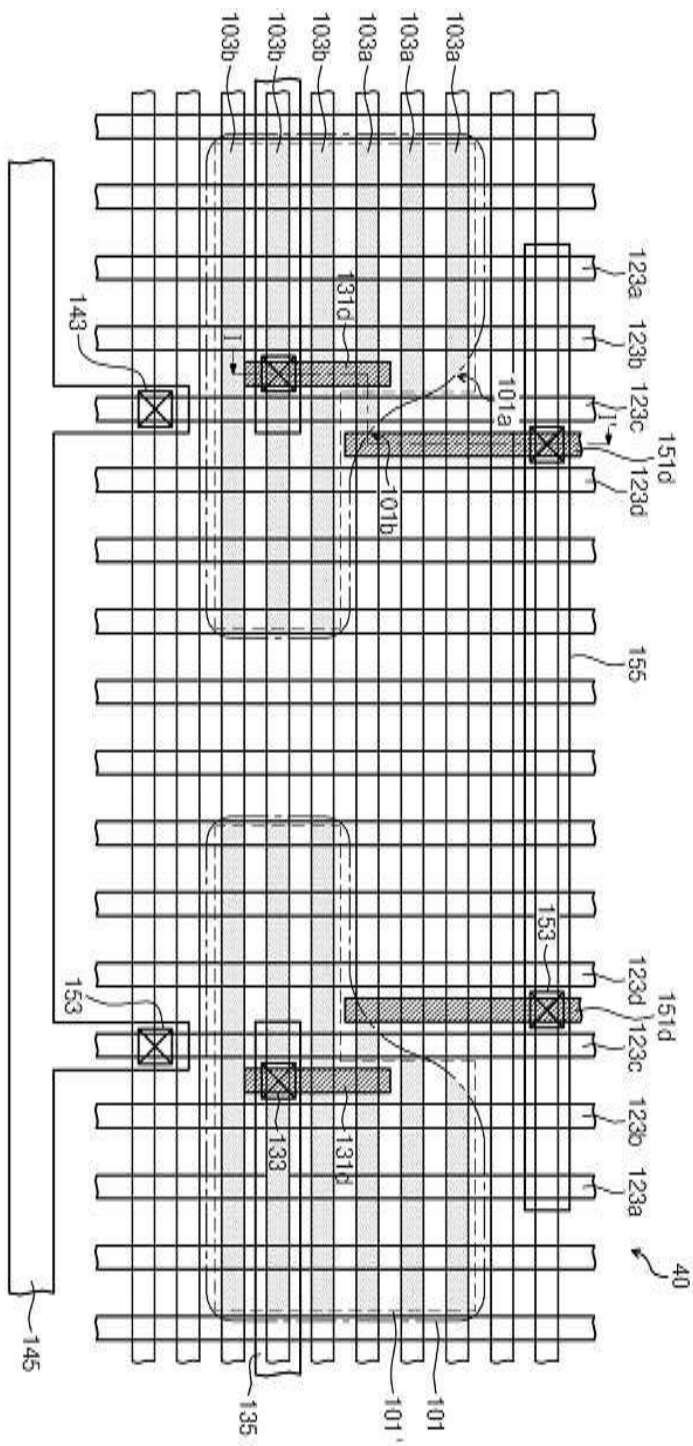
도면15a



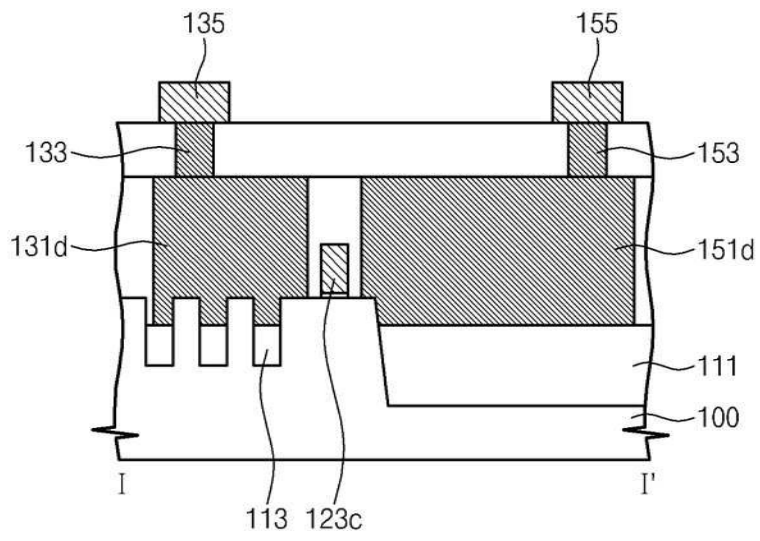
도면15b



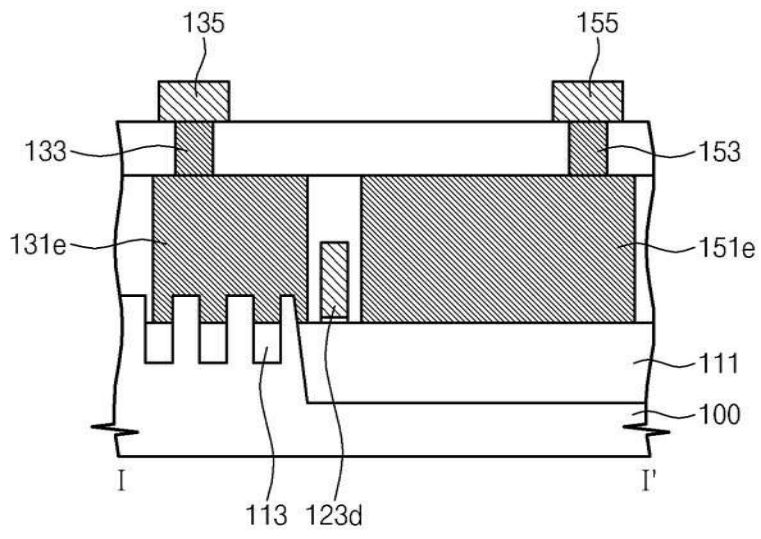
도면16a



도면16b



도면17b



도면18

