



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년02월04일
(11) 등록번호 10-2211638
(24) 등록일자 2021년01월28일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 29/06 (2006.01)
H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/7831 (2013.01)
H01L 29/0669 (2013.01)
(21) 출원번호 10-2017-0072391
(22) 출원일자 2017년06월09일
심사청구일자 2019년12월09일
(65) 공개번호 10-2018-0134543
(43) 공개일자 2018년12월19일
(56) 선행기술조사문헌
KR1020010077932 A
KR1020070013411 A
US20160028347 A1
US20160276331 A1

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김효진
경기도 부천시 소사구 성주로 268 (십곡본동)
천관영
경기도 수원시 영통구 태장로82번길 32, 101동
2002호 (망포동, 망포마을 동수원 엘지빌리지)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 9 항

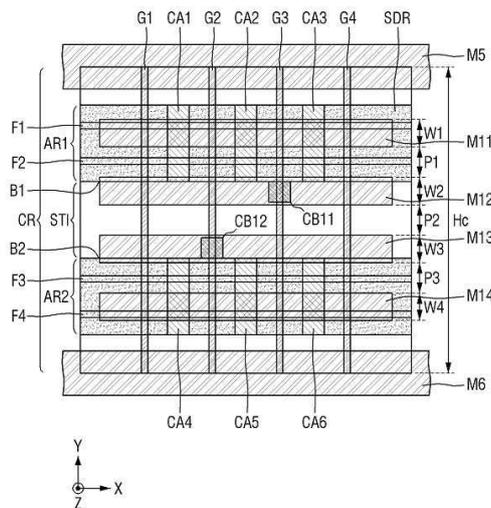
심사관 : 최정민

(54) 발명의 명칭 반도체 장치

(57) 요약

반도체 장치가 제공된다. 반도체 장치는, 제1 방향으로 연장되는 제1 및 제2 액티브 영역과, 상기 제1 액티브 영역과 상기 제2 액티브 영역 사이에 형성되는 소자 분리 영역을 포함하고, 상기 제1 방향과 교차하는 제2 방향의 제1 폭을 갖는 셀 영역, 상기 셀 영역 상에 상기 제1 방향으로 서로 이격되고, 상기 제2 방향으로 연장되는 제1 및 제2 게이트 구조체, 상기 셀 영역 상에 상기 제1 방향으로 연장되고, 상기 제2 방향으로 서로 제1 간격만큼 이격되고, 각각 상기 제2 방향의 제2 폭을 갖는 제1 및 제2 메탈 라인, 상기 제1 게이트 구조체와 상기 제1 메탈 라인을 전기적으로 연결하고, 적어도 일부가 상기 소자 분리 영역과 오버랩되는 제1 게이트 콘택, 및 상기 제2 게이트 구조체와 상기 제2 메탈 라인을 전기적으로 연결하고, 적어도 일부가 상기 소자 분리 영역과 오버랩되는 제2 게이트 콘택을 포함하되, 상기 제1 폭을 상기 제1 간격과 상기 제2 폭을 합한 값으로 나눈 값이 6 이하이다.

대표도 - 도1



(52) CPC특허분류

H01L 29/66515 (2013.01)

H01L 29/7846 (2013.01)

명세서

청구범위

청구항 1

제1 방향으로 연장되는 제1 및 제2 액티브 영역과, 상기 제1 액티브 영역과 상기 제2 액티브 영역 사이에 형성되는 소자 분리 영역을 포함하고, 상기 제1 방향과 교차하는 제2 방향의 제1 폭을 갖는 셀 영역;

상기 셀 영역 상에 상기 제1 방향으로 서로 이격되고, 상기 제2 방향으로 연장되는 제1 및 제2 게이트 구조체;

상기 셀 영역 상에 상기 제1 방향으로 연장되고, 상기 제2 방향으로 서로 제1 간격만큼 이격되는 제1 및 제2 메탈 라인으로서, 각각 상기 소자 분리 영역과 적어도 부분적으로 오버랩되고, 각각 상기 제2 방향의 제2 폭을 갖는 제1 및 제2 메탈 라인;

상기 제1 게이트 구조체와 상기 제1 메탈 라인을 전기적으로 연결하고, 적어도 일부가 상기 소자 분리 영역과 오버랩되는 제1 게이트 콘택; 및

상기 제2 게이트 구조체와 상기 제2 메탈 라인을 전기적으로 연결하고, 적어도 일부가 상기 소자 분리 영역과 오버랩되는 제2 게이트 콘택을 포함하되,

상기 제1 폭을 상기 제1 간격과 상기 제2 폭을 합한 값으로 나눈 값이 6 이하이고,

상기 제2 게이트 콘택의 가장자리는 상기 제2 액티브 영역과 상기 소자 분리 영역 사이의 경계선 상에 형성되는 반도체 장치.

청구항 2

제 1항에 있어서,

상기 제1 게이트 콘택 및 상기 제2 게이트 콘택은 상기 소자 분리 영역 상에만 배치되는 반도체 장치.

청구항 3

제 2항에 있어서,

상기 제1 게이트 콘택의 가장자리는 상기 제1 액티브 영역과 상기 소자 분리 영역 사이의 경계선 상에 형성되는 반도체 장치.

청구항 4

제 1항에 있어서,

상기 제1 게이트 콘택의 일부는 상기 제1 액티브 영역과 오버랩되는 반도체 장치.

청구항 5

삭제

청구항 6

제 1항에 있어서,

상기 제1 액티브 영역에 상기 제1 방향으로 연장되고, 기관으로부터 돌출되어 형성되는 제1 핀형 패턴과,

상기 제2 액티브 영역에 상기 제1 방향으로 연장되고, 상기 기관으로부터 돌출되어 형성되는 제2 핀형 패턴을 더 포함하는 반도체 장치.

청구항 7

제 1항에 있어서,

상기 제1 게이트 구조체는,

상기 제1 방향으로 연장되는 제1 나노 와이어와,

상기 제1 방향으로 연장되고, 상기 제1 나노 와이어 상에 상기 제1 나노 와이어와 이격되어 배치되는 제2 나노 와이어와,

상기 제1 및 제2 나노 와이어의 둘레를 감싸는 게이트 전극을 포함하는 반도체 장치.

청구항 8

제1 액티브 영역, 제2 액티브 영역 및 상기 제1 액티브 영역과 상기 제2 액티브 영역 사이에 형성되는 소자 분리 영역을 포함하는 셀 영역;

상기 셀 영역 상에 제1 방향으로 연장되고, 상기 제1 방향과 교차하는 제2 방향으로 서로 이격되는 복수의 메탈 라인;

상기 복수의 메탈 라인과 교차하고, 상기 제2 방향으로 연장되는 게이트 구조체; 및

적어도 일부가 상기 소자 분리 영역과 오버랩되고, 상기 복수의 메탈 라인 중 적어도 하나와 상기 게이트 구조체를 전기적으로 연결하는 게이트 콘택을 포함하되,

상기 제1 액티브 영역, 상기 소자 분리 영역 및 상기 제2 액티브 영역 상에 상기 제2 방향으로 서로 이격되어 배치되는 상기 복수의 메탈 라인의 개수는 3개 또는 4개 중 어느 하나이고,

상기 게이트 콘택의 가장자리는 상기 제2 액티브 영역과 상기 소자 분리 영역 사이의 경계선 상에 형성되는 반도체 장치.

청구항 9

제 8항에 있어서,

상기 복수의 메탈 라인 각각은 상기 제2 방향으로 제1 간격으로 이격된 반도체 장치.

청구항 10

제 9항에 있어서,

상기 셀 영역은 상기 제2 방향의 제1 폭을 갖고,

상기 복수의 메탈 라인 각각은 상기 제2 방향의 제2 폭을 갖고,

상기 제1 폭을 상기 제2 폭과 상기 제1 간격의 합으로 나눈 값은 6 이하인 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것이다.

배경 기술

[0002] 반도체 장치의 밀도를 높이기 위한 스케일링(scaling) 기술 중 하나로서, 기판 상에 핀(fin) 또는 나노와이어(nanowire) 형상의 다채널 액티브 패턴(또는 실리콘 바디)을 형성하고 다채널 액티브 패턴의 표면 위에 게이트를 형성하는 멀티 게이트 트랜지스터(multi gate transistor)가 제안되었다.

[0003] 이러한 멀티 게이트 트랜지스터는 3차원의 채널을 이용하기 때문에, 스케일링하는 것이 용이하다. 또한, 멀티 게이트 트랜지스터의 게이트 길이를 증가시키지 않아도, 전류 제어 능력을 향상시킬 수 있다. 뿐만 아니라, 드레인 전압에 의해 채널 영역의 전위가 영향을 받는 SCE(short channel effect)를 효과적으로 억제할 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 과제는, 셀 영역의 폭, 메탈 라인 사이의 간격 및 메탈 라인의 폭 사이의 상관관계에 의해 정의되는 셀 영역에서, 게이트 컨택과 소오스/드레인 컨택을 분리시키기 위한 공정의 난이도를 감소시키는 반도체 장치를 제공하는 것이다.

[0005] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 상기 과제를 해결하기 위한 본 발명의 기술적 사상에 따른 반도체 장치의 몇몇 실시예는, 제1 방향으로 연장되는 제1 및 제2 액티브 영역과, 상기 제1 액티브 영역과 상기 제2 액티브 영역 사이에 형성되는 소자 분리 영역을 포함하고, 상기 제1 방향과 교차하는 제2 방향의 제1 폭을 갖는 셀 영역, 상기 셀 영역 상에 상기 제1 방향으로 서로 이격되고, 상기 제2 방향으로 연장되는 제1 및 제2 게이트 구조체, 상기 셀 영역 상에 상기 제1 방향으로 연장되고, 상기 제2 방향으로 서로 제1 간격만큼 이격되고, 각각 상기 제2 방향의 제2 폭을 갖는 제1 및 제2 메탈 라인, 상기 제1 게이트 구조체와 상기 제1 메탈 라인을 전기적으로 연결하고, 적어도 일부가 상기 소자 분리 영역과 오버랩되는 제1 게이트 컨택, 및 상기 제2 게이트 구조체와 상기 제2 메탈 라인을 전기적으로 연결하고, 적어도 일부가 상기 소자 분리 영역과 오버랩되는 제2 게이트 컨택을 포함하되, 상기 제1 폭을 상기 제1 간격과 상기 제2 폭을 합한 값으로 나눈 값이 6 이하이다.

[0007] 상기 과제를 해결하기 위한 본 발명의 기술적 사상에 따른 반도체 장치의 다른 몇몇 실시예는, 제1 액티브 영역, 제2 액티브 영역 및 상기 제1 액티브 영역과 상기 제2 액티브 영역 사이에 형성되는 소자 분리 영역을 포함하는 셀 영역, 상기 셀 영역 상에 제1 방향으로 연장되고, 상기 제1 방향과 교차하는 제2 방향으로 서로 이격되는 복수의 메탈 라인, 상기 복수의 메탈 라인과 교차하고, 상기 제2 방향으로 연장되는 게이트 구조체, 및 적어도 일부가 상기 소자 분리 영역과 오버랩되고, 상기 복수의 메탈 라인 중 적어도 하나와 상기 게이트 구조체를 전기적으로 연결하는 게이트 컨택을 포함하되, 상기 제1 액티브 영역, 상기 소자 분리 영역 및 상기 제2 액티브 영역 상에 상기 제2 방향으로 서로 이격되어 배치되는 상기 복수의 메탈 라인의 개수는 3개 또는 4개 중 어느 하나이다.

[0008] 상기 과제를 해결하기 위한 본 발명의 기술적 사상에 따른 반도체 장치의 또 다른 몇몇 실시예는, 제1 방향으로 연장되는 제1 및 제2 액티브 영역 및 상기 제1 액티브 영역과 상기 제2 액티브 영역 사이에 형성되는 소자 분리 영역을 포함하고, 상기 제1 방향과 교차하는 제2 방향의 제1 폭을 갖는 셀 영역, 상기 셀 영역 상에 상기 제1 방향으로 서로 이격되고, 상기 제2 방향으로 연장되는 제1 및 제2 게이트 구조체, 상기 제1 액티브 영역과 오버랩되고, 상기 제1 방향으로 연장되고, 상기 제2 방향의 제2 폭을 갖는 제1 메탈 라인, 적어도 일부가 상기 소자 분리 영역과 오버랩되고, 상기 제1 메탈 라인과 상기 제2 방향으로 제1 간격만큼 이격되고, 상기 제1 방향으로 연장되는 제2 메탈 라인, 적어도 일부가 상기 소자 분리 영역과 오버랩되고, 상기 제2 메탈 라인과 상기 제2 방향으로 제2 간격만큼 이격되고, 상기 제1 방향으로 연장되는 제3 메탈 라인, 상기 제2 액티브 영역과 오버랩되고, 상기 제3 메탈 라인과 상기 제2 방향으로 제3 간격만큼 이격되고, 상기 제1 방향으로 연장되는 제4 메탈 라인, 상기 제1 게이트 구조체와 상기 제2 메탈 라인을 전기적으로 연결하는 제1 게이트 컨택, 및 상기 제2 게이트 구조체와 상기 제3 메탈 라인을 전기적으로 연결하는 제2 게이트 컨택을 포함하되, 상기 제1 내지 제3 간격은 서로 동일하고, 상기 제1 폭을 상기 제1 간격과 상기 제2 폭을 합한 값으로 나눈 값이 6 이하이다.

[0009] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 기술적 사상에 따른 몇몇 실시예에 따른 반도체 장치의 레이아웃도이다.

도 2는 도 1의 레이아웃도의 제1 레벨 단계의 레이아웃을 도시한 레이아웃도이다.

도 3은 도 1의 레이아웃도의 제1 및 제2 레벨 단계의 레이아웃을 도시한 레이아웃도이다.

도 4는 도 1의 레이아웃도의 제3 레벨 단계의 레이아웃을 도시한 레이아웃도이다.

도 5는 도 2의 A-A 선을 따라 절단한 단면도이다.

도 6은 도 2의 B-B 선을 따라 절단한 단면도이다.

도 7은 본 발명의 기술적 사상에 따른 다른 몇몇 실시예에 따른 반도체 장치의 레이아웃도이다.

도 8은 본 발명의 기술적 사상에 따른 또 다른 몇몇 실시예에 따른 반도체 장치의 레이아웃도이다.
 도 9는 본 발명의 기술적 사상에 따른 또 다른 몇몇 실시예에 따른 반도체 장치의 레이아웃도이다.
 도 10은 본 발명의 기술적 사상에 따른 또 다른 몇몇 실시예에 따른 반도체 장치의 레이아웃도이다.
 도 11 및 도 12는 본 발명의 기술적 사상에 따른 또 다른 몇몇 실시예에 따른 반도체 장치의 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하에서, 도 1 내지 도 6을 참조하여 본 발명의 기술적 사상에 따른 몇몇 실시예에 따른 반도체 장치를 설명한다.
- [0012] 도 1은 본 발명의 기술적 사상에 따른 몇몇 실시예에 따른 반도체 장치의 레이아웃도이다. 도 2는 도 1의 레이아웃도의 제1 레벨 단계의 레이아웃을 도시한 레이아웃도이다. 도 3은 도 1의 레이아웃도의 제1 및 제2 레벨 단계의 레이아웃을 도시한 레이아웃도이다. 도 4는 도 1의 레이아웃도의 제3 레벨 단계의 레이아웃을 도시한 레이아웃도이다. 도 5는 도 2의 A-A 선을 따라 절단한 단면도이다. 도 6은 도 2의 B-B 선을 따라 절단한 단면도이다.
- [0013] 도 1 내지 도 6을 참조하면, 본 발명의 기술적 사상에 따른 몇몇 실시예에 따른 반도체 장치는, 셀 영역(CR), 제1 액티브 영역(AR1), 제2 액티브 영역(AR2), 소자 분리 영역(STI), 제1 내지 제4 게이트 구조체(G1~G4), 제1 내지 제4 핀형 패턴(F1~F4), 제1 내지 제4 메탈 라인(M1~M4), 제5 메탈 라인(M5), 제6 메탈 라인(M6), 제1 게이트 콘택(CB11), 제2 게이트 콘택(CB12), 소오스/드레인 영역(SDR), 제1 내지 제6 소오스/드레인 콘택(CA1~CA6)을 포함한다.
- [0014] 셀 영역(CR)은 제1 액티브 영역(AR1), 제2 액티브 영역(AR2) 및 소자 분리 영역(STI)을 포함할 수 있다.
- [0015] 구체적으로, 셀 영역(CR)은 제1 파워 레일 영역, 제1 파워 레일 영역과 제2 방향(Y)으로 인접한 제1 액티브 영역(AR1), 제1 액티브 영역(AR1)과 제2 방향(Y)으로 인접한 소자 분리 영역(STI), 소자 분리 영역(STI)과 제2 방향(Y)으로 인접한 제2 액티브 영역(AR2), 제2 액티브 영역(AR2)과 제2 방향으로 인접한 제2 파워 레일 영역을 포함할 수 있다.
- [0016] 이 경우, 제1 파워 레일 영역, 제1 액티브 영역(AR1), 소자 분리 영역(STI), 제2 액티브 영역(AR2) 및 제2 파워 레일 영역 각각은 제1 방향(X)을 연장되도록 형성될 수 있다.
- [0017] 셀 영역(CR)은 하나의 셀을 표현할 수 있다. 셀 영역(CR)은 제2 방향(Y)의 제1 폭(Hc)을 갖는다.
- [0018] 제1 파워 레일 영역, 제2 파워 레일 영역 및 소자 분리 영역(STI)에는 각각 제1 방향으로 연장되는 더미 핀형 패턴이 배치될 수 있다. 이 경우, 각각의 더미 핀형 패턴은 액티브로 이용되지 않는 핀형 패턴을 의미한다. 다만, 설명의 편의상 도 1 내지 도 3에는 더미 핀형 패턴이 생략된다.
- [0019] 제1 파워 레일 영역 및 제2 파워 레일 영역은 전체 셀 영역(CR)에 전원을 공급하는 역할을 수행할 수 있다. 예를 들어, 제1 파워 레일 영역은 양의 전원을 공급할 수 있고, 제2 파워 레일 영역 음의 전원을 공급할 수 있다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0020] 제1 액티브 영역(AR1)은 각각 제1 방향(X)으로 연장되고, 기판(도 5의 101)으로부터 제3 방향(Z)으로 돌출되어 형성되는 제1 핀형 패턴(F1) 및 제2 핀형 패턴(F2)을 포함할 수 있다. 제1 핀형 패턴(F1)은 제2 핀형 패턴(F2)과 제2 방향(Y)으로 이격되어 배치될 수 있다.
- [0021] 제2 액티브 영역(AR2)은 각각 제1 방향(X)으로 연장되고, 기판(도 5의 101)으로부터 제3 방향(Z)으로 돌출되어 형성되는 제3 핀형 패턴(F3) 및 제4 핀형 패턴(F4)을 포함할 수 있다. 제3 핀형 패턴(F3)은 제4 핀형 패턴(F4)과 제2 방향(Y)으로 이격되어 배치될 수 있다.
- [0022] 제1 내지 제4 게이트 구조체(G1, G2, G3, G4)는 셀 영역(CR) 상에 제1 방향(X)으로 순차적으로 이격되고, 각각 제2 방향(Y)으로 연장될 수 있다. 제1 내지 제4 게이트 구조체(G1, G2, G3, G4) 각각은 제1 내지 제4 핀형 패턴(F1, F2, F3, F4) 상에 제1 내지 제4 핀형 패턴(F1, F2, F3, F4) 각각과 교차하도록 배치될 수 있다.
- [0023] 도 5 및 도 6을 참조하면, 예를 들어, 제4 게이트 구조체(G4)는 제1 방향(X)으로 연장되고, 기판(101)으로부터 돌출된 제1 핀형 패턴(F1) 상에, 제1 핀형 패턴(F1)과 교차하도록 배치될 수 있다.
- [0024] 기판(101)은 예를 들어, 벌크 실리콘 또는 SOI(silicon-on-insulator)일 수 있다. 이와 달리, 기판(101)은 실

리콘 기관일 수도 있고, 또는 다른 물질, 예를 들어, 실리콘게르마늄, 안티몬화 인듐, 납 텔루르 화합물, 인듐 비소, 인듐 인화물, 갈륨 비소 또는 안티몬화 갈륨을 포함할 수 있다. 또는, 기관(101)은 베이스 기관 상에 에피층이 형성된 것일 수도 있다.

- [0025] 제4 게이트 구조체(G4)는 게이트 절연막(130) 및 게이트 전극(120)을 포함할 수 있다. 게이트 스페이서(140)는 제2 방향(Y)으로 연장된 제4 게이트 구조체(G4)의 양 측면 상에 배치될 수 있다.
- [0026] 게이트 절연막(130)은 제1 핀형 패턴(F1)과 게이트 전극(120) 사이에 배치될 수 있다. 게이트 절연막(130)은 도 6에 도시된 바와 같이, 제1 핀형 패턴(F1)의 상면과 측면 상에 배치될 수 있다. 또한, 게이트 절연막(130)은 게이트 전극(120)과 필드 절연막(110) 사이에 배치될 수 있다.
- [0027] 예를 들어, 게이트 절연막(130)은 도 5 및 도 6에 도시된 바와 같이, 계면막(131) 및 고유전율 절연막(132)을 포함할 수 있다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 즉, 다른 몇몇 실시예에서, 계면막(131)은 생략될 수 있다.
- [0028] 계면막(131)은 도 6에 도시된 바와 같이, 제1 핀형 패턴(F1)의 상면과 측면 상에 배치될 수 있다. 계면막(131)은 게이트 스페이서(140)의 측면을 따라 배치되지 않을 수 있다.
- [0029] 계면막(131)은 예를 들어, 실리콘 산화막을 포함할 수 있다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0030] 고유전율 절연막(132)은 게이트 전극(120)과 계면막(131) 사이에 배치될 수 있다. 또한, 고유전율 절연막(132)은 게이트 스페이서(140)와 게이트 전극(120) 사이에 배치될 수 있다. 즉, 고유전율 절연막(132)은 게이트 스페이서(140)의 측면을 따라 배치될 수 있다.
- [0031] 고유전율 절연막(132)은 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다. 예를 들어, 고유전체 물질은 하프늄 산화물(hafnium oxide), 하프늄 실리콘 산화물(hafnium silicon oxide), 란타넘 산화물(lanthanum oxide), 란타넘 알루미늄 산화물(lanthanum aluminum oxide), 지르코늄 산화물(zirconium oxide), 지르코늄 실리콘 산화물(zirconium silicon oxide), 탄탈륨 산화물(tantalum oxide), 티타늄 산화물(titanium oxide), 바륨 스트론튬 티타늄 산화물(barium strontium titanium oxide), 바륨 티타늄 산화물(barium titanium oxide), 스트론튬 티타늄 산화물(strontium titanium oxide), 이트륨 산화물(yttrium oxide), 알루미늄 산화물(Aluminum oxide), 납 스칸듐 탄탈륨 산화물(lead scandium tantalum oxide), 또는 납 아연 니오브산염(lead zinc niobate) 중에서 하나 이상을 포함할 수 있지만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0032] 상술한 바와 같이, 계면막(131)이 생략되는 경우, 고유전율 절연막(132)은 상술한 고유전체 물질뿐만 아니라, 실리콘 산화막, 실리콘 산질화막 또는 실리콘 질화막 등을 포함할 수도 있다.
- [0033] 게이트 전극(120)은 고유전율 절연막(132) 상에 배치될 수 있다. 게이트 전극(120)은 금속 예를 들어, W, Al 및 TiN 중 적어도 하나를 포함할 수 있다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 즉, 다른 몇몇 실시예에서, 게이트 전극(120)은 금속이 아닌, Si, SiGe 등을 포함할 수 있다.
- [0034] 소오스/드레인 영역(SDR)은 제4 게이트 구조체(G4)의 양 측에 배치될 수 있다. 소오스/드레인 영역(SDR)은 제1 핀형 패턴(F1) 내에 배치될 수 있다. 즉, 소오스/드레인 영역(SDR)은 제1 핀형 패턴(F1)을 일부 식각하고, 식각된 부분에 소오스/드레인 영역(SDR)이 형성될 수 있다.
- [0035] 소오스/드레인 영역(SDR)은 상승된(elevated) 소오스/드레인 영역일 수 있다. 따라서, 소오스/드레인 영역(SDR)의 상면은 제1 핀형 패턴(F1)의 상면보다 높을 수 있다.
- [0036] 반도체 장치가 PMOS 트랜지스터인 경우, 소오스/드레인 영역(SDR)은 압축 스트레스 물질을 포함할 수 있다. 예를 들어, 압축 스트레스 물질은 Si에 비해서 격자상수가 큰 물질일 수 있고, 예를 들어 SiGe일 수 있다. 압축 스트레스 물질은 제4 게이트 구조체(G4) 하부의 제1 핀형 패턴(F1), 즉 채널 영역에 압축 스트레스를 가하여 채널 영역의 캐리어의 이동도(mobility)를 향상시킬 수 있다.
- [0037] 반도체 장치가 NMOS 트랜지스터인 경우, 소오스/드레인 영역(SDR)은 기관(101)과 동일 물질 또는, 인장 스트레스 물질을 포함할 수 있다. 예를 들어, 기관(101)이 Si일 때, 소오스/드레인 영역(SDR)은 Si일 수 있다. 다만, 다른 몇몇 실시예에서, 소오스/드레인 영역(SDR)은 Si보다 격자 상수가 작은 물질(예를 들어, SiC, SiP)일 수 있다.

- [0038] 소오스/드레인 영역(SDR)은 에피택셜 성장(epitaxial growth)에 의해 형성될 수 있다.
- [0039] 소오스/드레인 영역(SDR) 상에는 도 5 및 도 6에는 도시되어 있지 않지만, 실리사이드막이 배치될 수 있다. 실리사이드막은 소오스/드레인 영역(SDR)의 상면을 따라 형성될 수 있다. 실리사이드막은 소오스/드레인 영역(SDR)이 소오스/드레인 컨택과 접할 때의 면 저항, 접촉 저항 등을 감소시키는 역할을 할 수 있으며, 도전 물질, 예를 들어, Pt, Ni, Co 등을 포함할 수 있다.
- [0040] 다만, 본 명세서에서 반도체 장치가 실리사이드막을 포함하는 것으로 설명하였지만, 다른 몇몇 실시예에서, 반도체 장치는 실리사이드막을 포함하지 않을 수 있다.
- [0041] 층간 절연막(150)은 게이트 스페이서(140)의 측면 및 소오스/드레인 영역(SDR)의 상면을 덮도록 배치될 수 있다. 후술하는 소오스/드레인 컨택들은 층간 절연막(150)을 관통하도록 배치되어 소오스/드레인 영역(SDR)과 전기적으로 연결될 수 있다.
- [0042] 상술한 내용은 제4 게이트 구조체(G4)에 대하여 설명하였지만, 제1 내지 제3 게이트 구조체(G1, G2, G3) 역시 제4 게이트 구조체(G4)와 동일한 구조를 갖는다.
- [0043] 도 1 및 도 4를 참조하면, 반도체 장치는 셀 영역(CR) 상에 각각이 제1 방향(X)으로 연장되고, 제2 방향(Y)을 서로 이격된 제1 내지 제6 메탈 라인(M11, M12, M13, M14, M5, M6)을 포함할 수 있다. 이 경우, 제1 내지 제6 메탈 라인(M11, M12, M13, M14, M5, M6) 각각은 금속 예를 들어, 구리(Cu), 알루미늄(Al), 금(Au), 은(Ag), 텅스텐(W), 티타늄(Ti), 티타늄질화물(TiN), 및 텅스텐 질화물(WN) 중 적어도 하나를 포함할 수 있다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0044] 제5 메탈 라인(M5)은 제1 방향(X)으로 연장되고, 제1 액티브 영역(AR1)과 제2 방향(Y)으로 이격되어, 셀 영역(CR)의 일 측 즉, 제1 파워 레일 영역 상에 배치될 수 있다.
- [0045] 제5 메탈 라인(M5)은 도 1 및 도 4에서 보는 바와 같이, 일부만 셀 영역(CR)과 오버랩될 수 있다. 셀 영역(CR)과 오버랩되지 않은 제5 메탈 라인(M5)의 다른 일부는 셀 영역(CR)과 인접한 다른 셀 영역과 오버랩될 수 있다. 이로 인해, 제5 메탈 라인(M5)은 셀 영역(CR)과 인접한 셀 영역 사이를 전기적으로 연결할 수 있다.
- [0046] 제6 메탈 라인(M6)은 제1 방향(X)으로 연장되고, 제2 액티브 영역(AR2)과 제2 방향(Y)으로 이격되어, 셀 영역(CR)의 타 측 즉, 제2 파워 레일 영역 상에 배치될 수 있다.
- [0047] 제6 메탈 라인(M6)은 도 1 및 도 4에서 보는 바와 같이, 일부만 셀 영역(CR)과 오버랩될 수 있다. 셀 영역(CR)과 오버랩되지 않은 제6 메탈 라인(M6)의 다른 일부는 셀 영역(CR)과 인접한 다른 셀 영역과 오버랩될 수 있다. 이로 인해, 제6 메탈 라인(M6)은 셀 영역(CR)과 인접한 셀 영역 사이를 전기적으로 연결할 수 있다.
- [0048] 제1 메탈 라인(M11)은 제1 액티브 영역(AR1) 상에 제1 방향(X)으로 연장되고, 제5 메탈 라인(M5)과 제2 방향(Y)으로 이격될 수 있다. 제1 메탈 라인(M11)은 제2 방향(Y)의 제2 폭(W1)을 가질 수 있다.
- [0049] 제2 메탈 라인(M12)은 소자 분리 영역(STI) 상에 제1 방향(X)으로 연장될 수 있다. 제2 메탈 라인(M12)의 일부는 도 1 및 도 4에 도시된 바와 같이, 일부가 제1 액티브 영역(AR1)과 오버랩될 수 있다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 즉, 다른 몇몇 실시예에서, 제2 메탈 라인(M12)은 소자 분리 영역(STI) 상에만 배치될 수 있다.
- [0050] 제2 메탈 라인(M12)은 제1 메탈 라인(M11)과 제2 방향(Y)으로 제1 간격(P1)만큼 이격될 수 있다. 제2 메탈 라인(M12)은 제2 방향(Y)의 제3 폭(W2)을 가질 수 있다.
- [0051] 제3 메탈 라인(M13)은 소자 분리 영역(STI) 상에 제1 방향(X)으로 연장될 수 있다. 제3 메탈 라인(M13)의 일부는 도 1 및 도 4에 도시된 바와 같이, 일부가 제2 액티브 영역(AR2)과 오버랩될 수 있다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 즉, 다른 몇몇 실시예에서, 제3 메탈 라인(M13)은 소자 분리 영역(STI) 상에만 배치될 수 있다.
- [0052] 제3 메탈 라인(M13)은 제2 메탈 라인(M12)과 제2 방향(Y)으로 제2 간격(P2)만큼 이격될 수 있다. 제3 메탈 라인(M13)은 제2 방향(Y)의 제4 폭(W3)을 가질 수 있다.
- [0053] 제4 메탈 라인(M14)은 제2 액티브 영역(AR2) 상에 제1 방향(X)으로 연장될 수 있다. 제4 메탈 라인(M14)은 제3 메탈 라인(M13)과 제2 방향(Y)으로 제3 간격(P3)만큼 이격될 수 있고, 제6 메탈 라인(M6)과 제2 방향(Y)으로 이격될 수 있다. 제4 메탈 라인(M14)은 제2 방향(Y)의 제5 폭(W4)을 가질 수 있다.

- [0054] 제1 메탈 라인(M11)의 제2 폭(W1)과, 제2 메탈 라인(M12)의 제3 폭(W2)과, 제3 메탈 라인(M13)의 제4 폭(W3)과, 제4 메탈 라인(M14)의 제5 폭(W4)은 서로 동일할 수 있다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 즉, 다른 몇몇 실시예에서, 제1 메탈 라인(M11)의 제2 폭(W1)과, 제2 메탈 라인(M12)의 제3 폭(W2)과, 제3 메탈 라인(M13)의 제4 폭(W3)과, 제4 메탈 라인(M14)의 제5 폭(W4) 중 적어도 하나는 다를 수 있다.
- [0055] 제1 메탈 라인(M11)과 제2 메탈 라인(M12) 사이의 제1 간격(P1)과, 제2 메탈 라인(M12)과 제3 메탈 라인(M13) 사이의 제2 간격(P2)과, 제3 메탈 라인(M13)과 제4 메탈 라인(M14) 사이의 제3 간격(P3)은 서로 동일할 수 있다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 즉, 다른 몇몇 실시예에서, 제1 메탈 라인(M11)과 제2 메탈 라인(M12) 사이의 제1 간격(P1)과, 제2 메탈 라인(M12)과 제3 메탈 라인(M13) 사이의 제2 간격(P2)과, 제3 메탈 라인(M13)과 제4 메탈 라인(M14) 사이의 제3 간격(P3) 중 적어도 하나는 다를 수 있다.
- [0056] 본 발명의 기술적 사상에 따른 몇몇 실시예에 따른 반도체 장치는, 셀 영역(CR)의 제2 방향(Y)의 제1 폭(Hc)과, 제1 내지 제4 메탈 라인(M11, M12, M13, M14)들 각각의 제2 방향(Y)의 폭(W1, W2, W3, W4)과, 제1 내지 제4 메탈 라인(M11, M12, M13, M14)들 사이의 제2 방향(Y)의 간격(P1, P2, P3)들의 상관관계에 의해 정의되는 셀 영역(CR)을 포함한다.
- [0057] 즉, 본 발명의 기술적 사상에 따른 몇몇 실시예에 따른 반도체 장치의 셀 영역(CR)은 예를 들어, 제1 폭(Hc)을 제1 폭(W1)과 제1 간격(P1)을 합한 값으로 나눈 값이 6 이하인 경우로 정의될 수 있다. 이 경우, 셀 영역(CR) 상에 배치되는 메탈 라인의 개수는 바람직하게 3개 또는 4개 중 어느 하나 일 수 있다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 즉, 다른 몇몇 실시예에서, 상술한 상관관계를 만족하는 경우, 셀 영역(CR) 상에 배치되는 메탈 라인의 개수는 달라질 수 있다.
- [0058] 도 1 및 도 3을 참조하면, 제1 내지 제3 소오스/드레인 컨택(CA1, CA2, CA3)은 서로 제1 방향으로 이격되어 제1 액티브 영역(AR1) 상에 배치될 수 있다. 제4 내지 제6 소오스/드레인 컨택(CA4, CA5, CA6)은 서로 제1 방향으로 이격되어 제2 액티브 영역(AR2) 상에 배치될 수 있다.
- [0059] 도 1 및 도 3에는 제1 내지 제3 소오스/드레인 컨택(CA1, CA2, CA3)이 제1 액티브 영역(AR1) 상에만 배치되고, 제4 내지 제6 소오스/드레인 컨택(CA4, CA5, CA6)이 제2 액티브 영역(AR2) 상에만 배치되는 것으로 도시되어 있지만, 이는 설명의 편의를 위한 것으로 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0060] 즉, 제1 내지 제6 소오스/드레인 컨택(CA1, CA2, CA3, CA4, CA5, CA6) 중 적어도 하나는 소자 분리 영역(STI) 상에도 배치되어 제2 메탈 라인(M12) 또는 제3 메탈 라인(M13)과 전기적으로 연결될 수 있다.
- [0061] 또한, 제1 내지 제6 소오스/드레인 컨택(CA1, CA2, CA3, CA4, CA5, CA6) 중 적어도 하나는 제1 파워 레일 영역 또는 제2 파워 레일 영역 상에도 배치되어 제5 메탈 라인(M5) 또는 제6 메탈 라인(M6)과 전기적으로 연결될 수 있다.
- [0062] 도 1 및 도 3을 참조하면, 제1 내지 제3 소오스/드레인 컨택(CA1, CA2, CA3)은 제1 액티브 영역(AR1)과 제1 메탈 라인(M11)을 전기적으로 연결할 수 있다. 또한, 제4 내지 제6 소오스/드레인 컨택(CA4, CA5, CA6)은 제2 액티브 영역(AR2)과 제4 메탈 라인(M14)을 전기적으로 연결할 수 있다.
- [0063] 제1 게이트 컨택(CB11)의 적어도 일부는 소자 분리 영역(STI)과 오버랩될 수 있다. 몇몇 실시예에서, 제1 게이트 컨택(CB1)은 소자 분리 영역(STI)과만 오버랩될 수 있다. 즉, 제1 액티브 영역(AR1)과 인접한 제1 게이트 컨택(CB1)의 가장자리는 제1 액티브 영역(AR1)과 소자 분리 영역(STI) 사이의 경계선(B1) 상에 형성될 수 있다.
- [0064] 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 즉, 다른 몇몇 실시예에서, 제1 게이트 컨택(CB1)의 일부는 제1 액티브 영역(AR1)과 오버랩될 수 있다.
- [0065] 제1 게이트 컨택(CB11)은 제3 게이트 구조체(G3)와 제2 메탈 라인(M12)을 전기적으로 연결할 수 있다.
- [0066] 제2 게이트 컨택(CB12)의 적어도 일부는 소자 분리 영역(STI)과 오버랩될 수 있다. 몇몇 실시예에서, 제2 게이트 컨택(CB2)은 소자 분리 영역(STI)과만 오버랩될 수 있다. 즉, 제2 액티브 영역(AR2)과 인접한 제2 게이트 컨택(CB2)의 가장자리는 제2 액티브 영역(AR2)과 소자 분리 영역(STI) 사이의 경계선(B2) 상에 형성될 수 있다.
- [0067] 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 즉, 다른 몇몇 실시예에서, 제2 게이트 컨택(CB2)의 일부는 제2 액티브 영역(AR2)과 오버랩될 수 있다.

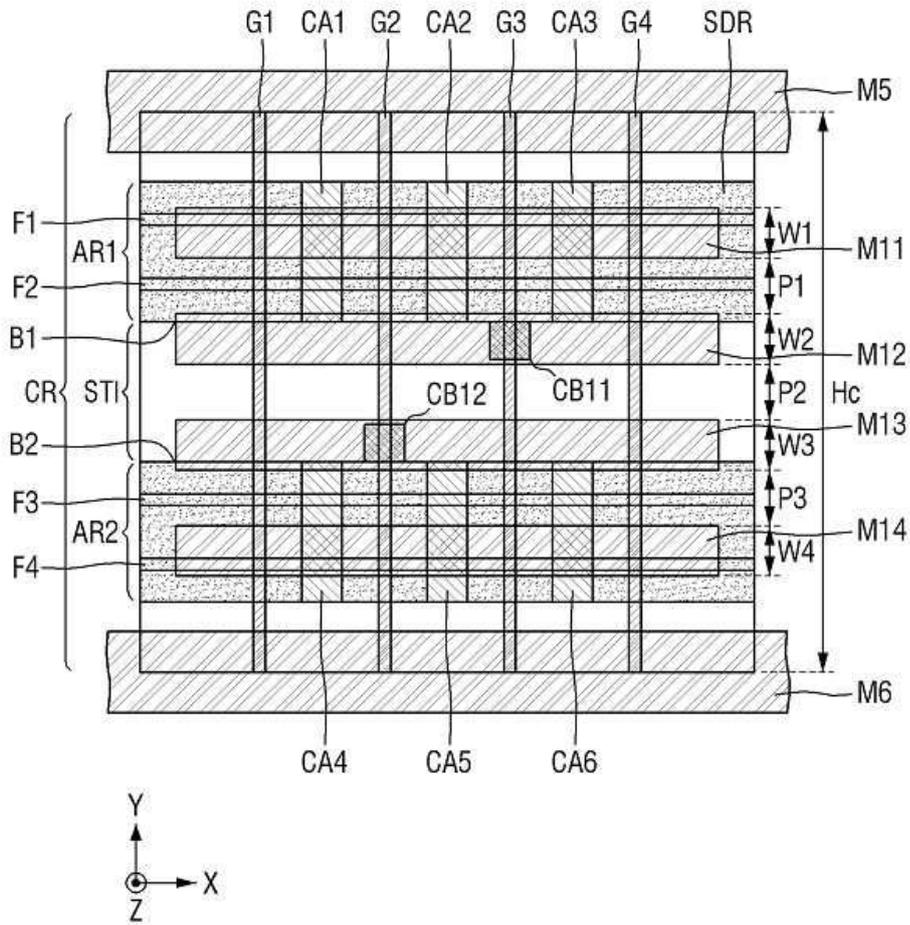
- [0068] 제2 게이트 콘택(CB2)은 제2 게이트 구조체(G2)와 제3 메탈 라인(M13)을 전기적으로 연결할 수 있다.
- [0069] 제1 내지 제6 소오스/드레인 콘택(CA1, CA2, CA3, CA4, CA5, CA6)과 제1 및 제2 게이트 콘택(CB1, CB2)은 도전 물질 예를 들어, W, Al Cu 등을 포함할 수 있지만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다.
- [0070] 본 발명의 기술적 사상에 따른 몇몇 실시예에 따른 반도체 장치는, 제1 게이트 콘택(CB1)의 적어도 일부 및 제2 게이트 콘택(CB2)의 적어도 일부를 각각 소자 분리 영역(STI) 상에 배치함으로써, 제1 및 제2 게이트 콘택(CB1, CB2)과 제1 내지 제6 소오스/드레인 콘택(CA1, CA2, CA3, CA4, CA5, CA6) 사이를 효과적으로 분리시킬 수 있다.
- [0071] 즉, 제1 내지 제6 소오스/드레인 콘택(CA1, CA2, CA3, CA4, CA5, CA6) 각각과 인접하게 배치되는 제1 및 제2 게이트 콘택(CB1, CB2)을 최소화시킴으로써 소오스/드레인 콘택과 게이트 콘택을 분리시키기 위한 공정의 난이도를 감소시킬 수 있다.
- [0072] 이하에서, 도 7을 참조하여 본 발명의 기술적 사상에 따른 다른 몇몇 실시예에 따른 반도체 장치를 설명한다. 도 1에 도시된 반도체 장치와의 차이점을 중심으로 설명한다.
- [0073] 도 7은 본 발명의 기술적 사상에 따른 다른 몇몇 실시예에 따른 반도체 장치의 레이아웃도이다.
- [0074] 도 7을 참조하면, 본 발명의 기술적 사상에 따른 몇몇 실시예에 따른 반도체 장치에서, 제1 게이트 콘택(CB21)의 일부는 제1 액티브 영역(AR1)과 오버랩되고, 제2 게이트 콘택(CB12)은 소자 분리 영역(STI)과만 오버랩된다.
- [0075] 이 경우에도 제1 게이트 콘택(CB21)과 제2 소오스/드레인 콘택(CA2) 및 제3 소오스/드레인 콘택(CA3) 사이를 효과적으로 분리시킬 수 있어 공정 상의 난이도를 감소시킬 수 있다.
- [0076] 도 7에 도시된 실시예와 달리, 다른 몇몇 실시예에서, 제2 게이트 콘택(CB12)의 일부가 제2 액티브 영역(AR2)과 오버랩되고, 제1 게이트 콘택(CB21)은 소자 분리 영역(STI)과만 오버랩될 수도 있다.
- [0077] 이하에서, 도 8을 참조하여 본 발명의 기술적 사상에 따른 또 다른 몇몇 실시예에 따른 반도체 장치를 설명한다. 도 1에 도시된 반도체 장치와의 차이점을 중심으로 설명한다.
- [0078] 도 8은 본 발명의 기술적 사상에 따른 또 다른 몇몇 실시예에 따른 반도체 장치의 레이아웃도이다.
- [0079] 도 8을 참조하면, 본 발명의 기술적 사상에 따른 몇몇 실시예에 따른 반도체 장치에서, 제1 게이트 콘택(CB21)의 일부는 제1 액티브 영역(AR1)과 오버랩되고, 제2 게이트 콘택(CB22)의 일부는 제2 액티브 영역(AR2)과 오버랩된다.
- [0080] 이 경우에도 제1 게이트 콘택(CB21)과 제2 소오스/드레인 콘택(CA2) 및 제3 소오스/드레인 콘택(CA3) 사이와, 제2 게이트 콘택(CB22)과 제4 소오스/드레인 콘택(CA4) 및 제5 소오스/드레인 콘택(CA5) 사이를 효과적으로 분리시킬 수 있어 공정 상의 난이도를 감소시킬 수 있다.
- [0081] 이하에서, 도 9를 참조하여 본 발명의 기술적 사상에 따른 또 다른 몇몇 실시예에 따른 반도체 장치를 설명한다. 도 1에 도시된 반도체 장치와의 차이점을 중심으로 설명한다.
- [0082] 도 9는 본 발명의 기술적 사상에 따른 또 다른 몇몇 실시예에 따른 반도체 장치의 레이아웃도이다.
- [0083] 도 9를 참조하면, 본 발명의 기술적 사상에 따른 몇몇 실시예에 따른 반도체 장치에서, 제1 내지 제4 메탈 라인들 중 적어도 하나의 제2 방향(Y)의 폭이 나머지 메탈 라인들의 제2 방향(Y)의 폭과 다르다.
- [0084] 또한, 제1 내지 제4 메탈 라인들 사이의 제2 방향(Y)의 간격들 중 적어도 하나는 나머지 메탈 라인들 사이의 제2 방향(Y)의 간격과 다르다.
- [0085] 예를 들어, 도 9를 참조하면, 제3 메탈 라인(M23)의 제2 방향(Y)의 제6 폭(W5)이 다른 메탈 라인들(M11, M12, M14)의 각각의 폭(W1, W2, W4)보다 작다. 또한, 제2 메탈 라인(M12)과 제3 메탈 라인(M23) 사이의 제2 방향(Y)의 제4 간격(P4) 및 제3 메탈 라인(M23)과 제4 메탈 라인(M14) 사이의 제2 방향(Y)의 제5 간격(P5) 각각은 제1 간격(P1)보다 크다.
- [0086] 다만, 이는 예시적인 것으로, 다른 몇몇 실시예에서, 도 9에 도시된 것과 달리, 제3 메탈 라인(M23)의 제2 방향(Y)의 제6 폭(W5)이 다른 메탈 라인들(M11, M12, M14)의 각각의 폭(W1, W2, W4)보다 클 수도 있다.
- [0087] 또한, 다른 몇몇 실시예에서, 제3 메탈 라인(M23) 이외의 다른 메탈 라인의 제2 방향(Y)의 폭이 나머지 메탈 라

인의 제2 방향(Y)의 폭과 다를 수도 있다.

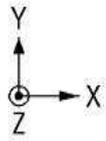
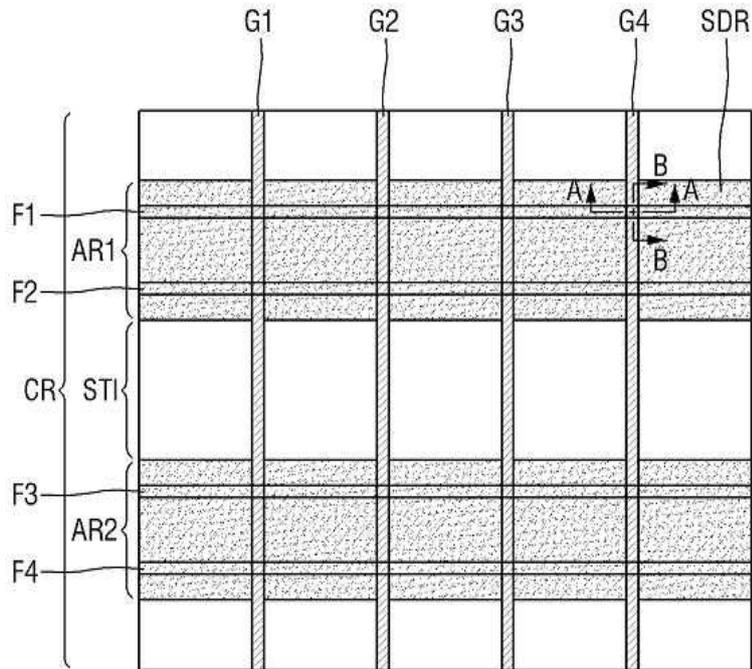
- [0088] 이하에서, 도 10을 참조하여 본 발명의 기술적 사상에 따른 또 다른 몇몇 실시예에 따른 반도체 장치를 설명한다. 도 1에 도시된 반도체 장치와의 차이점을 중심으로 설명한다.
- [0089] 도 10은 본 발명의 기술적 사상에 따른 또 다른 몇몇 실시예에 따른 반도체 장치의 레이아웃도이다.
- [0090] 도 10을 참조하면, 본 발명의 기술적 사상에 따른 몇몇 실시예에 따른 반도체 장치에서, 제1 액티브 영역(AR1), 소자 분리 영역(STI) 및 제2 액티브 영역(AR2) 상에 3개의 메탈 라인이 배치된다.
- [0091] 예를 들어, 제1 메탈 라인(M31)은 제1 액티브 영역(AR1) 상에 배치되고, 제2 메탈 라인(M32)은 소자 분리 영역(STI) 상에 배치되고, 제3 메탈 라인(M33)은 제2 액티브 영역(AR2) 상에 배치된다.
- [0092] 이 경우, 제1 메탈 라인(M31)은 제7 폭(W6)을 갖고, 제2 메탈 라인(M32)은 제8 폭(W7)을 갖고, 제3 메탈 라인(M33)은 제9 폭(W8)을 갖고, 제7 내지 제9 폭(W6, W7, W8)은 서로 동일할 수 있다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 즉, 다른 몇몇 실시예에서, 제7 내지 제9 폭(W6, W7, W8) 중 어느 하나는 다른 폭들과 다를 수 있다.
- [0093] 제1 메탈 라인(M31)과 제2 메탈 라인(M32) 사이의 제2 방향(Y)의 제6 간격(P6)은 제2 메탈 라인(M32)과 제3 메탈 라인(M33) 사이의 제2 방향(Y)의 제7 간격(P7)과 동일할 수 있다.
- [0094] 제1 게이트 콘택(CB31)은 제3 게이트 구조체(G3)와 제2 메탈 라인(M32)을 전기적으로 연결하고, 제2 게이트 콘택(CB32)은 제2 게이트 구조체(G2)와 제2 메탈 라인(M32)을 전기적으로 연결한다.
- [0095] 이하에서, 도 11 및 도 12를 참조하여 본 발명의 기술적 사상에 따른 또 다른 몇몇 실시예에 따른 반도체 장치를 설명한다. 도 1에 도시된 반도체 장치와의 차이점을 중심으로 설명한다.
- [0096] 도 11 및 도 12는 본 발명의 기술적 사상에 따른 또 다른 몇몇 실시예에 따른 반도체 장치의 단면도들이다.
- [0097] 도 11 및 도 12를 참조하면, 본 발명의 기술적 사상에 따른 몇몇 실시예에 따른 반도체 장치는 각각의 게이트 구조체가 수직으로 적층된 복수의 나노 와이어를 포함한다.
- [0098] 예를 들어, 제4 게이트 구조체(G4)는 게이트 절연막(230), 게이트 전극(220), 제1 나노 와이어(261) 및 제2 나노 와이어(262)를 포함할 수 있다.
- [0099] 제4 게이트 구조체(G4)는 기판(201) 상에 제1 나노 와이어(261)가 적층되고, 제1 나노 와이어(261) 상에 제2 나노 와이어(262)가 적층된다. 도 11 및 도 12에는 2개의 나노 와이어(261, 262)가 적층되는 것을 도시하고 있지만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 즉, 다른 몇몇 실시예에서 기판(201)의 제1 편형 패턴(F1) 상에 1개 또는 3개 이상의 나노 와이어가 적층될 수 있다.
- [0100] 제1 나노 와이어(261)는 기판(201) 상에 제1 방향(X)으로 연장되고, 기판(201)과 이격되어 배치될 수 있다. 구체적으로, 제1 나노 와이어(261)는 제1 편형 패턴(F1) 상에 제1 편형 패턴(F1)과 이격되어 배치될 수 있다. 제1 나노 와이어(261)는 제1 편형 패턴(F1)과 오버랩될 수 있다. 제1 나노 와이어(261)는 필드 절연막(210) 상에 배치되는 것이 아니라, 제1 편형 패턴(F1) 상에 배치될 수 있다.
- [0101] 제2 나노 와이어(262)는 제1 나노 와이어(261) 상에 제1 방향(X)으로 연장되고, 제1 나노 와이어(261) 이격되어 배치될 수 있다. 제2 나노 와이어(262)는 제1 편형 패턴(F1)과 오버랩될 수 있다. 제2 나노 와이어(262)는 필드 절연막(210) 상에 형성되는 것이 아니라, 제1 편형 패턴(F1) 상에 배치될 수 있다.
- [0102] 게이트 전극(220)은 필드 절연막(210)과 제1 편형 패턴(F1) 상에 배치될 수 있다. 게이트 전극(220)은 제2 방향(Y)으로 연장될 수 있다.
- [0103] 게이트 전극(220)은 제1 편형 패턴(F1)의 상면과 이격되어 형성되는 제1 나노 와이어(261)의 둘레를 감싸도록 형성될 수 있다. 게이트 전극(220)은 제1 나노 와이어(261)와 제1 편형 패턴(F1) 사이의 이격된 공간에도 배치될 수 있다.
- [0104] 게이트 전극(220)은 제2 나노 와이어(262)의 둘레를 감싸도록 배치될 수 있다. 게이트 전극(220)은 제1 나노 와이어(261)와 제2 나노 와이어(262) 사이의 이격된 공간에도 배치될 수 있다.
- [0105] 외부 스페이서(241)는 제2 방향(Y)으로 연장된 게이트 전극(220)의 양 측면 상에 형성될 수 있다. 내부 스페이서(242)는 제1 나노 와이어(261)의 양 측에 서로 마주보도록 배치될 수 있다. 또한, 내부 스페이서(242)는 제2

도면

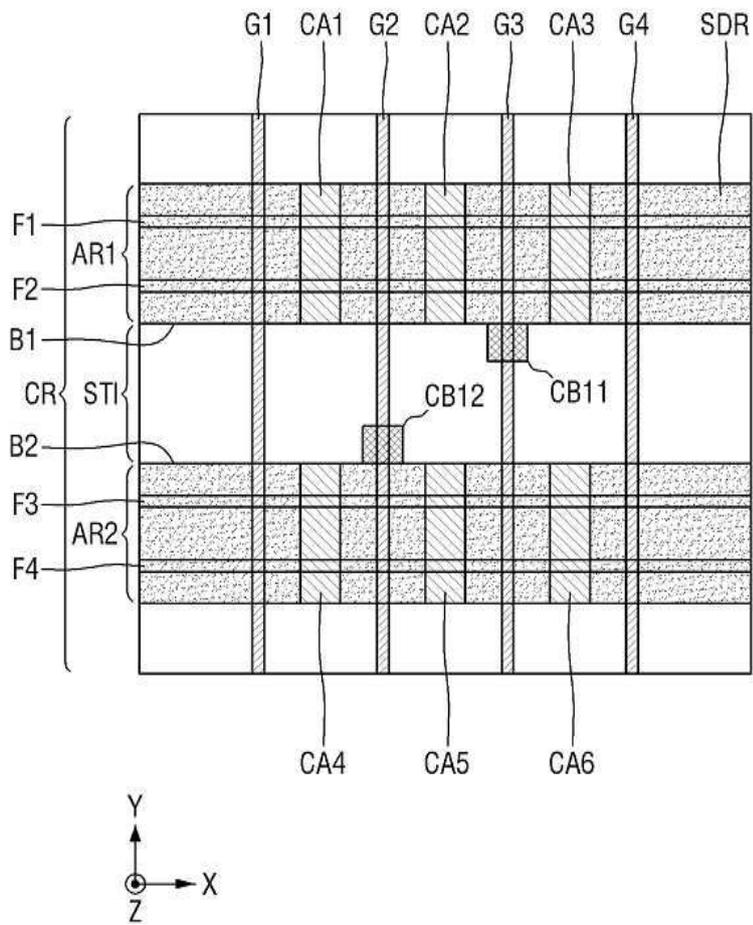
도면1



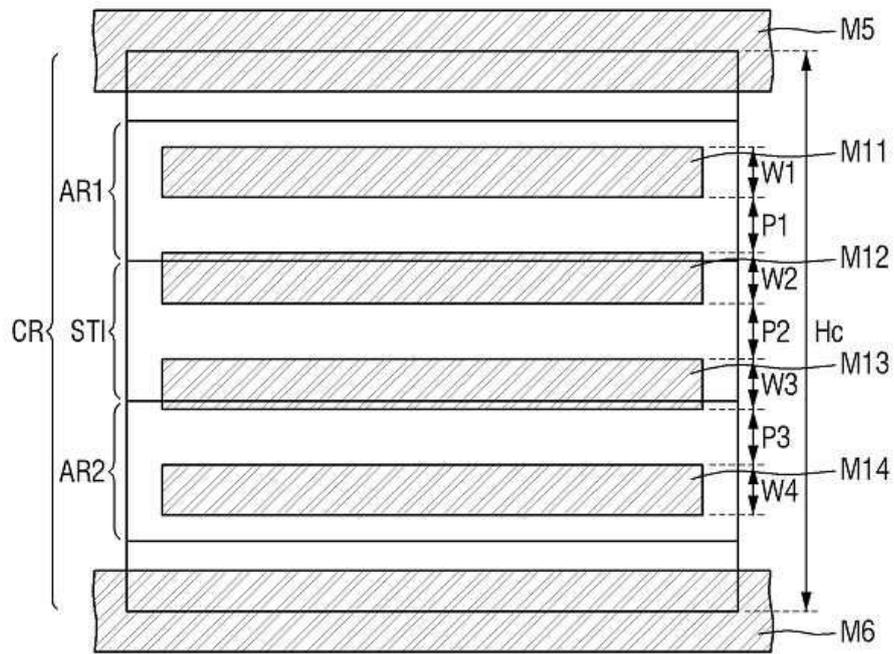
도면2



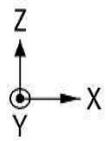
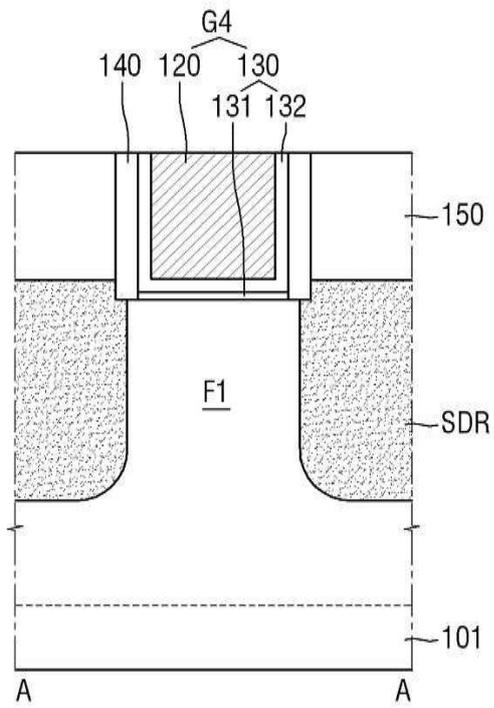
도면3



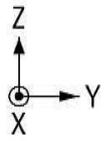
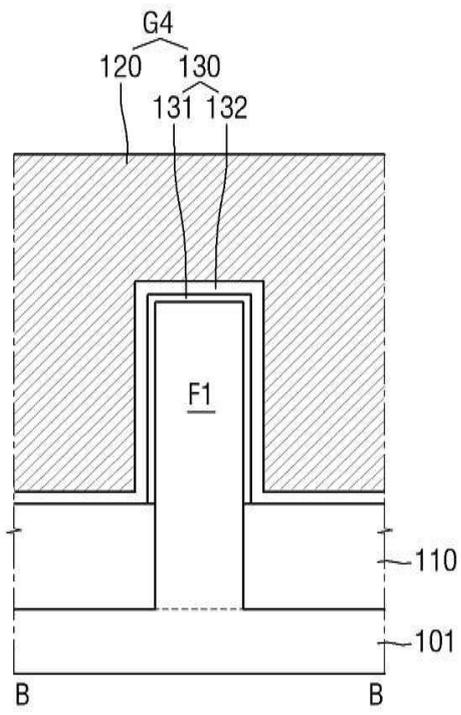
도면4



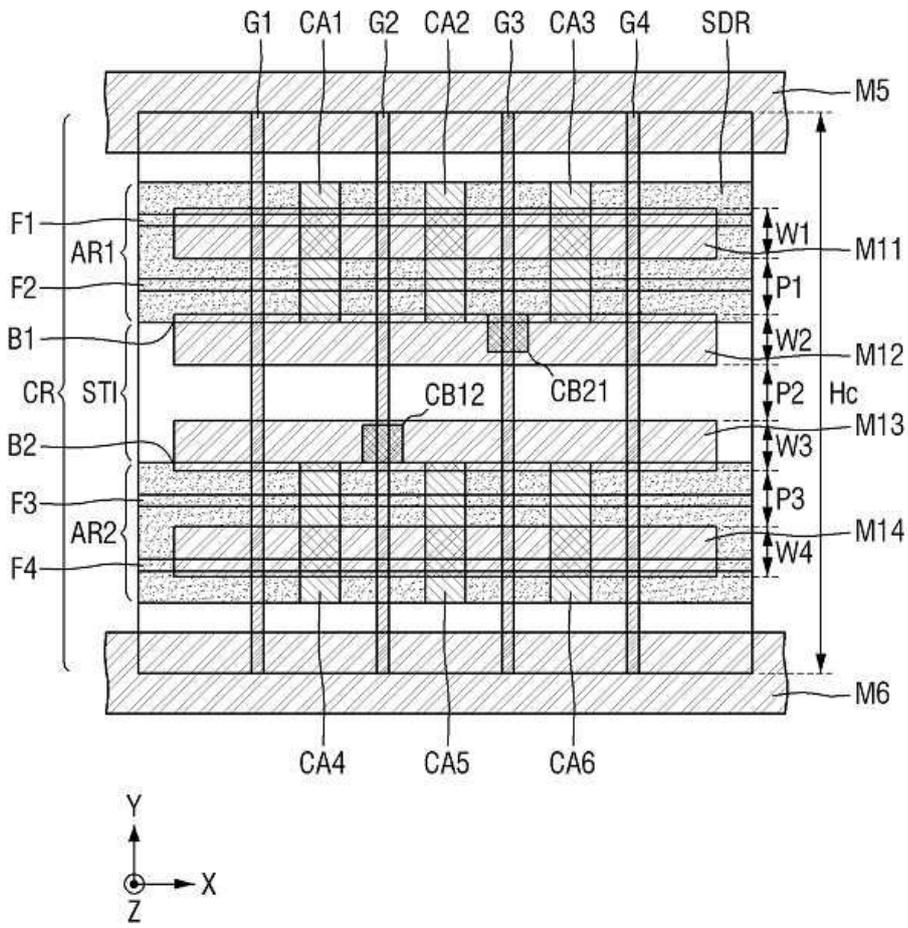
도면5



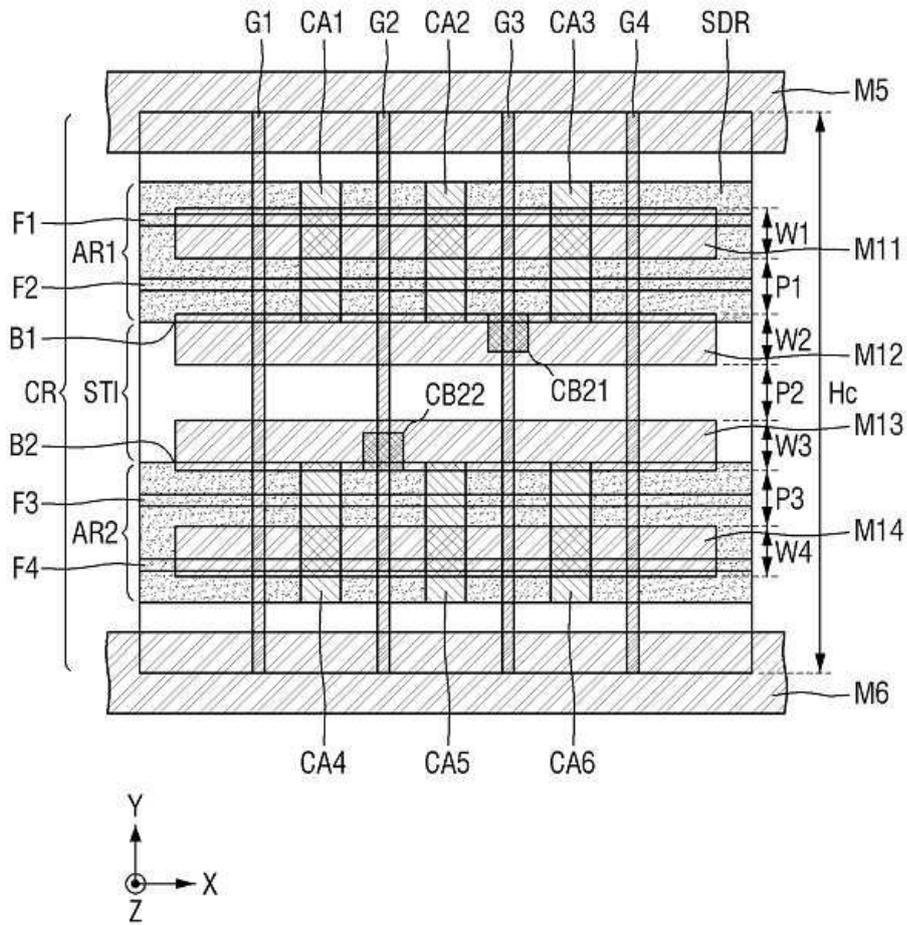
도면6



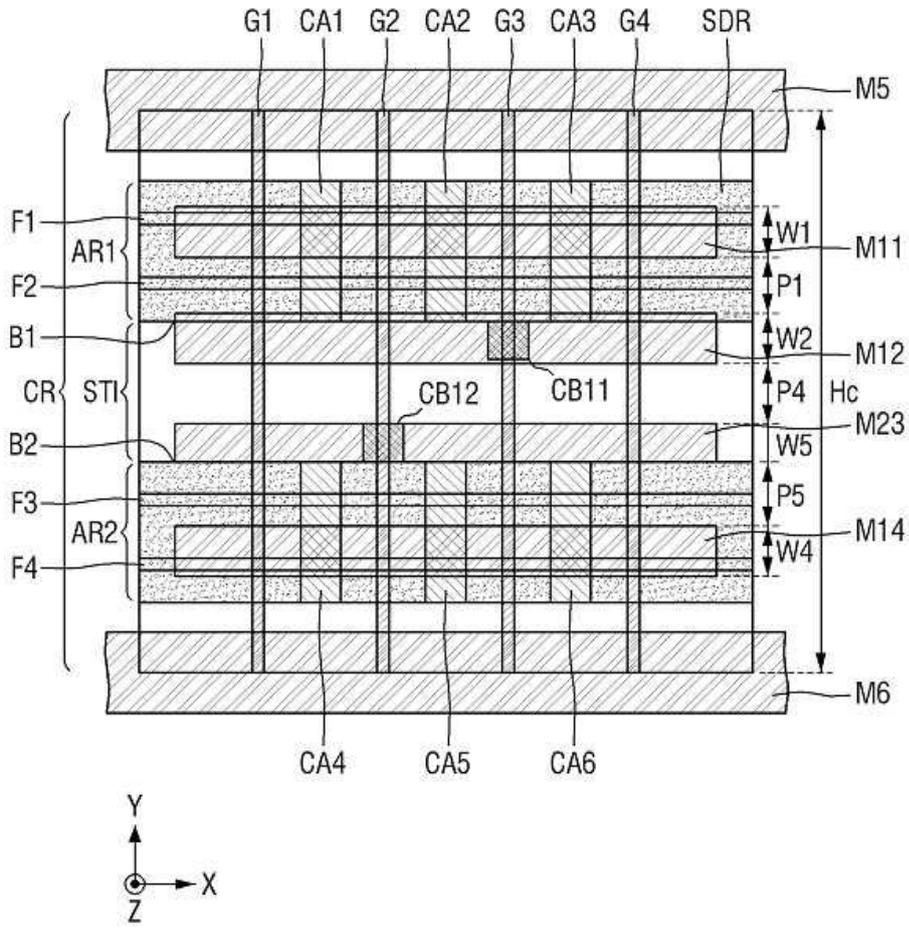
도면7



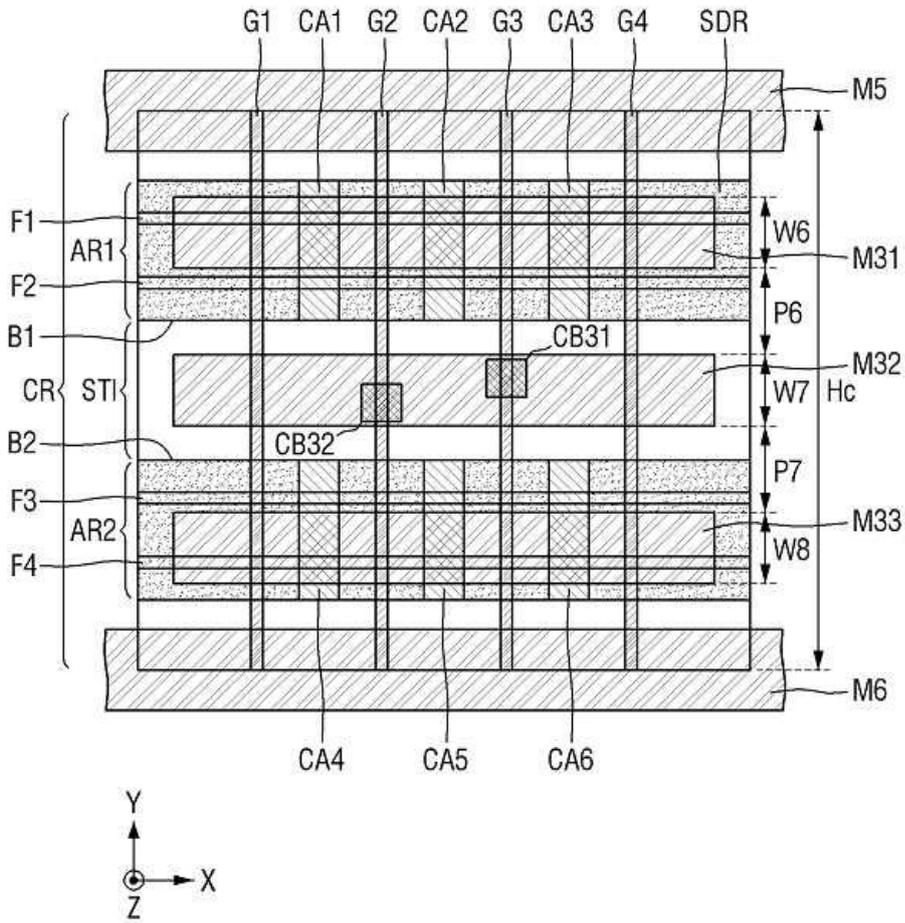
도면8



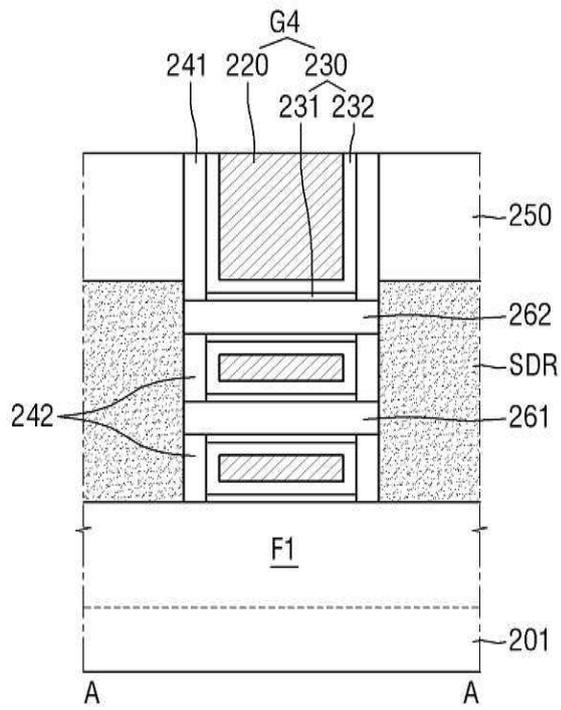
도면9



도면10



도면11



도면12

