



(12)发明专利

(10)授权公告号 CN 107113003 B

(45)授权公告日 2019.04.19

(21)申请号 201480083935.9

安基仲

(22)申请日 2014.10.23

(74)专利代理机构 北京市金杜律师事务所

(65)同一申请的已公布的文献号

11256

申请公布号 CN 107113003 A

代理人 王茂华 罗利娜

(43)申请公布日 2017.08.29

(51)Int.Cl.

(85)PCT国际申请进入国家阶段日

H03M 1/38(2006.01)

2017.06.08

(56)对比文件

(86)PCT国际申请的申请数据

CN 101662283 A,2010.03.03,

PCT/CN2014/089275 2014.10.23

CN 102158231 A,2011.08.17,

(87)PCT国际申请的公布数据

CN 102355266 A,2012.02.15,

W02016/061784 EN 2016.04.28

US 2013/0135126 A1,2013.05.30,

(73)专利权人 美国莱迪思半导体公司

审查员 孔昕

地址 美国俄勒冈州

(72)发明人 罗可欣 林晓志 彭国福 沈煜

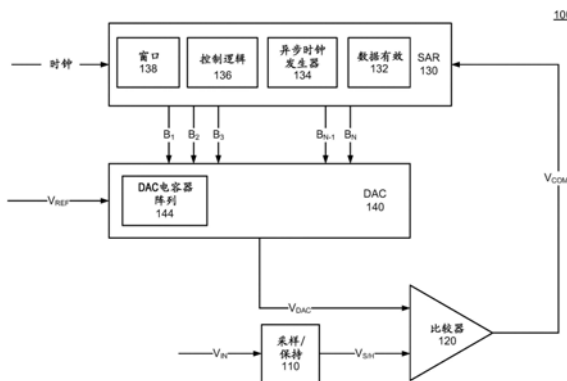
权利要求书2页 说明书12页 附图11页

(54)发明名称

基于逐次逼近寄存器的模数转换器

(57)摘要

提供了一种基于逐次逼近寄存器(SAR)的模数转换器(ADC),其通过在锁存时间由时钟信号锁存比较器输出之前向数模转换器(DAC)馈送比较器输出信号以开始DAC电容器稳定,来增加了被分配用于DAC电容器网络中的电容器的稳定的时间帧。SAR ADC(100)可以包括在比较器(120)的锁存时间之前从比较器(120)直接向DAC(140)提供比较器输出的窗口电路(138)。在锁存时间之后,比较器输出的锁存版本被提供给DAC电容器(144)。通过在锁存之前向DAC电容器(144)提供电容器输出,与其中DAC比较器(144)稳定在比较器(120)的锁存时间之后开始的SAR DAC(100)相比,DAC电容器(144)可以更早地稳定。



1. 一种基于逐次逼近寄存器 (SAR) 的模数转换器 (ADC) 电路, 包括:

比较器, 包括用于接收输入电压信号的第一输入和用于接收表示参考电压信号的信号的第二输入, 所述比较器被配置为在第一比较周期期间生成表示所述输入电压信号与所述参考信号之间的差异的比较器输出信号;

控制逻辑, 包括耦合到所述比较器以接收所述比较器输出信号的第一输入和用于接收时钟信号的第二输入, 所述控制逻辑被配置为在由所述时钟信号的切换定义的锁存时间生成表示所述比较器输出信号的控制输出信号; 以及

数模转换器 (DAC) 电容器阵列, 耦合到所述比较器, 所述DAC电容器阵列被配置为在所述锁存时间之前从所述比较器接收所述比较器输出信号以生成所述输入电压信号的近似。

2. 根据权利要求1所述的电路, 其中所述比较器输出信号在所述第一比较周期期间在所述比较器被复位之前从所述比较器被提供给所述DAC电容器阵列。

3. 根据权利要求1所述的电路, 还包括耦合在所述控制逻辑与所述DAC电容器阵列之间的窗口电路, 所述窗口电路包括被配置为在所述锁存时间之前向所述DAC电容器阵列提供所述比较器输出信号的第一传输门以及被配置为在所述锁存时间之后向所述DAC电容器阵列提供所述比较器输出信号的第二传输门。

4. 根据权利要求1所述的电路, 其中所述第一比较周期由不同于所述时钟信号的第二时钟信号定义。

5. 根据权利要求1所述的电路, 其中所述控制逻辑还包括被配置为生成表示所述比较器的活动模式的有效信号的数据有效电路。

6. 根据权利要求1所述的电路, 其中所述控制逻辑还被配置为生成所述输入电压信号的数字近似的比特值。

7. 根据权利要求1所述的电路, 其中所述比较器还被配置为生成所述比较器输出信号, 所述控制逻辑还被配置为生成所述控制输出信号, 并且所述DAC电容器阵列还被配置为针对数目为N的比较周期生成所述输入电压信号的近似, 其中N是大于1的整数。

8. 根据权利要求7所述的电路, 其中所述控制逻辑还包括异步时钟发生器, 所述异步时钟发生器被配置为生成被用于所述比较器输出信号的锁存的数目为N的异步时钟信号, 所述N个异步时钟信号中的第一异步时钟信号被用于在所述第一比较周期期间对所述比较器输出信号的锁存, 所述N个异步时钟信号中的第二异步时钟信号被用于在第二比较周期期间对所述比较器输出信号的锁存, 并且所述N个异步时钟信号中的第N异步时钟信号被用于在第N比较周期期间对所述比较器输出信号的锁存。

9. 根据权利要求8所述的电路, 其中所述异步时钟发生器还被配置为生成被用于向所述DAC电容器阵列提供所述比较器输出信号的数目为N的窗口脉冲, 所述N个窗口脉冲中的第一窗口脉冲被用于在所述第一比较周期期间提供所述比较器输出信号, 所述N个窗口脉冲中的第二窗口脉冲被用于在所述第二比较周期期间提供所述比较器输出信号, 并且所述N个窗口脉冲中的第N窗口脉冲被用于在所述第N比较周期期间提供所述比较器输出信号。

10. 一种模数转换的方法, 包括:

由比较器在第一比较周期期间生成表示输入电压信号与表示参考电压信号的信号之间的差异的比较器输出信号;

由控制逻辑在由时钟信号的切换定义的锁存时间生成表示所述比较器输出信号的控

制输出信号;以及

由数模(DAC)电容器阵列响应于在所述锁存时间之前接收到所述比较器输出信号来生成所述输入电压信号的近似。

11.根据权利要求10所述的方法,其中所述输入电压信号的所述近似响应于所述DAC电容器阵列在所述第一比较周期期间在所述比较器被复位之前从所述比较器接收到所述比较器输出信号而被生成。

12.根据权利要求10所述的方法,其中所述输入电压信号的所述近似响应于所述DAC电容器阵列在所述锁存时间之前从所述比较器接收到所述比较器输出信号以及响应于所述DAC电容器阵列在所述锁存时间之后接收到所述控制输出信号(Bi)而被生成。

13.根据权利要求10所述的方法,其中所述第一比较周期由不同于所述时钟信号的第二时钟信号定义。

14.根据权利要求10所述的方法,还包括由所述控制逻辑生成表示所述比较器的活动模式的有效信号。

15.根据权利要求10所述的方法,还包括由所述控制逻辑生成所述输入电压信号的数字近似的比特值。

16.根据权利要求10所述的方法,其中针对数目为N的比较周期,所述比较器输出信号、所述控制输出信号和所述输入电压信号的所述近似中的每一个被生成,其中N是大于1的整数。

17.根据权利要求10所述的方法,还包括由所述控制逻辑生成被用于所述比较器输出信号的锁存的数目为N的异步时钟信号,所述N个异步时钟信号中的第一异步时钟信号被用于在所述第一比较周期期间对所述比较器输出信号的锁存,所述N个异步时钟信号中的第二异步时钟信号被用于在第二比较周期期间对所述比较器输出信号的锁存,并且所述N个异步时钟信号中的第N异步时钟信号被用于在第N比较周期期间对所述比较器输出信号的锁存。

18.根据权利要求10所述的方法,还包括由所述控制逻辑生成被用于向所述DAC电容器阵列提供所述比较器输出信号的数目为N的窗口脉冲,所述N个窗口脉冲中的第一窗口脉冲被用于在所述第一比较周期期间提供所述比较器输出信号,所述N个窗口脉冲中的第二窗口脉冲被用于在第二比较周期期间提供所述比较器输出信号,并且所述N个窗口脉冲中的第N窗口脉冲被用于在所述第N比较周期期间提供所述比较器输出信号。

基于逐次逼近寄存器的模数转换器

技术领域

[0001] 本公开涉及模数转换器(ADC),具体涉及基于逐次逼近寄存器(successive approximation register,SAR)的ADC。

背景技术

[0002] 基于逐次逼近寄存器(SAR)的模数转换器(ADC) SAR ADC需要若干次比较周期来完成一个采样模拟信号到数字值的转换,并且因此具有有限的操作速度。由于低功耗,SAR架构广泛应用于采样频率小于几个MSamples/s(MS/s)的低功耗和低速应用中。近年来,SAR ADC已经实现了具有5位到10位分辨率的几十MS/s到低GS/s的采样率,这是部分由于互补金属氧化物半导体(CMOS)的特征尺寸缩小。

[0003] 随着采样频率的增加,SAR ADC已经减少了用于数模转换器(DAC)电容器网络稳定的时间量。例如,在考虑采样稳定时间、比较器活动时间和SAR逻辑延迟时间之后,典型的10位100MS/s SAR ADC在每个采样周期中有小于0.4ns用于DAC电容器网络稳定。由于先进CMOS工艺的使用而导致的增大的互连线路阻抗也可以降低SAR ADC中的电容器的电荷传输,从而防止SAR ADC以更高的采样速度运行。

发明内容

[0004] 实施例涉及一种基于逐次逼近寄存器(SAR)的模数转换器(ADC),其可以增加被分配用于数模转换器(DAC)电容器网络中的电容器的稳定的时间帧。

[0005] 在一个实施例中,ADC可以包括比较器,该比较器包括用于接收输入电压信号的第一输入和用于接收表示参考电压信号的信号的第二输入。比较器可以在第一比较周期期间生成表示输入电压信号与参考信号之间的差异的比较器输出信号。ADC还可以包括控制逻辑,控制逻辑包括耦合到比较器以接收比较器输出信号的第一输入和用于接收时钟信号的第二输入。控制逻辑可以在由时钟信号的切换定义的锁存时间生成表示比较器输出信号的控制输出信号。ADC还可以包括耦合到比较器的DAC电容器阵列。DAC电容器阵列可以在锁存时间之前从比较器接收比较器输出信号,并且可以生成输入电压信号的近似。

[0006] 在一个实施例中,比较器输出信号可以在第一比较周期期间在比较器被复位之前从比较器被提供给DAC电容器阵列。

[0007] 在一个实施例中,ADC还可以包括耦合在控制逻辑与DAC电容器阵列之间的窗口电路。窗口电路可以包括第一传输门,该第一传输门可以在锁存时间之前向DAC电容器阵列提供比较器输出信号。窗口电路还可以第二传输门,该第二传输门包括可以在锁存时间之后向DAC电容器阵列提供比较器输出信号。

[0008] 在一个实施例中,第一比较周期可以由不同于时钟信号的第二时钟信号来定义。

[0009] 在一个实施例中,控制逻辑还可以包括数据有效电路,该数据有效电路可以生成表示比较器的活动模式(active mode)的有效信号。

[0010] 在一个实施例中,控制逻辑还可以生成输入电压信号的数字近似的比特值。

[0011] 在一个实施例中,比较器可以生成比较器输出信号,控制逻辑可以生成控制输出信号,并且DAC电容器阵列可以针对数目为N的比较周期生成输入电压信号的近似,其中N是大于1的整数。

[0012] 在一个实施例中,控制逻辑还可以包括异步时钟发生器,该异步时钟发生器可以生成用于锁存比较器输出信号的数目为N的异步时钟信号。N个异步时钟信号中的第一异步时钟信号可以被用于在第一比较周期期间对比较器输出信号的锁存。N个异步时钟信号中的第二异步时钟信号可以被用于在第二比较周期期间对比较器输出信号的锁存。N个异步时钟信号中的第N异步时钟信号可以被用于在第N比较周期期间对比较器输出信号的锁存。

[0013] 在一个实施例中,异步时钟发生器还可以生成被用于向DAC电容器阵列提供比较器输出信号的数目为N的窗口脉冲。N窗口脉冲中的第一窗口脉冲可以被用于在第一比较周期期间提供比较器输出信号。N窗口脉冲中的第二窗口脉冲可以被用于在第二比较周期期间提供比较器输出信号。N窗口脉冲中的第N窗口脉冲被用于在第N比较周期期间提供比较器输出信号。

[0014] 实施例还涉及操作SAR ADC以生成并且向DAC电容器阵列提供比较器输出信号,以增加被分配用于DAC电容器阵列中的电容器的稳定的时间帧。

[0015] 在一个实施例中,可以在第一比较周期期间生成表示输入电压信号与表示参考电压信号的信号之间的差异的比较器输出信号。可以在由时钟信号的切换定义的锁存时间生成表示比较器输出信号的控制输出信号。可以响应于在锁存时间之前接收到比较器输出信号来生成输入电压信号的近似。

[0016] 实施例还涉及存储ADC的数字表示的非暂态计算机可读介质,该数字表示可以增加被分配用于DAC电容器网络中的电容器稳定的时间帧。

附图说明

[0017] 图1是根据一个实施例的基于逐次逼近寄存器(SAR)的模数转换器(ADC)的高级框图。

[0018] 图2A是示出根据一个实施例的SAR ADC的架构的框图。

[0019] 图2B是示出根据一个实施例的SAR ADC的操作的高级框图。

[0020] 图3A是示出根据一个实施例的SAR ADC的选定电路部件的框图。

[0021] 图3B是示出根据一个实施例的SAR ADC的比较器的电路图。

[0022] 图4是示出根据一个实施例的SAR ADC的一个比较时钟周期的操作的时序图。

[0023] 图5是示出根据一个实施例的4位SAR ADC的时钟信号的时序图。

[0024] 图6是示出延迟比较器输出的下降沿的SAR ADC的实施例的时序图。

[0025] 图7是示出根据一个实施例的SAR ADC的实施例的时序图。

[0026] 图8是示出根据一个实施例的SAR ADC的操作的流程图。

[0027] 图9是示出根据一个实施例的存储SAR ADC的表示的电子设备的框图。

具体实施方式

[0028] 附图和以下描述仅通过说明的方式涉及各种实施例。应当注意,从下面的讨论中,本文中公开的结构和方法的替代实施例将被容易地认识到,以作为可以在不脱离本文中讨

论的原理的情况下采用的可行的替代方案。现在将详细参考几个实施例,其示例在附图中示出。注意,在可行的情况下,附图中可以使用类似或相似的附图标记,并且它们可以指示类似或相似的功能。

[0029] 本公开的实施例涉及基于逐次逼近寄存器 (SAR) 的模数转换器 (ADC),其通过在锁存时间由时钟信号锁存比较器输出之前向数模转换器 (DAC) 馈送比较器输出信号以开始 DAC 电容器稳定,来增加了被分配用于 DAC 电容器网络中的电容器的稳定的时间帧。SAR ADC 可以包括在比较器的锁存时间之前从比较器直接向 DAC 提供比较器输出的窗口电路。在锁存时间之后,比较器输出的锁存版本被提供给 DAC 电容器。通过在锁存之前向 DAC 电容器提供电容器输出,与其中 DAC 电容器稳定在比较器的锁存时间之后开始的 SAR ADC 相比,DAC 电容器可以更早地稳定。

[0030] 本文中所述的术语“逻辑高电平”是指接近电路的电源电压的数字电路的电压电平。例如,在具有电源电压 VDD 和接地电压 GND 的数字电路中,逻辑高电平为 VDD 或者在 VDD 的噪声容限内。

[0031] 本文中所述的术语“逻辑低电平”是指接近电路的接地电压电平的数字电路的电压电平。例如,逻辑低电平为 GND 或者在 GND 内的噪声容限内。

[0032] SAR ADC 是一种类型的 ADC,其在收敛到近似模拟信号的数字输出之前经由对所有可能量化级别的二进制搜索来将连续模拟信号转换为离散数字表示。N 位 SAR ADC 在 N 个比较周期之后生成数字输出。SAR ADC 通常包括获取模拟输入电压信号 V_{IN} 的采样和保持电路。每个比较周期开始于比较电路将采样输入信号和内部参考 DAC 的输出相比较,并且将比较结果输出到 SAR 电路。SAR 电路被设计为生成将 V_{in} 逼近到内部参考 DAC 的数字码,内部参考 DAC 为比较器提供与 SAR 的数字码输出等效的模拟电压,使得模拟电压等效范围在零和输入参考电压 V_{REF} 之间。这完成了第一比较周期。其他 N-1 个比较周期与第一比较周期类似,只是在每个比较周期内,内部参考 DAC 的输出基于来自先前比较周期的 SAR 输出来生成。在 N 个比较周期结束时,SAR ADC 收敛到逼近模拟信号的最终数字输出。

[0033] 图1是根据一个实施例的 SAR ADC 100 的高级框图。ADC 100 接收模拟输入电压信号 V_{IN} ,并且将其转换为 N 位数字信号 B_N 至 B_1 ($B_N:B_1$)。为此,ADC 100 包括采样/保持电路 110、比较器 120、SAR 电路 130 和 DAC 140 等部件。虽然在图 1 中 ADC 通常被实现为差分电路 ADC 100,但是为简单起见,随后的附图被描绘为单端电路。例如,尽管比较器 120 可以输出正输出和负输出,这两个输出的差异表示比较器输出,但是图 1 被简化为描绘单个比较器输出 V_{COMP} 。

[0034] 采样/保持电路 110 以采样频率对模拟输入信号 V_{IN} 进行采样,并且保持采样信号 $V_{S/H}$ 以将其作为输入提供给比较器 120。可以使用当前正在使用或要被开发的各种类型的采样/保持电路 110,并且为了简洁起见,本文中省略其详细描述。

[0035] 比较器 120 将采样信号 $V_{S/H}$ 与参考信号的表示 (即, V_{DAC}) 进行比较,以在对应于 N 的多个比较周期上确定采样信号 $V_{S/H}$ 大于还是小于 V_{DAC} 。 V_{DAC} 是到 DAC 的数字输入 (即 $B_N:B_1$) 的模拟表示。基于在 DAC 140 处接收的模拟参考输入信号 V_{REF} 来生成 V_{DAC} 信号的模拟值,使得 V_{DAC} 信号的值被转译为在零到 V_{REF} 之间的电压。例如,当 4 位 SAR ADC 使用二进制搜索算法时,4 位 SAR 的初始值被设置为 1000,其中最高有效位 (MSB) 被设置到逻辑高电平。4 位 SAR 的值 1000 使得 DAC 140 输出对应于 $V_{REF}/2$ 的 V_{DAC} 。

[0036] 在每个比较周期中,比较器120输出处于逻辑高电平(“1”)或逻辑低电平(“0”)的输出信号 V_{COMP} 。在一个实施例中,比较器120被配置为当采样信号 $V_{S/H}$ 大于 V_{DAC} 信号时输出处于逻辑高电平的信号并且当采样信号 $V_{S/H}$ 等于或小于 V_{DAC} 信号时输出处于逻辑低电平的信号。或者,比较器120被配置为当采样信号 $V_{S/H}$ 大于 V_{DAC} 信号时输出处于逻辑低电平的信号并且当采样信号 $V_{S/H}$ 等于或小于 V_{DAC} 信号时输出处于逻辑高电平的信号。

[0037] SAR 130接收 V_{COMP} 信号并且生成N位数字输出信号 $B_N:B_1$ 。在ADC 100实施二进制搜索算法的实施例中,SAR 130被初始化为值1000...000,其中表示 B_N 的MSB被设置到逻辑高电平,并且将剩余的位 B_1 至 B_{N-1} 被设置到逻辑低电平。 $B_N:B_1$ 的值1000...000对应于 $V_{REF}/2$ 。在第一比较时钟周期中,比较器120将采样信号 $V_{S/H}$ 与对应于 $V_{REF}/2$ 的 V_{DAC} 信号进行比较。如果采样信号 $V_{S/H}$ 大于 $V_{REF}/2$,则比较器120向SAR 130输出处于逻辑高电平的信号。响应于此,SAR130保持MSB的值(即, B_N 当前处于逻辑高电平),并且针对第二比较时钟周期将下一位(即, B_{N-1})设置到逻辑高电平。针对第二比较周期的SAR 130输出将为1100...000,其对应于大于 $V_{REF}/2$ 的参考信号的值。

[0038] 另一方面,如果采样信号 $V_{S/H}$ 小于或等于 $V_{REF}/2$,则比较器120输出处于逻辑低电平的信号,并且SAR 130将MSB(即, B_N)设置到逻辑低电平并且将下一位(即, B_{N-1})设置到逻辑高电平。在这种情况下,针对第二比较周期的SAR 130输出将为0100...000,其对应于小于 $V_{REF}/2$ 的参考信号的值。因此,取决于来自先前比较周期的比较器120输出,针对第二比较周期的 V_{DAC} 值可以对应于大于或小于 $V_{REF}/2$ 的值。然后,SAR ADC 100进行到第二比较周期。在第二比较周期中,比较器120使用与第一比较周期中相同的采样信号 $V_{S/H}$ 来针对第二比较周期重复该比较步骤,但是接收与更新后的SAR 130输出0100...000对应的 V_{DAC} 。在随后的比较周期中,更新后的 V_{DAC} 与相同的采样信号 $V_{S/H}$ 的比较被重复,以确定输出信号 $B_N:B_1$ 中的所有比特值。

[0039] 为了实现以上描述的生成N位数字输出信号 $B_N:B_1$ 的功能,SAR 130包括数据有效电路132、异步时钟发生器134、控制逻辑136和窗口电路138。数据有效电路132接收比较器输出 V_{COMP} 和 V_{COMP} ,并且生成有效(Valid)信号以指示比较器120处于活动操作模式。例如,差分比较器输出信号的两个输出可以被传递通过2输入数字NAND门以生成有效信号。在NAND门示例中,比较器120的两个输出默认地被设置到逻辑高电平(即,当比较器120被复位时),并且当任一个输出切换到逻辑低电平时(响应于在活动模式下的比较器120的比较),有效信号将在与2输入NAND门相关联的适当传播延迟之后达到逻辑高电平。或者,如果比较器120的输出默认地被设置到逻辑低电平,则2输入数字OR门可以生成有效信号。

[0040] 异步时钟发生器134生成被用于锁存比较器输出 V_{COMP} 的针对N位SAR的N个异步时钟信号。例如,在4位SAR ADC中,异步时钟发生器134为四个控制逻辑块中的每一个生成四个异步时钟,如下面参考图3A所详细描述。这些异步时钟信号在图3A中被标记为 CLK_i ,其中“i”的范围为1到4。异步时钟信号可以被控制逻辑136用于生成 V_{COMP} 信号的锁存版本,该 V_{COMP} 信号的锁存版本进一步被转换为输入电压信号 V_{IN} 的数字近似的比特值(即, $B_N:B_1$)。异步时钟发生器134还生成在向DAC 140提供比较器输出信号 V_{REF} 的版本时被使用的N个Window_i(i范围从1到N)。控制逻辑136包括N个相同的控制块,这些控制块之一在以下参考图3A详细地被描绘和描述。窗口138从异步时钟发生器134接收N个Window_i脉冲,以将比较器输出信号 V_{REF} 直接从比较器120提供给DAC 140,或者将比较器输出信号(即, $B_N:B_1$)的锁

存版本提供给DAC 140。

[0041] DAC 140接收来自SAR 130的N位数字信号 $B_N:B_1$ 、和模拟参考信号 V_{REF} ，并且将数字信号转换成对应的模拟输出信号 V_{DAC} ，使得 V_{DAC} 的信号值位于下限零到上限 V_{REF} 之间。在一个实施例中，DAC140可以使用DAC电容器阵列144来实现，如在Chun-Cheng Liu等人的“A 10-bit 50-MS/s SAR ADC with a Monotonic Capacitor Switching Procedure”，IEEE Journal of Solid-State Circuits, Vol.45, No.4, April 2010pp.731-40 (“ADC论文”)中所描述的，该文献全部内容通过引用并入本文。DAC电容器阵列144可以被实现为二进制加权的电容器阵列或C-2C电容器阵列。下文将参考图2B描述N位SAR ADC的操作。

[0042] 图2A是示出根据一个实施例的SAR ADC 200的架构的框图。ADC 200基于电荷再分配架构，其包括由单独开关的二进制加权电容器阵列组成的电荷缩放DAC。电荷缩放DAC的电容器阵列也被用于采样和保持功能。虽然ADC 200包括在ADC 100中描述的相同部件，但是部件的子集被包括在图2A中以说明ADC架构。ADC 200接收差分模拟输入电压信号 V_{INP} 和 V_{INN} ，并且生成数字位 $B_{10}:B_1$ ，这些数字位 $B_{10}:B_1$ 是接收到的模拟输入信号的数字近似。使用自举开关 (bootstrap switch) S1和S2对输入信号 V_{INP}/V_{INN} 进行采样，然后使用电容器网络C1P:C10P/C1N:C10N来保持采样信号 $V_{S/H P}/V_{S/H N}$ 。

[0043] 电容器网络C1P:C10P/C1N:C10N的第一板 (plate) 被连接到采样信号 $V_{S/H P}/V_{S/H N}$ ，第二板被拉到正参考电压信号 V_{REFP} 或负参考电压信号 V_{REFN} 。在ADC论文中使用的电容器网络与本公开的图2A中使用的电容器网络的一个区别在于：ADC论文的电容器网络的第二板被拉到单端参考信号 V_{REF} 或逻辑低电平，而本公开的电容器网络的第二板被拉到差分参考信号 V_{REF} 的正参考电压信号 V_{REFP} 或负参考电压信号 V_{REFN} 。如ADC论文中所描述的，采样信号 $V_{S/H P}$ 和 $V_{S/H N}$ 之间的差异表示输入信号 V_{IN} 和参考信号 V_{REF} 之间的差异。比较器120的输出信号 V_{COMP} 被馈送给SAR 130，SAR 130生成数字近似位 $B_{10}:B_1$ 。

[0044] SAR 130还生成用于将电容器网络的第二板拉到参考信号 V_{REFP}/V_{REFN} 的控制信号CTRLi (i范围从1到N)。数字位 $B_{10}:B_1$ 的模拟近似电压 V_{DAC} 可以通过电容器网络的所有电容器上的电荷的总和来生成。由于能够将电容器网络C1P:C10P/C1N:C10N的每个电容器的第二板拉到 V_{REFP} 或 V_{REFN} 这样的灵活性，所以电容器的电荷的总和导致生成 V_{DAC} 作为在零到 V_{REF} 伏特之间的值。下面在图2B中描述ADC 100的操作。

[0045] 图2B是示出根据一个实施例的N位SAR ADC 200的操作的高级框图。图2B示出了在N个比较周期中的第一比较周期内通过N位SAR ADC的各个部件的信号流的操作。图2B所示的操作也适用于N位SAR ADC 100的N个比较周期中的其他比较周期。

[0046] 采样/保持电路110使用采样时钟信号CLK采样并且保持模拟输入电压信号 V_{IN} ，以生成输出信号 $V_{S/H}$ 。采样/保持电路110在采样时钟信号CLKs的时钟周期的采样持续时间内对 V_{IN} 采样，然后将采样模拟输入电压信号保持一个持续时间，该持续时间持续到该时钟周期结束。在一个实施例中，采样持续时间延伸CLKs的一个时钟周期的约20%，并且保持持续时间延伸一个时钟周期的剩余约80%。输出信号 $V_{S/H}$ 然后被馈送给比较器120。

[0047] 比较器120将采样信号 $V_{S/H}$ 与参考信号 V_{REF} 的表示 (即， V_{DAC}) 进行比较，以生成表示采样信号 $V_{S/H}$ 与参考信号 V_{REF} 之间的差异的输出 (即， V_{COMP})。比较器120在时钟信号CLKc的每个时间周期内执行一个比较。然后，比较器120的输出信号 V_{COMP} 被馈送给数据有效电路132以生成指示该比较器处于活动操作模式的有效信号。然后，有效信号被馈送给异步时钟发

生器134,该异步时钟发生器134生成数目为N的时钟信号CLK_i (其中 $i=1$ 至N,表示比较周期),这些时钟信号被用于锁存比较器输出并且生成输入电压信号 V_{IN} 的数字近似的比特值。异步时钟发生器134还生成数目为N的窗口脉冲信号Window_i (其中 $i=1$ 到N,表示比较周期),这些窗口脉冲信号被用于向DAC 140提供比较器输出信号 V_{COMP} 。CLK_i和Window_i中的 i 值的范围在1到N之间。

[0048] 控制逻辑136接收比较器输出信号 V_{COMP} ,该比较器输出信号 V_{COMP} 在锁存时间使用异步时钟信号CLK_i被锁存。比较器输出信号 V_{COMP} 的锁存版本进一步被转换为输入电压信号 V_{IN} 的数字近似 B_i 的比特值(即, $B_N:B_1$)。数字近似 B_i 被馈送给窗口138,窗口138生成被馈送给DAC 140的输出信号 V_{WINDOW_i} 。比较器输出信号 V_{COMP} 也从比较器120被直接馈送给窗口138。窗口138基于直接从比较器120接收的比较器输出 V_{COMP} 或者基于比较器输出 V_{COMP} 的锁存版本来生成 V_{WINDOW_i} 信号。在比较器输出信号 V_{COMP} 可用之后,窗口138基于以下来生成 V_{WINDOW_i} 信号:在锁存时间 V_{COMP} 之前、针对一个时间帧、基于从比较器120直接接收到的比较器输出 V_{COMP} ,并且在锁存时间之后基于比较器输出 V_{COMP} 的锁存版本。下面参考图3A和图4详细描述选择 V_{COMP} 的直接版本或锁存版本的窗口138的操作。

[0049] DAC 140接收N位 V_{WINDOW_i} 信号和参考信号 V_{REF} 以生成数字信号 V_{WINDOW_i} 的模拟近似 V_{DAC} 。DAC 140将数字信号 V_{WINDOW_i} (i 范围从1到N)转换为模拟信号 V_{DAC} ,使得 V_{DAC} 的信号值位于下限零到上限 V_{REF} 之间。然后, V_{DAC} 信号被馈送回到比较器120以作为用于第二比较周期的 V_{REF} 的表示。类似于第一比较周期,重复第二比较周期、第三比较周期和第N比较周期,直到N位SAR ADC完成模拟输入电压信号 V_{IN} 到N位数字近似 B_i ($i=1:N$)的转换。

[0050] 图3A是示出根据一个实施例的SAR ADC 100的选定电路部件的框图。控制逻辑136接收比较器输出信号 V_{COMP} ,并且使用时钟信号CLK_i生成比较器输出信号 V_{COMP} 的锁存版本。比较器输出信号 V_{COMP} 的锁存版本被转译为输入电压信号 V_{IN} 的数字近似(即, B_i)的比特值。DAC 140接收比较器输出信号 V_{COMP} ,使得比较器输出信号在比较器输出信号 V_{COMP} 的锁存时间之前从比较器(例如,比较器120)直接被提供。为了说明在 V_{COMP} 的锁存时间之前对比较器输出信号 V_{COMP} 的接收,图3A还示出了其它部件,包括窗口电路138和DAC140。

[0051] 控制逻辑136包括数目为N的D型触发器(flip flop) DFF_i,其中 i 范围从1到N。图3A示出了N个触发器中的一个DFF_i。DFF_i接收比较器输出 V_{COMP} 、时钟信号CLK_i和时钟信号CLK_s作为输入。时钟信号CLK_s是当CLK_s被设置到逻辑高电平时复位DFF_i的采样时钟信号。例如,当CLK被设置到逻辑高电平时,如以上参考图2B所述,对输入电压信号 V_{IN} 进行采样。在输入信号 V_{IN} 被采样的时间帧期间,DFF_i被复位以将所有触发器的输出信号设置到逻辑低电平。在采样时间帧之后和在CLK_s的保持时间帧期间,DFF_i进入活动操作模式,其中比较器输出 V_{COMP} 被锁存在时钟信号CLK_i的边沿(上升沿或下降沿)。比较器输出信号的锁存版本被转换为输入电压信号 V_{IN} 的数字近似(即, B_i)的比特值。

[0052] 在时钟信号CLK_i切换到活动状态之后,DFF_i开始锁存比较器输出 V_{COMP} 的过程。在数据有效电路132生成有效信号之后,时钟信号CLK_i被切换到活动状态。因此,比较器输出 V_{COMP} 和 V_{COMP} 的锁存版本的生成之间的时间帧包括与有效信号的生成、CLK_i信号的切换和DFF_i的传播延迟相关联的时间帧,如下面参考图4详细描述。

[0053] 窗口电路138可以由能够向DAC 140提供比较器输出信号的版本的两个传输门TX gate1和TX gate2来实现。在一个实施例中,每个传输门TX gate1和TX gate2包括并联连接

的N型互补金属氧化物半导体 (NMOS) 器件和P型互补金属氧化物半导体 (PMOS) 器件,如图3A所示。备选地,传输门可以用本领域熟知的其他形式的半导体开关来实现。第一传输门TX gate1直接从比较器120接收比较器输出 V_{COMP} ,并且第二传输门TX gate2接收由 B_i 表示的比较器输出 V_{COMP} 的锁存版本。两个传输门TX gate1和TX gate2的输出信号是被馈送给DAC 330的 V_{WINDOW_i} 。传输门TX gate1和TX gate2的操作由控制信号Window_i控制。在一个实施例中,当Window_i被设置到逻辑高电平时, TX gate1导通,并且TX gate2关断。当Window_i设置到逻辑低电平时, TX gate1关断,并且TX gate2导通。下面参考图5详细描述Window_i信号的生成。

[0054] 当TX gate1导通时(例如,当Window_i处于逻辑高电平时), TX gate1向DAC 330提供比较器输出 V_{COMP} ,使得 V_{WINDOW_i} 表示与TX gate1相关联的传播延迟之后的比较器输出 V_{COMP} 。相反, TX gate2关断以将TX gate2置于高阻抗状态,从而防止 B_i 影响信号 V_{WINDOW_i} 。当TX gate2导通时(例如,当Window_i处于逻辑低电平时), TX gate2向DAC 330提供 B_i (即,比较器输出 V_{COMP} 的锁存版本),使得 V_{WINDOW_i} 表示与TX gate2相关联的传播延迟之后的比较器输出 V_{COMP} 的锁存版本。相反, TX gate1关断,以将TX gate1配置为高阻抗状态,使得未锁存的比较器输出 V_{COMP} 不影响信号 V_{WINDOW_i} 。

[0055] DAC 330接收信号 V_{WINDOW_i} 并且生成 V_{DACi} , V_{DACi} 是接收到的 V_{WINDOW_i} 的模拟近似。DAC 330包括由 BUF_i 表示的N个缓冲器和由 C_{DACi} 表示的N电容器阵列。缓冲器 BUF_i 接收 V_{WINDOW_i} 信号作为输入,并且生成 $CTRL_i$ 以作为接收到的输入信号的缓冲版本。在一个实施例中,一个或多个反相器电路可以被实施为缓冲器 BUF_i 。然后信号 $CTRL_i$ 被用于将连接到电容器 C_{DACi} 的 $PMOS_i$ 和 $NMOS_i$ 的一个侧板设置为 V_{REFP} 或 V_{REFN} 以作为 V_{DACi} ,其中 V_{REFP} 是差分参考信号 V_{REF} 的正单端信号, V_{REFN} 是差分参考信号 V_{REF} 的负单端信号。例如,如果 $CTRL_i$ 处于逻辑高电平,则 $NMOS_i$ 导通并且 $PMOS_i$ 关断,而且 V_{DACi} 被设置到 V_{REFN} 。另一方面,如果 $CTRL_i$ 处于逻辑低电平,则 $PMOS_i$ 导通并且 $NMOS_i$ 关断,而且 V_{DACi} 被设置到 V_{REFP} 。

[0056] 在一个实施例中,电容器网络既可以用作采样/保持电路,也可以用作DAC电容器阵列,使得采样信号 $V_{S/H}$ 被提供给电容器阵列的第一板,并且 V_{REFP} 或 V_{REFN} 被提供给电容器阵列的第二板,如以上参考图2A所述。在第一比较周期的开始时, DAC电容器阵列的所有电容器的第二个板被拉到 V_{REFP} ,并且第一板被拉到采样信号 $V_{S/H}$ 。如果 $CTRL(N)$ 在第一比较周期的结束处处于逻辑高电平,则 C_{DACN} (与MSB相关联)的第二板被设置到 V_{REFN} ,同时其他电容器的第二板保持在 V_{REFP} 。SAR ADC然后在第二比较周期中继续操纵,其中如果 $CTRL(N-1)$ 处于逻辑高电平,则下一电容器 C_{DACN-1} (与位MSB-1相关联)的第二板被设置为 V_{REFN} ,如果 $CTRL(N-1)$ 处于逻辑低电平,则第二板被维持在 V_{REFP} 。在第二比较周期的结束时,无论第二比较周期的 $CTRL_i$ 的值如何,第二板的 C_{DACN} 不改变。设置DAC电容器阵列的每个电容器的第二板电压电平的过程继续N次,直到在第N个比较周期中设置与LSB相关联的 C_{DAC0} 。

[0057] 在一个实施例中, DAC电容器阵列可以被实施为二进制加权电容器,二进制加权电容器被连接以使得每个电容器的第一板被拉到采样信号 $V_{S/H}$,并且每个电容器的第二板被拉到 V_{REFP} 或 V_{REFN} ,如上所述。所有第一板被拉到采样信号 $V_{S/H}$ 并且第二板被拉到参考信号 V_{REF} (V_{REFP} 或 V_{REFN})的DAC电容器阵列可以用作DAC,使得在每个比较周期处信号 V_{DACi} 上的组合电压将生成等效的 V_{DAC} 信号,如以上参考本公开的图2A所述。

[0058] 图3B是示出根据一个实施例的SAR ADC 100的比较器120的电路图。比较器120接

收差分输入信号 V_+ 和 V_- 以生成表示单端信号 V_+ 和 V_- 之间的差异的差分输出信号 V_{COMP} 和 V_{COMP} 。差分输入信号 V_+ 和 V_- 表示模拟输入电压信号 V_{IN} 和参考信号 V_{REF} 之间的电压差,如以上参考图2A所述。时钟信号 CLK_c 通过在 CLK_c 处于逻辑低电平时将比较器120置于活动模式并且当 CLK_c 处于逻辑高电平时将比较器120置于非活动模式来控制比较器120的操作。比较器120对信号 CLK_c 的每个时钟周期执行一个比较。电压信号 V_{bias} 为比较器120提供直流(DC)偏置。

[0059] 当 CLK_c 处于逻辑高电平时,PMOS器件M2关断以断开DC偏压,并且NMOS器件M7和M8导通以将内部节点 V_{INT} 和 V_{INT} 拉到逻辑低电平,以将比较器120置于非活动模式。响应于内部节点 V_{INT} 和 V_{INT} 被拉到逻辑低电平,反相器器件 $Inv1$ 、 $Inv2$ 、 $Inv3$ 和 $Inv4$ 将输出 V_{COMP} 和 V_{COMP} 拉至逻辑低电平。

[0060] 另一方面,当 CLK_c 处于逻辑低电平时,PMOS器件M2导通以提供DC偏置,并且NMOS器件M7和M8关断以将比较器120置于活动比较模式。在活动比较模式下,差分对M3和M4比较两个输入信号 V_+ 和 V_- 以在内部节点 V_{INT} 和 V_{INT} 处生成经放大的增量信号。每个内部节点 V_{INT} 和 V_{INT} 处的电压信号然后由反相器 $Inv1$ 和 $Inv2$ 以及 $Inv3$ 和 $Inv4$ 转换成轨到轨(rail-to-rail)数字信号,以生成数字输出差分信号 V_{COMP} 和 V_{COMP} 。下面在图4中示出了图示比较器120的活动和非活动模式的波形图。

[0061] 图4是示出根据一个实施例的SAR ADC(例如,SAR ADC 100)的一个比较周期的操作的时序图。在图4中,x轴表示时间,y轴表示各种信号的电压。时间轴包括由竖直虚线表示的各种时间点 t_1 至 t_{10} 。图4示出了比较时钟信号 CLK_c 。点 t_1 和 t_{10} 之间的时间段构成 CLK_c 的一个周期(即一个比较周期)。虽然图4示出了仅一个比较周期的定时波形,然而图4也适用于SAR ADC在其N个比较周期中的每个周期中的操作。

[0062] 当 CLK_c 在点 t_1 之前处于逻辑高电平时,比较器120被复位以输出处于逻辑低电平的信号 V_{COMP} 和 V_{COMP} ,并且有效信号也被设置到逻辑低电平。控制逻辑310被实现为使得当采样时钟信号 CLK_s 、电容器阵列(EOC)信号的一端以及有效信号中的每一个处于逻辑低电平时, CLK_c 信号在点 t_1 处被设置到逻辑低电平。例如, CLK_c 可以由接收 CLK_s 、EOC和有效信号作为输入的3输入数字OR门生成。有效信号指示比较器处于活动模式,并且该有效信号可以通过比较器输出信号 V_{COMP} 和 V_{COMP} 的逻辑OR运算来生成。SAR ADC的比较器120被配置为在时钟信号 CLK_c 的下降沿被触发。在点 t_1 处的 CLK_c 的下降沿处,比较器开始它的操作以在点 t_2 生成输出,使得 V_{COMP} 或 V_{COMP} 切换到逻辑高电平。点 t_1 和 t_2 之间的时间段表示比较器的生成时间。

[0063] 当在点 t_2 处生成比较器输出信号 V_{COMP}/V_{COMP} 时, V_{COMP}/V_{COMP} 在点 t_2 处可用于窗口138,并且只要Window_i信号被设置到逻辑高电平,窗口138则可以开始生成 V_{WINDOW_i} ,如以上参考图3A所述。Window_i信号由信号 CLK_i 和 CLK_s 的组合生成,如下面将参考图5详细描述。Window_i在点 t_1 之前被设置到逻辑高电平,并且将保持在逻辑高电平,至少直到比较器输出被锁存为 CLK_i 。在比较器输出 V_{COMP}/V_{COMP} 的下降沿在点 t_8 出现之前,Window_i信号的下降沿也必须出现,因为锁存的比较器输出 B_i 必须在比较器输出在点 t_8 处变化之前被提供给DAC 140。

[0064] Window_i信号控制窗口320的传输门TX_{gate1}和TX_{gate2},使得当Window_i处于逻辑高电平时TX_{gate1}导通,并且当Window_i处于逻辑低电平时TX_{gate2}导通。当Window_i

i被设置到逻辑高电平以导通TX gate1时,点t2处的比较器输出 V_{COMP}/V_{COMP_N} 通过TX gate1被提供,以在点t3处生成 V_{WINDOW_i} 、CTRLi和 V_{DACi} 信号。点t2和t3之间的时间段表示TX gate1、BUFi、以及PMOSi或NMOSi的信号传播时间。由于 V_{DACi} 在点t3处可用,所以直到从点t3到点t10的比较周期的结束的剩余时间可用于DAC电容器稳定。

[0065] 可以生成有效信号作为比较器输出 V_{COMP} 和 V_{COMP_N} 的逻辑OR运算,以指示 V_{COMP} 或 V_{COMP_N} 中的任何一个的改变。例如,有效信号可以由2输入数字OR门来生成,该2输入数字OR门接收 V_{COMP} 和 V_{COMP_N} 作为它的输入。在比较器输出之一在t2点处已经改变它的值之后,有效信号被生成并且在点t4被设置到逻辑高电平。点t2和t4之间的时间段表示2输入数字OR门的信号传播延迟。

[0066] 点t4处的有效信号的上升沿将触发时钟信号CLKi的生成。时钟信号CLKi在由上升沿示出的点t5处被生成,并且点t4和t5之间的时间段表示与CLKi的生成相关联的时间段。时钟信号CLKi在点t5处的上升沿将触发DFFi的比较器输出 V_{COMP}/V_{COMP_N} 的锁存。DFFi生成表示在点t6处作为上升沿示出的比较器输出 V_{COMP}/V_{COMP_N} 的锁存版本的Bi信号。点t5和t6之间的时间段表示与触发器DFFi的CK-Q时间相关联的时间段。

[0067] 点t4处的有效信号的上升沿也将触发时钟信号CLKc被设置到逻辑高电平,如点t6所示。点t4和t6之间的时间段表示与生成CLKc信号的电路(例如,3输入数字OR门)的信号传播延迟相关联的时间段。点t6处的时钟信号CLKc的上升沿将复位比较器,以在点t8以逻辑低电平输出每个比较器输出 V_{COMP} 和 V_{COMP_N} 。点t6和t8之间的时间段表示与重置比较器相关联的时间段。在一个实施例中,在比较器在点t8被复位之前,比较器输出信号 V_{COMP}/V_{COMP_N} 从比较器被提供给DAC电容器阵列。

[0068] Windowi信号在点t7被设置到逻辑低电平,使得其下降沿出现在Bi信号在点t6处切换之后并且在比较器输出 V_{COMP}/V_{COMP_N} 在点t8被复位之前。当Window_i被设置到逻辑低电平以在点t7处导通TX gate2时,被锁存的比较器输出Bi通过TX gate2被提供,以生成 V_{WINDOW_i} 、CTRLi和 V_{DACi} 信号。也就是说,点t7之后的 V_{DACi} (在实际中是在考虑到与TX gate2、BUFi、以及PMOSi或NMOSi相关的信号传播延迟之后)基于比较器输出(即,Bi)的锁存版本。换句话说,在点t2和t7之间, V_{DACi} 基于从比较器被直接馈送给窗口320的比较器输出,而在点t7和t10之间, V_{DACi} 基于比较器输出的锁存版本。通过在锁存时间之前将比较器输出信号 V_{COMP} 馈送给DAC电容器阵列,与其中DAC电容器阵列仅在锁存时间之后(即,在点t6之后)接收比较器输出信号 V_{COMP} 的实现方式相比,DAC电容器阵列具有采样时钟周期(即,CLKs)的更长时间帧用于稳定它的电容器。也就是说,通过在锁存时间之前将比较器输出信号 V_{COMP} 馈送给DAC电容器阵列,用于DAC电容器稳定的时间帧具有从t3到t6的额外时间。

[0069] 在点t8,当比较器输出 V_{COMP}/V_{COMP_N} 被复位到逻辑低电平值时,有效信号也在单个传播延迟之后在点t9被设置到逻辑低电平值。点t10表示由时钟CLKc表示的比较周期的结束。下面参考图5描述信号CLKi和Window_i的生成。

[0070] 图5是示出根据一个实施例的4位SAR ADC的时钟信号的时序图。在图5中,x轴表示时间,y轴表示各种信号的电压。时间轴包括由竖直虚线表示的各种时间点t1至t8。图5示出了采样时钟信号CLKs和比较时钟信号CLKc。点t1和t8之间的时间段构成CLKs的一个周期,其表示用于将模拟输入电压转换为4位数字输出的时间段。图5示出了点t3和t7之间的至少四个比较时钟周期。在每个比较时钟周期中的SAR ADC的操作在以上参考图4被描述。图5还

示出了时钟信号CLK_i和窗口脉冲信号Window_i。

[0071] 采样时钟信号CLK_s通过当CLK_d处于逻辑高电平时对模拟输入电压V_{IN}进行采样并且当CLK_s处于逻辑低电平时保持采样值,来控制采样和保持电路(例如,采样/保持110)。CLK_s的采样时间帧在t₁和t₂之间示出,并且保持时间帧在t₂和t₈之间示出。例如,采样时间帧被设置为CLK_s时间段的大约20%。保持时间帧包括4位SAR ADC的至少四个CLK_c时钟周期(或N位SAR ADC的N个周期)。第一CLK_c时钟周期在点t₃和t₄之间,第二周期在点t₄和t₅之间,第三周期在点t₅和t₆之间,并且第四周期在点t₆和t₇之间。

[0072] 时钟信号CLK₁至CLK₄(即,CLK_i,其中i=1:4)被用于由触发器DFF_i锁存比较器输出。时钟信号CLK₁至CLK₄被生成作为异步时钟信号,以避免在SAR ADC中对高频同步时钟信号的使用。在CLK_i的上升沿,触发器DFF_i对比较器输出进行采样。如果比较器输出为高,则DAC电容器阵列的相关电容器的底板从V_{REFP}切换到V_{REFN},如以上参考图3A所述。如果比较器输出为低,则DAC电容器阵列的相关电容的底板继续被连接到V_{REFP}。为了确保针对每个比较周期只切换DAC电容器阵列的仅一个电容,CLK_i时钟信号被生成为使得在每个比较时钟周期中只有一个CLK_i信号从逻辑低电平切换到逻辑高电平。例如,CLK₁在点t₃处、CLK₂在点t₄处、CLK₃在点t₅处、CLK₄在点t₆处从逻辑低电平被切换到逻辑高电平。在t₈点处的每个CLK_i的下降沿处,所有电容都重新连接到V_{REFP},以结束将模拟输入电压转换为4位数字输出的过程。

[0073] 窗口信号Window₁至Window₄(即,Window_i,其中i=1:4)用于选择要被提供给DAC电容器阵列的适当版本的比较器输出V_{COMP},如以上参考图3A所述。可以通过组合异步时钟信号CLK_s和CLK_i来生成窗口信号,使得Window_i信号的脉冲宽度从先前的比较周期开始于时钟信号CLK_{i-1}的上升沿,并且从当前比较周期结束于时钟信号CLK_i的上升沿。因为时钟信号CLK_{i-1}对于第一比较周期不存在,所以使用CLK_s信号,如下一段详细描述。Window_i信号的脉冲宽度被设置以仅选择比较器输出V_{COMP}的上升沿,而不是选择它的下降沿。因此,Window_i信号的脉冲宽度不能长于一个CLK_c周期(即,一个比较时钟周期),并且Window_i信号的下降沿应当在比较器输出V_{COMP}的下降沿之前。

[0074] Window_i信号可以由时钟信号CLK_i和CLK_{i-1}的组合来生成。也就是说,可以通过来自当前比较周期的时钟信号CLK_i和先前比较周期的时钟信号CLK_{i-1}的组合来生成用于当前比较周期的Window_i信号。例如,Window_i在CLK_{i-1}的上升沿被设置到逻辑高电平,并且在CLK_i的上升沿被设置到逻辑低电平。因此,Window₂在点t₃和t₄之间被设置到逻辑高电平,Window₃在点t₄和t₅之间,并且Window₄在点t₅和t₆之间。第一窗口信号Window₁是不同的,因为CLK₀不存在。为了生成Window₁,使用采样时钟信号CLK_s的互补信号而不是CLK₀。Window_i在点t₂和t₃之间被设置到逻辑高电平。窗口信号被生成以使得只有一个Window_i信号在点t₁和t₈之间在整个采样时钟周期期间的任何时间被设置到逻辑高电平。在一个实施例中,在从CLK_i信号的上升沿出现的时间点起的持续时间之后,Window_i信号被设置到逻辑低电平。例如,在从点t₄起的时间段之后、但是在点t₅之前的时间点,将Window₂设置到逻辑低电平。

[0075] 图6是示出延迟比较器输出的下降沿的SAR ADC的实施例的时序图。图6示出了类似于以上参考图4描述的操作的SAR ADC的操作,区别在于,比较器输出V_{COMP}N的下降沿从点t₈延伸到t₁₀,如箭头605所示。如以上参考图4和5所讨论的,Window_i的下降沿必须出现在

点t6处的Bi的上升沿与点t8处的比较器输出 V_{COMP} N的下降沿之间。随着SAR ADC采样频率的增加,点t6和t8之间的时间帧变小。在这样的示例性场景中,增加Bi的上升沿和比较器输出 V_{COMP} N的下降沿之间的时间帧是有利的,除其他原因之外,因为增加的时间帧在比较器输出变化之前提供了用于Window_i信号的下降沿的额外时间裕度。例如,可以将 V_{COMP} N的下降沿从点t8延迟到t10,以增加Bi的上升沿和比较器输出 V_{COMP} N的下降沿之间的时间帧。下面参考图7描述用于增加时间帧的替代实施例。

[0076] 图7是示出了增加用于Window_i脉冲的下降沿的时间帧的SAR ADC的替代实施例的时序图。图7示出了SAR ADC的操作,其类似于以上参考图4描述的操作,仅有一个区别。图7中的DAC输出信号 V_{DACiP}/V_{DACiN} 由TX gate1的输出处的比较器输出 V_{COMP} 和Bi的逻辑组合(例如,逻辑OR)生成,以去除Window_i上的条件——该条件是:Window_i信号的下降沿必须在比较器输出 V_{COMP} 的下降沿之前出现。例如, V_{DACiP}/V_{DACiN} 可以由2输入OR门生成,其中在TX gate1的输出处的比较器输出 V_{COMP} 作为第一个输入并且信号Bi作为第二输入。由于该实施例不需要Window_i的下降沿在 V_{COMP} 的下降沿之前出现,所以Window_i的下降沿实际上可以在 V_{COMP} 的下降沿之后出现。例如,在 V_{COMP} 的下降沿在点t7处出现之后,Window_i的下降沿在点t9处出现。在点t7处的 V_{COMP} 的下降沿触发有效信号在点t8达到逻辑低电平。

[0077] 图8是示出根据一个实施例的N位SAR ADC的操作的流程图。SAR ADC接收模拟输入电压 V_{IN} 和参考电压信号 V_{REF} 作为输入,以生成数字位字,用作作为 V_{IN} 的数字近似的输出。对于N位SAR ADC, V_{IN} 的模数转换采用如以上参考图2到4所述的N个比较周期。图8的流程图示出了在N个比较周期中的第一比较周期的SAR ADC的操作。

[0078] SAR ADC的比较器(例如,比较器120)在第一比较周期期间生成810表示输入电压信号 V_{IN} 和表示参考电压信号 V_{REF} 的信号之间的差异的比较器输出信号(即, V_{COMP})。表示参考电压信号 V_{REF} 的信号可以是作为数字输出Bi的模拟近似的信号 V_{DAC} 。 V_{DAC} 也可以表示为范围在零到 V_{REF} 伏特之间的模拟电压值。

[0079] SAR ADC的控制逻辑(例如,控制逻辑310)在由时钟信号(即, CLK_i)的切换定义的锁存时间生成820个表示比较器输出信号 V_{COMP} 的控制输出信号(即,Bi)。比较器输出信号 V_{COMP} 也由窗口电路(例如,窗口320)接收,窗口电路可以将比较器输出信号的版本提供给SAR ADC的DAC(例如DAC 330)。窗口电路在比比较器输出信号 V_{COMP} 的锁存时间早时钟信号 CLK_i 的时间向DAC提供比较器输出信号 V_{COMP} 。在比较器输出在锁存时间处(即,在信号Bi的上升沿之后)被时钟信号锁存之后,窗口电路将比较器输出Bi的锁存版本提供给DAC。在一个实施例中,比较器输出信号 V_{COMP} 在比较器在比较周期期间被复位之前从比较器被提供给DAC。

[0080] 接下来,DAC的DAC电容器阵列(例如, C_{DACi})响应于在锁存时间之前接收到比较器输出信号 V_{COMP} 来生成830输入电压信号 V_{IN} 的近似(即, V_{DAC})。与其中DAC电容器阵列仅在锁存时间之后接收比较器输出信号 V_{COMP} 的实现相比,通过在锁存时间之前开始在DAC电容器阵列处接收比较器输出信号 V_{COMP} ,DAC电容器阵列具有采样时钟周期(即, CLK_s)的更长时间帧用于它的电容器的稳定。随着SAR ADC的采样频率的增加,用于DAC电容器阵列稳定的被增加的时间是有用的。在锁存时间生成信号Bi之后,DAC电容器阵列响应于接收到比较器输出信号Bi的锁存版本来继续生成 V_{DAC} 。这使第一比较周期结束。

[0081] 接下来,将在第一比较周期中生成的 V_{DAC} 信号馈送回到比较器,以便在第二比较周

期中与经采样的 V_{IN} 进行比较。SAR ADC在第二比较周期中的操作与上述第一比较周期相同。在N个比较周期中重复在第一比较周期中描述的SAR ADC的操作以完成模拟输入电压 V_{IN} 到N位数字近似(即在N个比较周期之后的 B_i)的转换。

[0082] 图9是根据一个实施例的可以存储SAR ADC的表示的专用计算设备的框图。在一个实施例中,SAR ADC或SAR ADC内的部件的表示可以作为数据被存储在非暂态计算机可读介质(例如,非易失性存储器918)中。该表示可以是SAR ADC的行为级别、寄存器传送级别、逻辑元件级别、晶体管级别和布局几何级别。

[0083] 在一些实施例中,计算机900包括用于传输数据的互连或总线902(或其他通信装置)。计算机900可以包括处理装置,诸如与总线902耦合以处理信息的一个或多个处理器904。处理器904可以包括一个或多个物理处理器和/或一个或多个逻辑处理器。虽然为了简单起见,总线902被示出为单个互连,但是应当理解,总线902可以表示多个不同的互连或总线。图9所示的总线902是表示通过适当的桥接器、适配器、控制器等连接的任何一个或多个单独的物理总线、点对点连接、或两者的抽象。

[0084] 在一些实施例中,计算机900还包括被描绘为用于存储要由处理器904执行的信息和指令的主存储器912的随机存取存储器(RAM)或其他动态存储设备。主存储器912可以包括应用的活动存储装置,包括用于由计算机900的用户在网络浏览活动中使用的浏览器应用。主存储器912还可以包括某些寄存器或其他专用存储器。

[0085] 计算机900还可以包括用于为处理器904存储静态信息和指令的只读存储器(ROM)916或其他静态存储设备。计算机900还可以包括用于存储某些元素的一个或多个非易失性存储器元件918,包括例如闪存、硬盘、固态驱动器。非易失性存储元件918可以存储上面参考图1到7描述的SAR ADC的表示,或者SAR ADC内的部件可以作为数据被存储。该表示可以是SAR ADC的行为级别、寄存器传送级别、逻辑元件级别、晶体管级别和布局几何级别。

[0086] 计算机900可以包括耦合到总线902的收发器模块920。收发器模块920还可以包括传输器模块和接收器模块。收发器模块920包括用以连接到其他设备(未示出)的一个或多个端口922。

[0087] 计算机900还可以包括耦合到总线902并且被配置为从通过端口922耦合的第二设备(未示出)检测信息的电路逻辑940。计算机900还可以包括经由总线902耦合的输出显示器926。在一些实施例中,显示器926可以包括用于向用户显示信息或内容的液晶显示器(LCD)或任何其他显示技术,包括三维(3D)显示器。或者,显示器926可以包括也可以是输入设备924的一部分的触摸屏。在一些环境中,显示器926可以包括音频设备,例如用于提供音频信息的扬声器。计算机900还可以包括电源930,其可以包括供电源、电池、太阳能电池、燃料电池、或者用于提供电力或发电的其它设备。由电源930提供的任何电力可以根据需要被分配给计算机900的元件。

[0088] 尽管已经示出和描述了本公开的特定实施例和应用,但是应当理解,这些实施例不限于本文中公开的精确的构造和部件,可以在不脱离由所附权利要求限定的本公开的精神和范围的情况下,对本文中公开的本公开的方法和装置的布置、操作和细节做出各种修改、变化和变化。

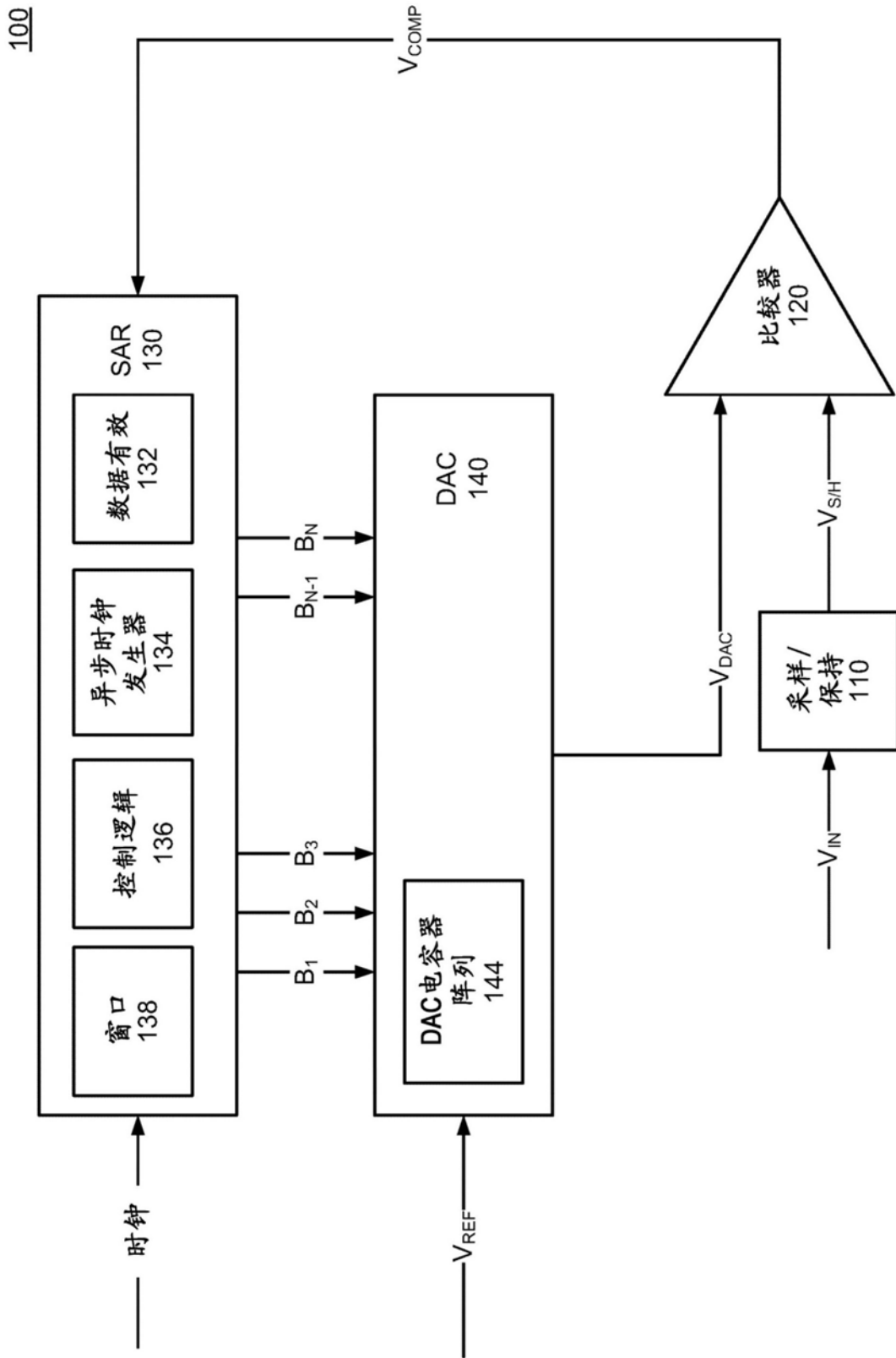


图1

200

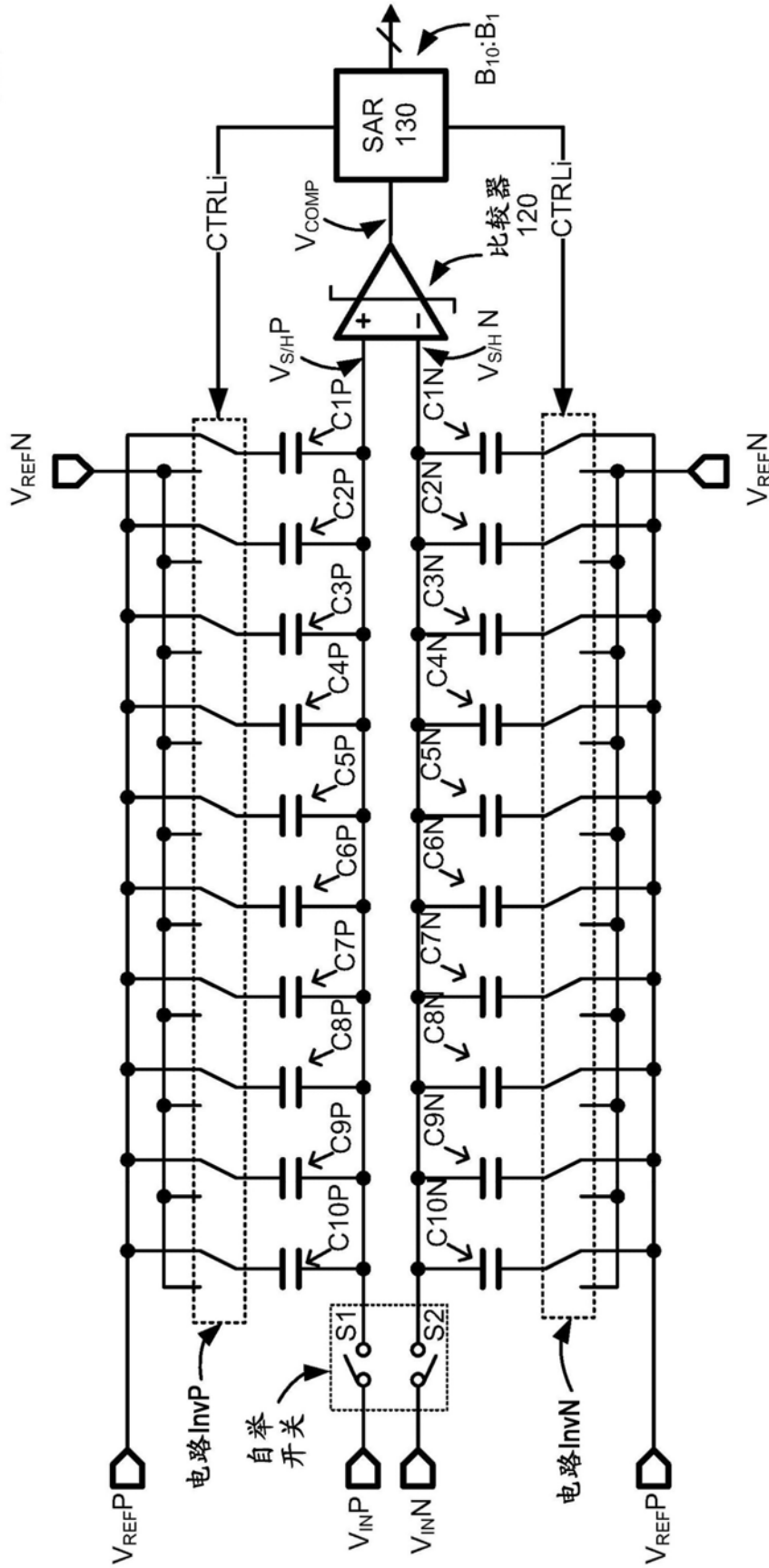


图2A

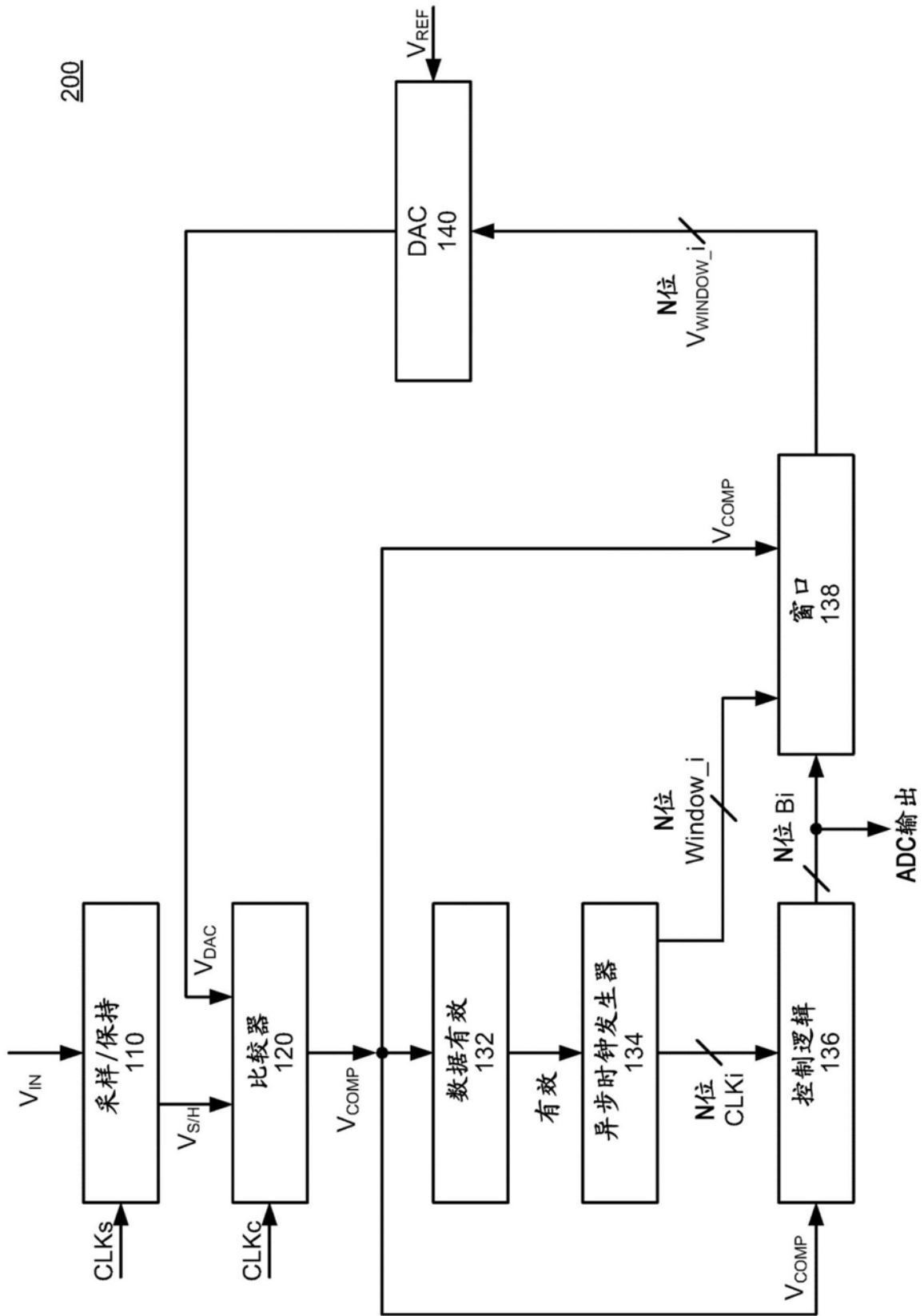


图2B

300

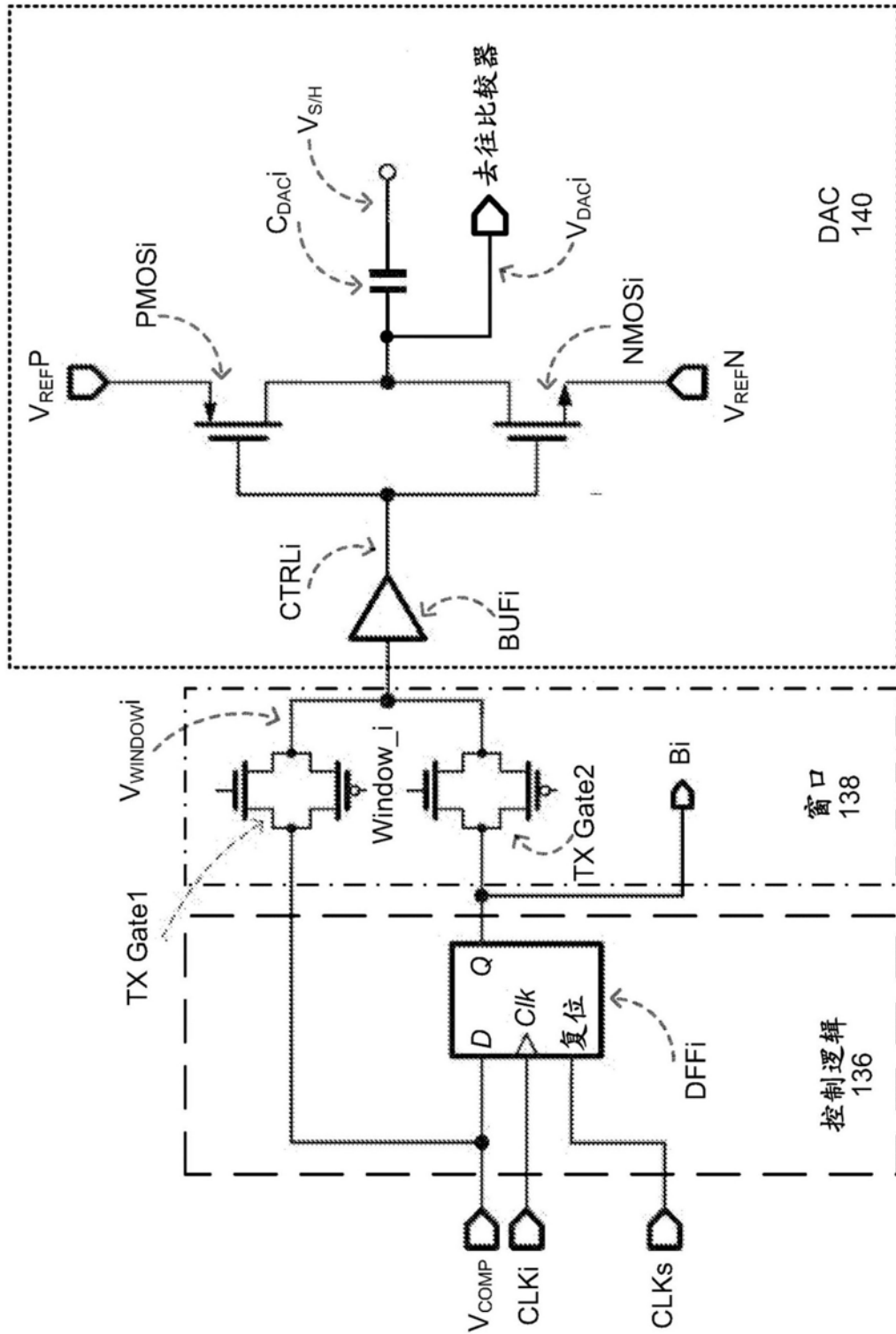


图3A

300

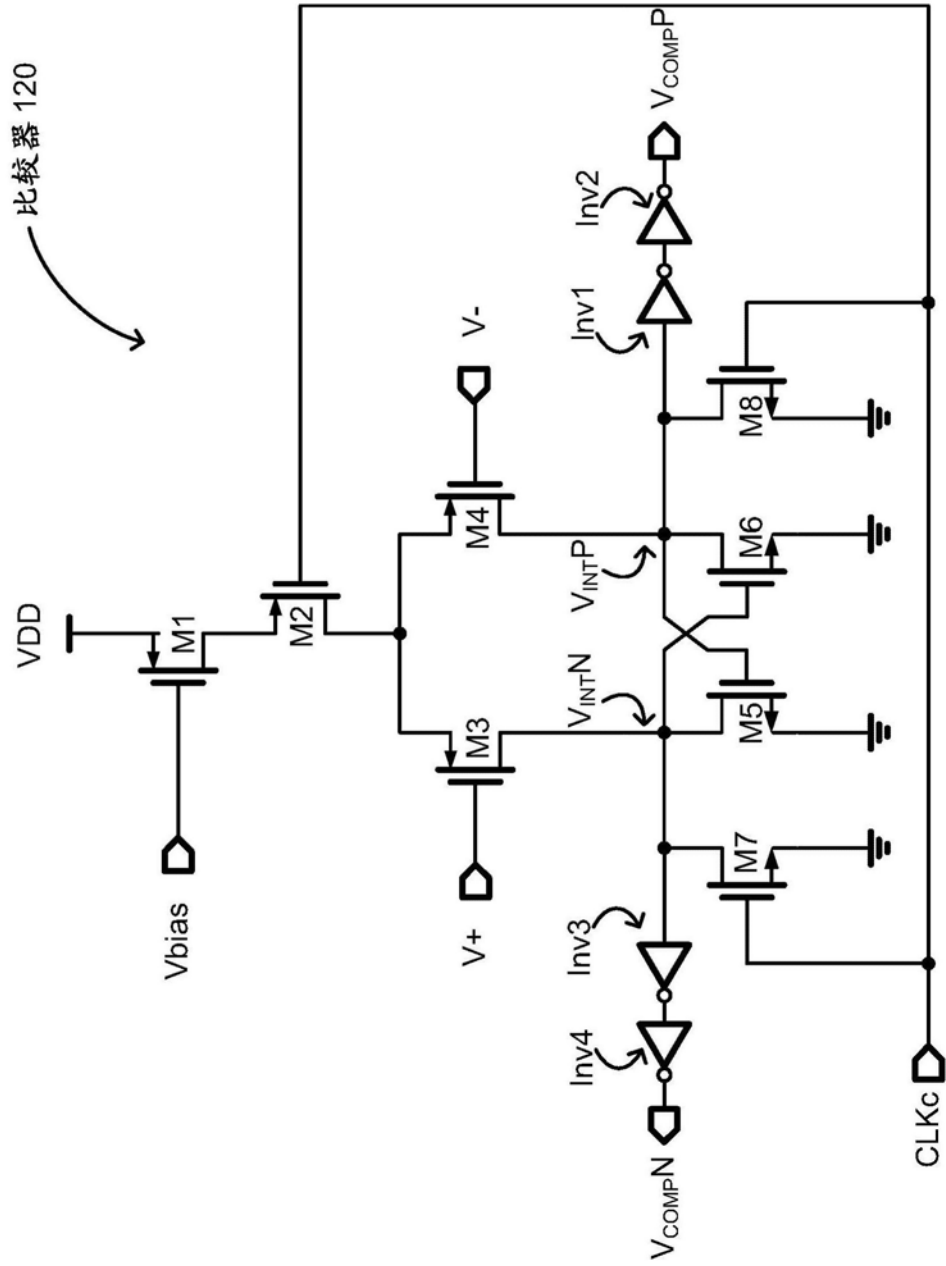


图3B

400

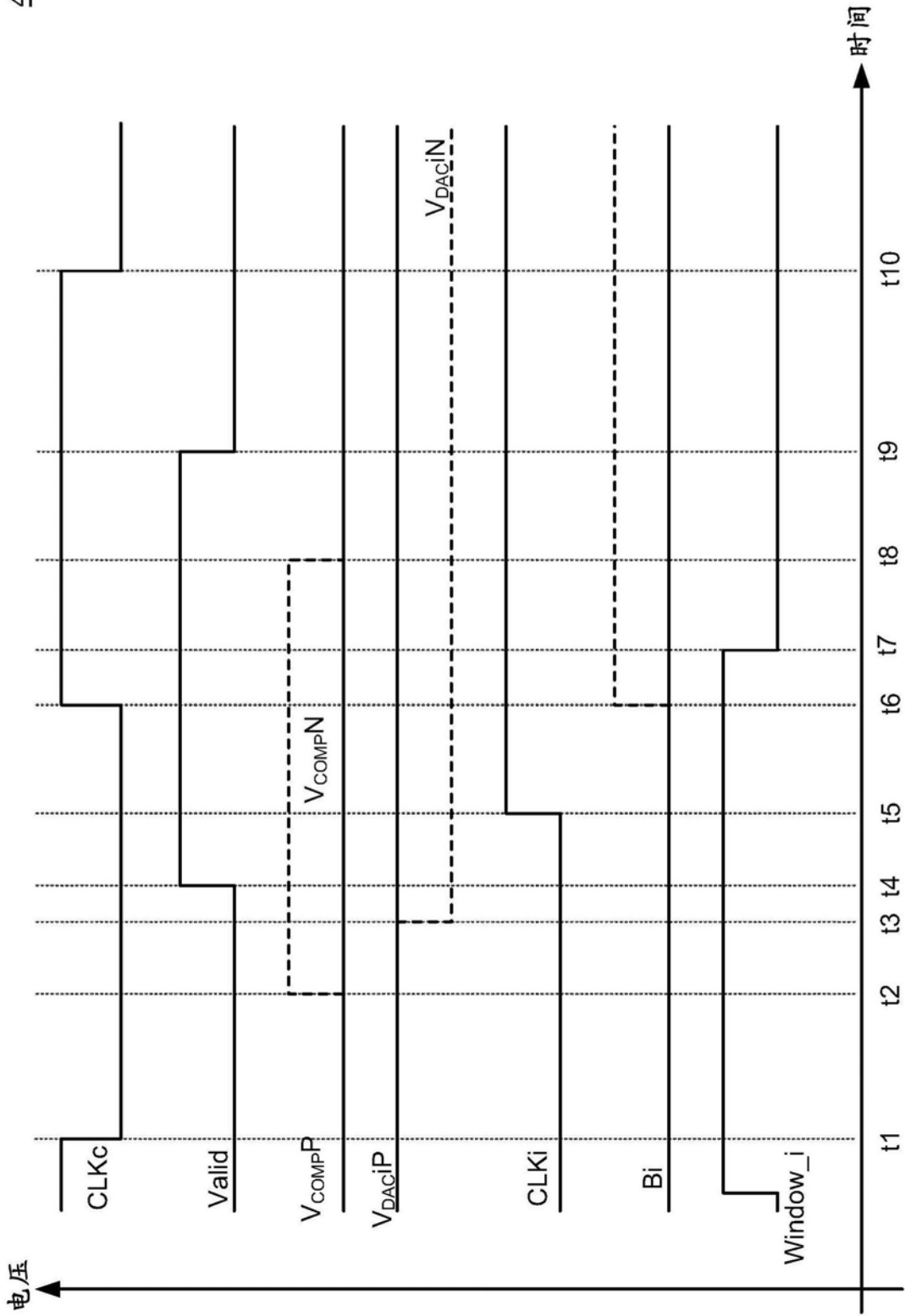


图4

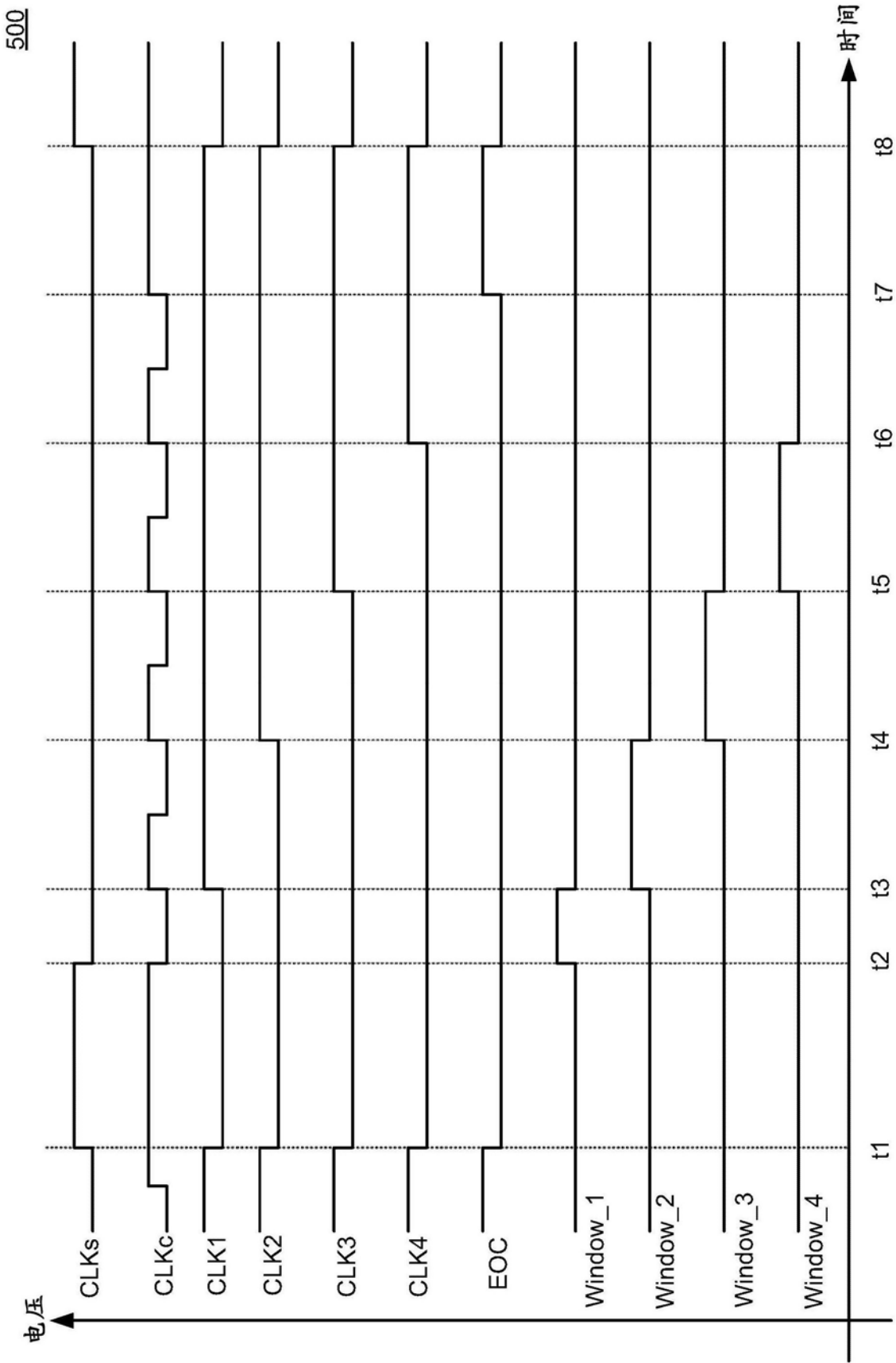


图5

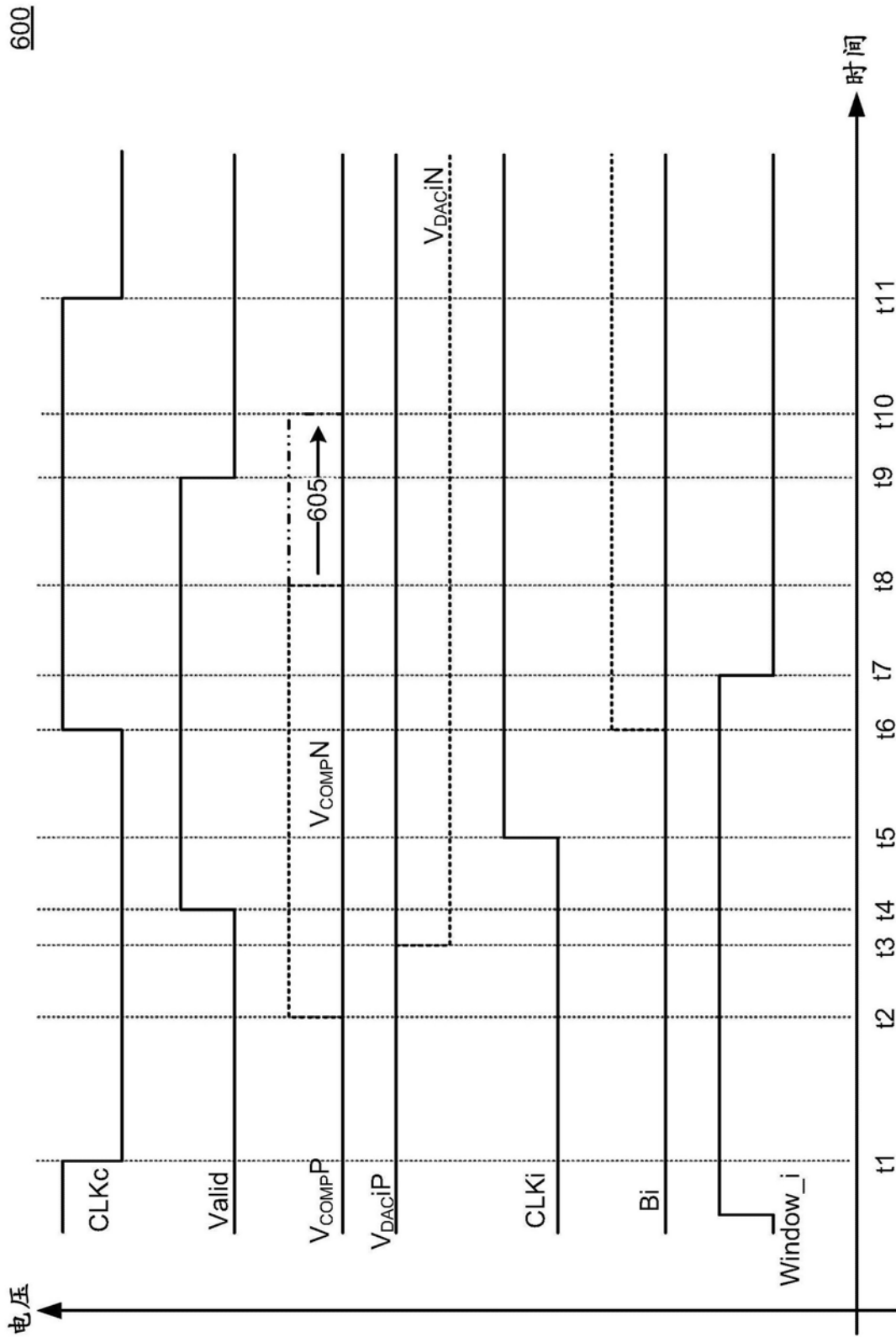
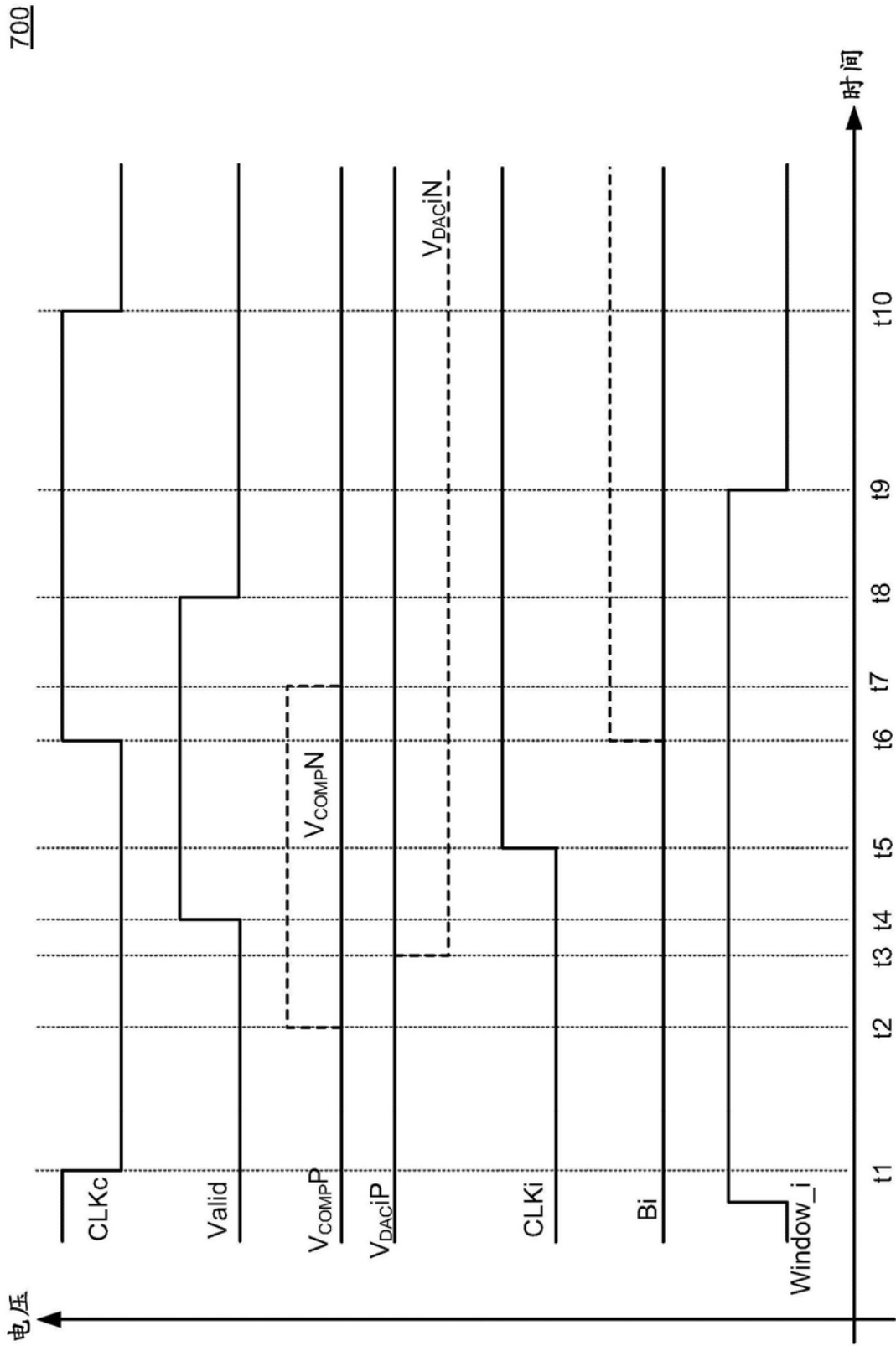


图6



700

图7

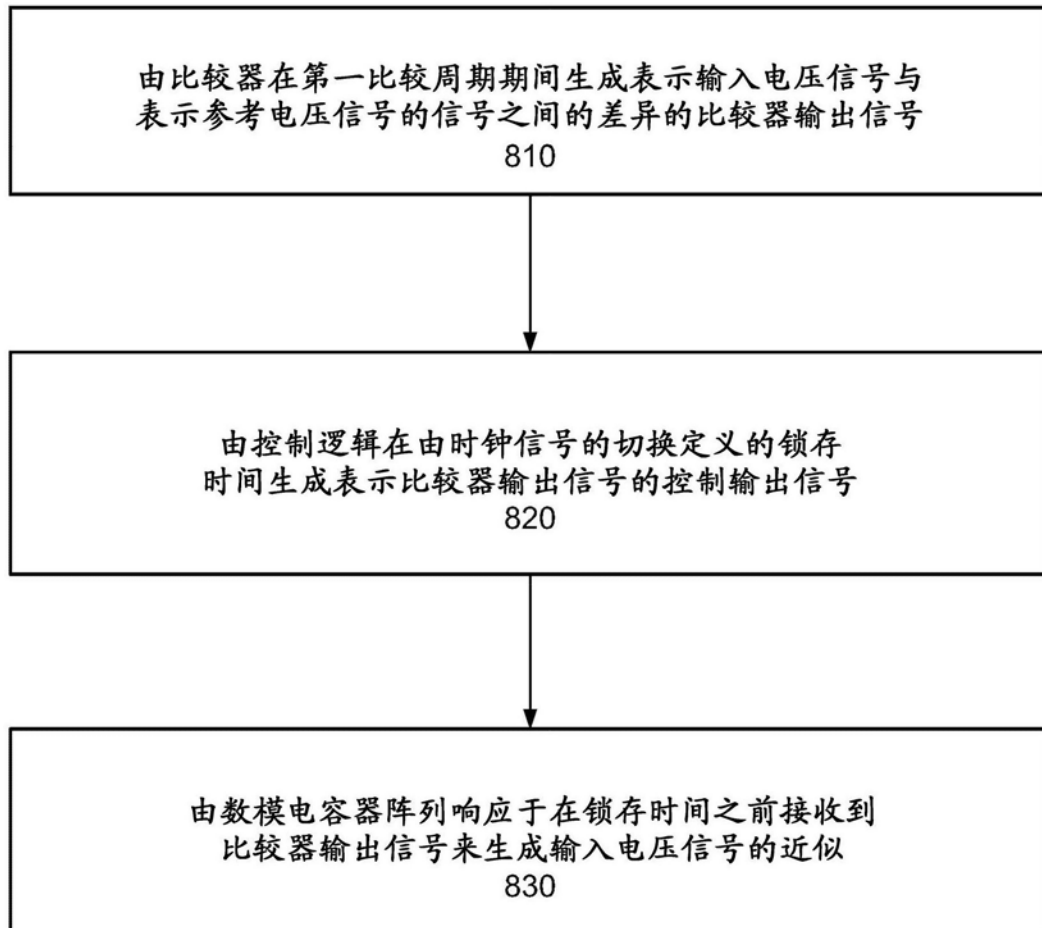


图8

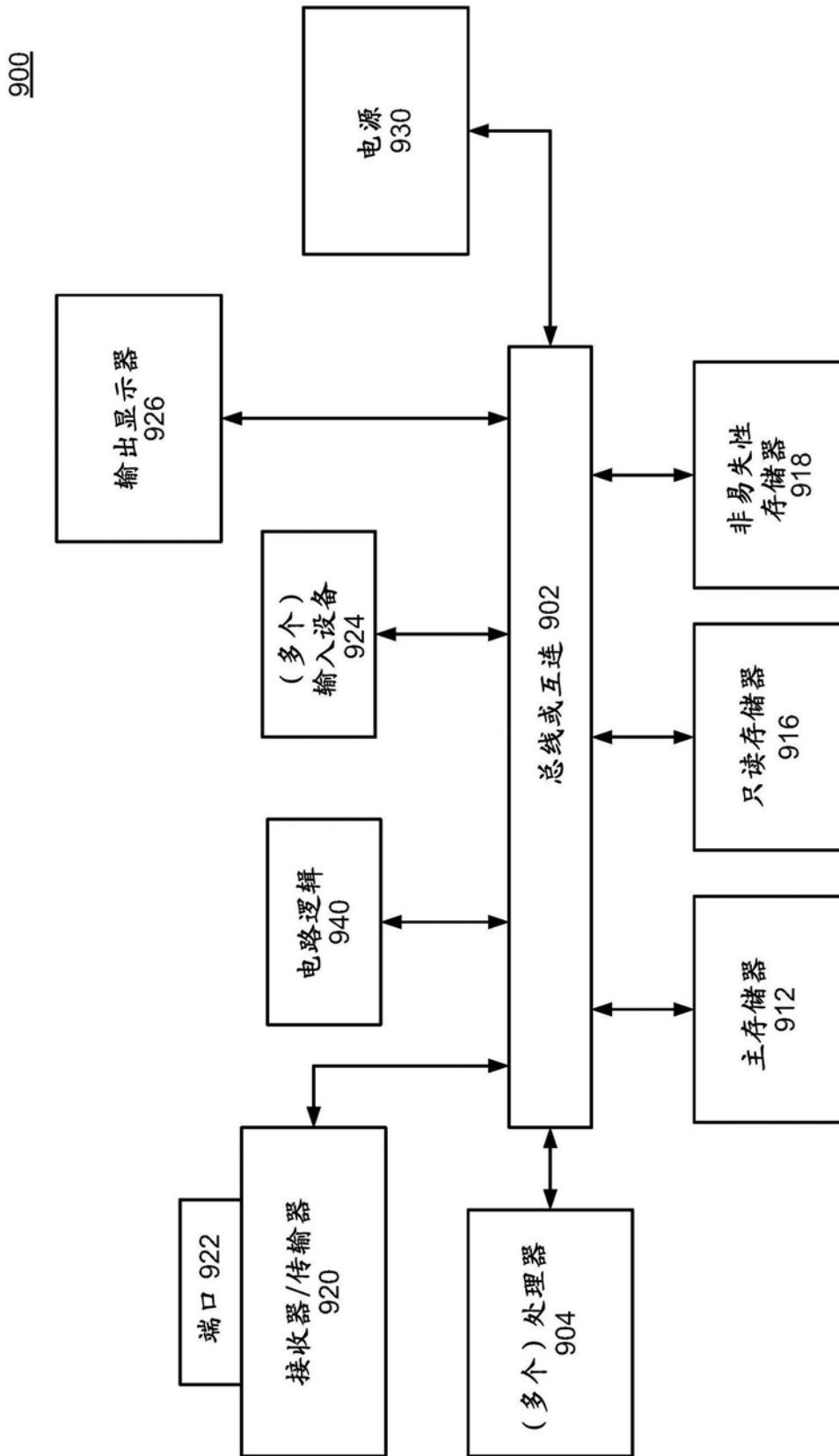


图9