



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년11월30일
(11) 등록번호 10-1087786
(24) 등록일자 2011년11월22일

(51) Int. Cl.

H01L 21/336 (2006.01)

(21) 출원번호 10-2009-0084537
(22) 출원일자 2009년09월08일
심사청구일자 2009년09월08일
(65) 공개번호 10-2011-0026757
(43) 공개일자 2011년03월16일

(56) 선행기술조사문헌

KR100724074 B1*
KR1020080090171 A*
KR100538101 B1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

조미현

전라남도 진도군 고군면 오산리 1421번지

(74) 대리인

특허법인태평양

전체 청구항 수 : 총 2 항

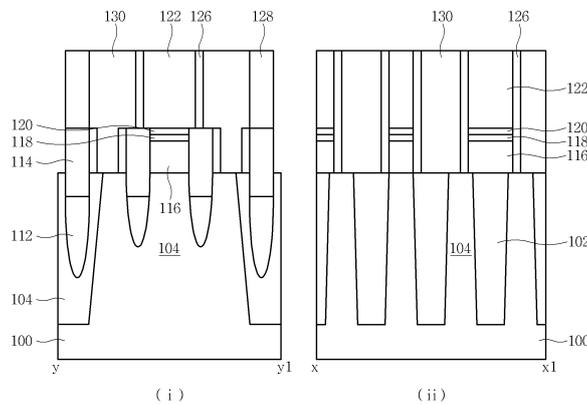
심사관 : 박근용

(54) 반도체 소자 및 그의 형성 방법

(57) 요약

본 발명은 소자분리막 및 활성영역에 매립된 매립형 게이트를 형성하고, 상기 매립형 게이트 상에 절연막을 형성하고, 상기 절연막 사이에 도전물질을 형성하고, 상기 도전물질 상에 상기 절연막과 평탄화된 높이를 갖도록 비트라인용 도전층을 형성한 후, 상기 소자분리막 또는 상기 활성영역 상에 상기 비트라인용 도전층 및 상기 도전물질의 적층구조를 갖는 비트라인을 형성함으로써, 별도의 마스크 공정없이 비트라인 콘택을 형성하여 마스크 공정을 수행하는데 소요되는 시간 및 비용을 절감할 수 있으며, 고집적화로 인해 비트라인 콘택이 정확하게 구현되지 않는 문제를 근본적으로 해결하는 효과를 제공한다.

대표도 - 도4



특허청구의 범위

청구항 1

소자분리막 및 활성영역 상에 구비된 도전물질;

상기 도전물질과 동일한 폭을 갖는 비트라인 도전층; 및

상기 도전물질 및 상기 비트라인 도전층 측벽에 상기 비트라인 도전층과 평탄화된 높이를 갖는 절연막을 포함 하되,

상기 비트라인 도전층 상에 구비된 하드마스크층을 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 2

청구항 2은(는) 설정등록료 납부시 포기되었습니다.

청구항 1에 있어서,

상기 절연막의 하부는 상기 소자분리막 및 상기 활성영역에 일부 매립된 것을 특징으로 하는 반도체 소자.

청구항 3

청구항 3은(는) 설정등록료 납부시 포기되었습니다.

청구항 1에 있어서,

상기 절연막의 하부에

상기 소자분리막 및 상기 활성영역에 매립된 매립형 게이트를 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 4

삭제

청구항 5

청구항 5은(는) 설정등록료 납부시 포기되었습니다.

청구항 1에 있어서,

상기 하드마스크층 및 상기 절연막의 측벽에 스페이서를 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 6

청구항 6은(는) 설정등록료 납부시 포기되었습니다.

청구항 1에 있어서,

상기 비트라인 도전층 상에 구비된 층간절연막을 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 7

청구항 7은(는) 설정등록료 납부시 포기되었습니다.

청구항 5에 있어서,

상기 스페이서 사이에 저장전극 콘택을 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 8

소자분리막 및 활성영역에 매립된 매립형 게이트를 형성하는 단계;

상기 매립형 게이트 상에 절연막을 형성하는 단계;

상기 절연막 사이에 도전물질을 형성하는 단계;

상기 도전물질 상에 상기 절연막과 평탄화된 높이를 갖도록 비트라인용 도전층을 형성하는 단계; 및
 상기 소자분리막 또는 상기 활성영역 상에 상기 비트라인용 도전층 및 상기 도전물질의 적층구조를 갖는 비트라인을 형성하는 단계를 포함하되,
 상기 비트라인용 도전층을 형성하는 단계는
 상기 도전물질을 포함하는 전체 상부에 상기 비트라인용 도전층을 형성하는 단계; 및
 상기 절연막이 노출되도록 상기 비트라인용 도전층에 평탄화 식각 공정을 수행하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 9

청구항 9은(는) 설정등록료 납부시 포기되었습니다.

청구항 8에 있어서,

상기 매립형 게이트를 형성하는 단계는

상기 소자분리막 및 상기 활성영역의 전체 상부에 희생절연막 및 제 1 하드마스크층을 형성하는 단계;

상기 제 1 하드마스크층 상부에 리세스를 정의하는 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 식각마스크로 상기 제 1 하드마스크층, 상기 희생절연막, 상기 소자분리막 및 상기 활성영역을 식각하여 리세스를 형성하는 단계; 및

상기 리세스에 매립형 게이트용 도전물질을 매립하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 10

청구항 10은(는) 설정등록료 납부시 포기되었습니다.

청구항 9에 있어서,

상기 절연막을 형성하는 단계는

전체 상부에 절연막을 형성하는 단계;

상기 희생절연막이 노출되도록 상기 절연막에 평탄화 식각 공정을 수행하는 단계; 및

상기 희생절연막만을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 11

청구항 11은(는) 설정등록료 납부시 포기되었습니다.

상기 희생절연막만을 제거하는 단계는

상기 절연막과 상기 희생절연막의 식각선택비를 이용하여 제거하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 12

청구항 12은(는) 설정등록료 납부시 포기되었습니다.

청구항 10에 있어서,

상기 절연막의 식각선택비는 상기 희생절연막의 식각선택비보다 낮은 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 13

청구항 13은(는) 설정등록료 납부시 포기되었습니다.

청구항 8에 있어서,

상기 도전물질을 형성하는 단계는

전체 상부에 상기 절연막보다 낮은 두께로 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 14

삭제

청구항 15

청구항 15은(는) 설정등록료 납부시 포기되었습니다.

청구항 8에 있어서,

상기 소자분리막 또는 상기 활성영역 상에 상기 비트라인용 도전층 및 상기 도전물질의 적층구조를 갖는 상기 비트라인을 형성하는 단계는

상기 비트라인용 도전층 상부에 제 2 하드마스크층을 형성하는 단계;

상기 제 2 하드마스크층 상에 비트라인을 정의하는 감광막 패턴을 형성하는 단계; 및

상기 감광막 패턴을 식각마스크로 상기 제 2 하드마스크층, 상기 비트라인용 도전층 및 상기 도전물질을 식각하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 16

청구항 16은(는) 설정등록료 납부시 포기되었습니다.

청구항 8에 있어서,

상기 소자분리막 또는 상기 활성영역 상에 상기 비트라인용 도전층 및 상기 도전물질의 적층구조를 갖는 상기 비트라인을 형성하는 단계 이후,

상기 비트라인 및 상기 절연막의 측벽에 스페이서 절연물질을 형성하는 단계;

상기 스페이서 절연물질을 포함하는 전체 상부에 층간절연막을 형성하는 단계;

상기 층간절연막 상에 저장전극 콘택을 정의하는 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 식각마스크로 상기 층간절연막을 식각하여 저장전극 콘택홀을 형성하는 단계;

상기 저장전극 콘택홀에 도전물질을 매립하여 저장전극 콘택을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 소자 및 그의 형성 방법에 관한 것으로, 보다 자세하게는 매립형 게이트를 포함하는 반도체 소자에 있어서, 마스크의 추가 공정없이 비트라인 콘택이 형성되도록 하는 반도체 소자 및 그의 형성 방법에 관한 것이다.

배경기술

[0002] 최근의 대부분의 전자 제품들(electronic appliances)은 반도체 장치(semiconductor devices)를 구비한다. 상기 반도체 장치는 트랜지스터, 저항 및 커패시터 등의 전자 부품(electronic element)들을 구비하며, 이들 전자 부품들은 상기 전자 제품들의 부분적 기능을 수행할 수 있도록 설계된 후, 반도체 기판 상에 집적된다. 예를 들면, 컴퓨터 또는 디지털 카메라 등의 전자 제품들은 정보 저장을 위한 메모리 칩(memory chip), 정보 제어를 위한 처리 칩(processing chip) 등의 반도체 장치들을 구비하고, 상기 메모리 칩 및 처리 칩은 반도체 기판 상에

집적된 상기 전자 부품들을 구비한다.

- [0003] 한편, 상기 반도체 장치들은 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해, 점점 더 고집적화될 필요가 있다. 반도체 메모리 소자의 집적도가 높아지면서 디자인 룰(design rule)이 감소하게 되어 반도체 소자의 패턴도 미세화되고 있다. 반도체 소자의 극미세화 및 고집적화가 진행됨에 따라 메모리 용량의 증가에 비례하여 전체적인 칩(chip) 면적은 증가되고 있지만 실제로 반도체 소자의 패턴이 형성되는 셀(cell) 영역의 면적은 감소되고 있다. 따라서, 원하는 메모리 용량을 확보하기 위해서는 한정된 셀 영역 내에 보다 많은 패턴이 형성되어야만 하므로, 패턴의 선폭(critical dimension)이 감소된 미세 패턴을 형성하여야 한다.
- [0004] 특히, 상하의 도전배선을 연결하는 콘택은 라인/스페이스 패턴에 비해 디자인룰에 큰 영향을 받게 된다. 즉, 소자가 고집적화 되어감에 따라 자체의 크기와 주변배선과의 간격이 감소함에 따라 콘택의 지름과 깊이의 비인 에스펙트비(aspect ratio)가 증가하게 되어 콘택을 형성하는 공정은 점차 고집적화되는 반도체 소자의 형성 방법에서 중요하다. 따라서, 다층의 도전배선을 구비하는 고집적 반도체소자에서는 콘택 형성 공정에서 마스크들간의 정확하고 엄격한 정렬이 요구되어 공정여유도가 감소되거나, 여유없이 공정을 진행하여야하는 어려움이 있다.
- [0005] 도 1은 종래 기술에 따른 반도체 소자의 평면도이고, 도 2a 내지 도 2e는 종래 기술에 따른 반도체 소자의 형성 방법을 나타낸 단면도로서, (i)은 y-y'를 자른 단면도이고, (ii)는 x-x'를 자른 단면도이다.
- [0006] 도 2a에 도시된 바와 같이, 소자분리막(12)으로 정의되는 활성영역(14)이 형성된 반도체 기판(10) 상에 절연막(16)을 형성한다. 그 다음, 절연막(16) 상에 리세스 영역을 정의하는 감광막 패턴(미도시)을 형성한 후, 감광막 패턴(미도시)을 식각마스크로 절연막(16) 및 반도체 기판(10)을 식각하여 리세스(18)를 형성한다.
- [0007] 도 2b에 도시된 바와 같이, 리세스(18)를 포함하는 전체 상부에 도전물질을 형성한 후, 에치백을 수행하여 리세스(18) 내에 매립형 게이트(20)를 형성한다.
- [0008] 도 2c에 도시된 바와 같이, 매립형 게이트(20)을 포함하는 전체 상부에 캡핑 절연막(18)을 형성하고, 그 상부에 절연막(22)을 형성한다.
- [0009] 도 2d에 도시된 바와 같이, 절연막(22) 상부에 비트라인 콘택을 정의하는 감광막 패턴(미도시)을 형성한 후, 감광막 패턴(미도시)을 식각마스크로 절연막(22), 캡핑 절연막(18) 및 절연막(16)을 식각하여 비트라인 콘택홀(미도시)을 형성한다. 이어서, 비트라인 콘택홀(미도시)을 포함하는 전체 상부에 도전물질(24)을 형성한다. 이후, 도식되지는 않았지만, 절연막(22)이 노출되도록 도전물질(24)에 평탄화 식각 공정을 수행하여 비트라인 콘택을 형성한다.
- [0010] 도 2e에 도시된 바와 같이, 도전물질(24)을 포함하는 전체 상부에 비트라인 전극(26), 배리어 금속(28) 및 하드마스크층(30)을 형성한 후, 하드마스크층(30) 상부에 비트라인을 정의하는 감광막 패턴(미도시)을 형성하고, 이를 식각마스크로 절연막(16)이 노출되도록 하드마스크층(30), 배리어 금속(28) 및 비트라인 전극(26), 절연막(22) 및 캡핑 절연막(18)을 식각하여 비트라인을 형성한다.
- [0011] 여기서, 도 2d에 도시된 공정을 살펴보면, 비트라인 콘택을 형성하기 위해서는 활성영역(14)을 노출시키기 위한 감광막 패턴(미도시)형성 공정 즉, 마스크 공정이 수반되는 것을 알 수 있다. 그러나, 반도체 소자의 고집적화로 미세한 콘택홀을 정의하는 감광막 패턴을 정의하는데 한계가 있으며, 이로 인해 콘택홀의 형성이 어려운 문제가 있다.

발명의 내용

해결 하고자하는 과제

- [0012] 본 발명은 매립형 게이트를 포함하는 반도체 소자의 비트라인 콘택이 감광막 패턴을 이용하여 정의되는 경우, 반도체 소자의 고집적화로 인해 비트라인 콘택이 미세화됨에 따라 감광막 패턴을 정확하게 구현하기 어려워 비트라인 콘택이 미형성되는 문제를 해결하고자 한다.

과제 해결수단

- [0013] 본 발명의 반도체 소자는 소자분리막 및 활성영역 상에 구비된 도전물질과 상기 도전물질과 동일한 폭을 갖는 비트라인 도전층 및 상기 도전물질 및 상기 비트라인 도전층 측벽에 상기 비트라인 도전층과 평탄화된 높이를 갖는 절연막을 포함하는 것을 특징으로 한다.

- [0014] 이때, 상기 절연막의 하부는 상기 소자분리막 및 상기 활성영역에 일부 매립된 것을 특징으로 한다.
- [0015] 그리고, 상기 절연막의 하부에 상기 소자분리막 및 상기 활성영역에 매립된 매립형 게이트를 더 포함하는 것을 특징으로 한다.
- [0016] 그리고, 상기 비트라인 도전층 상에 구비된 하드마스크층을 더 포함하는 것을 특징으로 한다.
- [0017] 이때, 상기 하드마스크층 및 상기 절연막의 측벽에 스페이서를 더 포함하는 것을 특징으로 한다.
- [0018] 그리고, 상기 비트라인 도전층 상에 구비된 층간절연막을 더 포함하는 것을 특징으로 한다.
- [0019] 그리고, 상기 스페이서 및 상기 층간절연막 사이에 저장전극 콘택을 더 포함하는 것을 특징으로 한다.
- [0020] 본 발명의 반도체 소자의 형성 방법은 소자분리막 및 활성영역에 매립된 매립형 게이트를 형성하는 단계와 상기 매립형 게이트 상에 절연막을 형성하는 단계와 상기 절연막 사이에 도전물질을 형성하는 단계와 상기 도전물질 상에 상기 절연막과 평탄화된 높이를 갖도록 비트라인용 도전층을 형성하는 단계 및 상기 소자분리막 또는 상기 활성영역 상에 상기 비트라인용 도전층 및 상기 도전물질의 적층구조를 갖는 비트라인을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0021] 이때, 상기 매립형 게이트를 형성하는 단계는 상기 소자분리막 및 상기 활성영역의 전체 상부에 희생절연막 및 제 1 하드마스크층을 형성하는 단계와 상기 제 1 하드마스크층 상부에 리세스를 정의하는 감광막 패턴을 형성하는 단계와 상기 감광막 패턴을 식각마스크로 상기 제 1 하드마스크층, 상기 희생절연막, 상기 소자분리막 및 상기 활성영역을 식각하여 리세스를 형성하는 단계 및 상기 리세스에 매립형 게이트용 도전물질을 매립하는 단계를 포함하는 것을 특징으로 한다.
- [0022] 그리고, 상기 절연막을 형성하는 단계는 전체 상부에 절연막을 형성하는 단계와 상기 희생절연막이 노출되도록 상기 절연막에 평탄화 식각 공정을 수행하는 단계 및 상기 희생절연막만을 제거하는 단계를 포함하는 것을 특징으로 한다.
- [0023] 이때, 상기 희생절연막만을 제거하는 단계는 상기 절연막과 상기 희생절연막의 식각선택비를 이용하여 제거하는 것을 특징으로 한다.
- [0024] 그리고, 상기 절연막의 식각선택비는 상기 희생절연막의 식각선택비보다 낮은 것을 특징으로 한다.
- [0025] 그리고, 상기 도전물질을 형성하는 단계는 전체 상부에 상기 절연막보다 낮은 두께로 형성하는 것을 특징으로 한다.
- [0026] 그리고, 상기 비트라인용 도전층을 형성하는 단계는 상기 도전물질을 포함하는 전체 상부에 상기 비트라인용 도전층을 형성하는 단계 및 상기 절연막이 노출되도록 상기 비트라인용 도전층에 평탄화 식각 공정을 수행하는 단계를 포함하는 것을 특징으로 한다.
- [0027] 또한, 상기 비트라인을 형성하는 단계는 상기 비트라인용 도전층 상부에 제 2 하드마스크층을 형성하는 단계와 상기 제 2 하드마스크층 상에 비트라인을 정의하는 감광막 패턴을 형성하는 단계 및 상기 감광막 패턴을 식각마스크로 상기 제 2 하드마스크층, 상기 비트라인용 도전층 및 상기 도전물질을 식각하는 단계를 더 포함하는 것을 특징으로 한다.
- [0028] 그리고, 상기 비트라인을 형성하는 단계 이후, 상기 비트라인 및 상기 절연막의 측벽에 스페이서 절연물질을 형성하는 단계와 상기 스페이서 절연물질을 포함하는 전체 상부에 층간절연막을 형성하는 단계와 상기 층간절연막 상에 저장전극 콘택을 정의하는 감광막 패턴을 형성하는 단계와 상기 감광막 패턴을 식각마스크로 상기 층간절연막을 식각하여 저장전극 콘택홀을 형성하는 단계와 상기 저장전극 콘택홀에 도전물질을 매립하여 저장전극 콘택을 형성하는 단계를 더 포함하는 것을 특징으로 한다.

효 과

- [0029] 본 발명은 비트라인 콘택을 형성하는데 있어서, 마스크 공정을 수행하지 않음으로써 마스크 공정을 수행하는데 소요되는 시간 및 비용을 절감할 수 있으며, 고집적화로 인해 비트라인 콘택이 정확하게 구현되지 않는 문제를 근본적으로 해결하는 효과를 제공한다.

발명의 실시를 위한 구체적인 내용

- [0030] 이하에서는 본 발명의 실시예를 첨부한 도면을 참조하여 상세히 설명하기로 한다.
- [0031] 도 3은 본 발명에 따른 반도체 소자를 나타낸 평면도이고, 도 4는 본 발명에 따른 반도체 소자를 나타낸 단면도이고, 도 5a 내지 도 5g는 본 발명에 따른 반도체 소자의 형성 방법을 나타낸 단면도로서, (i)는 y-y1을 자른 단면도이고, (ii)는 x-x1을 자른 단면도이다.
- [0032] 도 4에 도시된 바와 같이, 본 발명의 반도체 소자는 소자분리막(102)으로 정의되는 활성영역(104)을 포함하는 반도체 기판(100) 전체에 도전물질(116), 배리어 메탈층(118), 비트라인용 도전층(120) 및 하드마스크층(122)의 적층구조를 갖는 비트라인을 포함한다. 즉, 본 발명에 따른 비트라인은 활성영역(104) 뿐만 아니라 소자분리막(102) 상에서 비트라인용 도전층(120)의 하부에 도전물질(116)이 구비된 구조를 갖는 것이 바람직하다. 여기서, 도전물질(116)은 비트라인 콘택인 것이 바람직하고, 도전물질(116)과 비트라인용 도전층(120)은 동일한 폭을 갖는 것이 바람직하다. 그리고, 도전물질(116), 배리어 메탈층(118) 및 비트라인용 도전층(120)의 적층구조의 측면에는 비트라인용 도전층(120)의 최상부와 평탄화된 높이를 갖도록 구비된 절연막(114)을 더 포함한다. 여기서, 절연막(114)은 소자분리막(102) 및 활성영역(104) 내에 매립된 매립형 게이트(112)의 상부에 구비되는 것이 바람직하다. 또한, 하드마스크층(122) 및 절연막(114)의 측면에 구비된 스페이서(126)를 더 포함한다.
- [0033] 도 5a에 도시된 바와 같이, 소자분리막(102)으로 정의되는 활성영역(104)을 포함하는 반도체 기판(100) 상부에 절연막(106) 및 하드마스크층(108)을 형성한다. 이어서, 하드마스크층(108) 상부에 리세스를 정의하는 감광막 패턴(미도시)을 형성한 후, 감광막 패턴(미도시)을 식각마스크로 하드마스크층(108), 절연막(106) 및 반도체 기판(100)을 식각하여 트렌치(110)를 형성한다. 이후, 감광막 패턴(미도시) 및 하드마스크층(108)을 제거한다. 여기서, 절연막(106)은 후속 공정에서 형성되는 매립형 게이트의 산화를 방지하는 절연막의 두께를 정의하기 때문에 충분히 두터운 두께를 갖는 것이 바람직하다.
- [0034] 도 5b에 도시된 바와 같이, 트렌치(110)를 포함하는 전체 상부에 도전물질을 형성한 후, 도전물질에 에치백을 수행하여 트렌치(110) 내에 일부 매립된 매립형 게이트(112)를 형성한다. 이때, 도전물질은 텅스텐인 것이 바람직하다. 이어서, 절연막(114)을 형성한 후, 절연막(106)이 노출되도록 평탄화 공정을 수행한다. 여기서, 절연막(114)은 절연막(106)과 상이한 식각 선택비를 갖는 물질로 형성되는 것이 바람직하다. 보다 구체적으로 절연막(114)은 절연막(106) 보다 낮은 식각 선택비를 가져, 절연막(106)이 식각될 때 식각되지 않는 것이 바람직하다. 예를 들면 절연막(114)은 질화막인 것이 바람직하다. 그리고, 절연막(114)은 매립형 게이트(112)의 산화를 방지하도록 충분히 두터운 두께를 갖는 것이 바람직하다.
- [0035] 도 5c에 도시된 바와 같이, 셀 영역을 노출시키는 감광막 패턴(미도시)을 형성한 후, 감광막 패턴을 식각마스크로 셀 영역의 절연막(106)을 제거한다. 여기서, 절연막(106) 및 절연막(114)은 상술한 바와 같이 상이한 식각 선택비를 갖기 때문에 절연막(106)이 식각될 때 절연막(114)은 제거되지 않는다. 보다 구체적으로, 절연막(114)은 절연막(106) 보다 낮은 식각선택비를 갖는 것이 바람직하다. 이 결과, 매립형 게이트(112) 상에 구비된 절연막(114)만이 돌출되는 형상이 된다.
- [0036] 도 5d에 도시된 바와 같이, 전체 상부에 절연막(114)을 포함하는 전체 상부에 도전물질(116)을 형성한다. 이때, 도전물질(116)은 절연막(114)의 높이보다 낮게 형성되는 것이 바람직하다. 그 이유는 후속 공정에서 절연막(114)의 높이와 동일해지도록 도전물질(116) 상부에 비트라인용 도전층을 더 형성하기 위함이다.
- [0037] 여기서, 도전물질(116)은 활성영역(104)과 후속 공정으로 형성되는 비트라인과 전기적으로 연결시키는 비트라인 콘택의 역할을 하게 된다. 즉, 종래와 같이 비트라인 콘택을 정의하기 위해 별도의 마스크 공정을 추가수행하지 않고 증착방법으로 비트라인 콘택을 형성함으로써, 비트라인 콘택이 구현되지 않는 문제를 근본적으로 해결하며, 공정에 소요되는 시간 및 비용을 절감할 수 있게 된다.
- [0038] 도 5e에 도시된 바와 같이, 전체 상부에 절연막(114) 및 도전물질(116)을 포함하는 전체 상부에 배리어 메탈층(118), 비트라인용 도전층(120) 및 하드마스크층(122, 124)을 형성한다. 이때, 비트라인용 도전층(120)은 절연막(114)과 평탄화된 높이를 갖는 것이 바람직하다.
- [0039] 도 5f에 도시된 바와 같이, 하드마스크층(124) 상에 비트라인을 정의하는 감광막 패턴(미도시)을 형성한 후, 감광막 패턴(미도시)을 식각마스크로 반도체 기판(100)이 노출되도록 하드마스크층(124, 122), 비트라인용 도전층(120), 배리어 메탈층(118) 및 도전물질(116)을 식각하여 비트라인을 형성한다. 이후, 하드마스크층(124)은 제거한다. 여기서, 비트라인은 활성영역(104) 뿐만 아니라 소자분리막(102) 상에도 상술한 바와 같은 구조로 구비된다. 즉, 종래와 같이 비트라인 콘택이 구비되어야 할 영역에만 마스크 공정을 이용하여 정의함으로써 활성영역(104)의 상부에만 구비되었던 구조와 달리, 활성영역(104) 사이에 구비되는 소자분리막(102)의 영역에도 연속

된 형태로 상술한 바와 같은 구조를 갖는다.

[0040] 도 5g에 도시된 바와 같이, 비트라인을 포함하는 전체 상부에 스페이서용 절연물질(126)을 형성한다. 그 다음, 전체 상부에 층간절연막(128)을 형성한 후, 하드마스크층(122)이 노출되도록 층간절연막(128)에 평탄화 식각 공정을 수행한다. 이후, 전체 상부에 저장전극 콘택홀을 정의하는 감광막 패턴(미도시)을 형성한 후, 이를 식각마스크로 반도체 기판(100)이 노출되도록 층간절연막(128)을 식각하여 저장전극 콘택홀(미도시)을 정의하는 것이 바람직하다. 이어서, 저장전극 콘택홀(미도시)을 포함하는 전체 상부에 도전물질을 형성한 후, 평탄화 식각 공정을 수행하여 저장전극 콘택(130)을 형성한다.

[0041] 상술한 바와 같이, 본 발명에 따른 비트라인의 형성 방법은 비트라인 콘택을 정의하기 위한 별도의 마스크 공정을 수행하지 않음으로써, 고집적화로 되어 패턴이 미세화되어도 비트라인 콘택이 용이하게 형성되도록 하여 공정을 단순화할 수 있어 공정비용 및 시간을 절감할 수 있는 효과를 제공한다.

도면의 간단한 설명

[0042] 도 1은 종래 기술에 따른 반도체 소자의 평면도.

[0043] 도 2a 내지 도 2e는 종래 기술에 따른 반도체 소자의 형성 방법을 나타낸 단면도로서, (i)은 y-y'를 자른 단면도이고, (ii)는 x-x'를 자른 단면도.

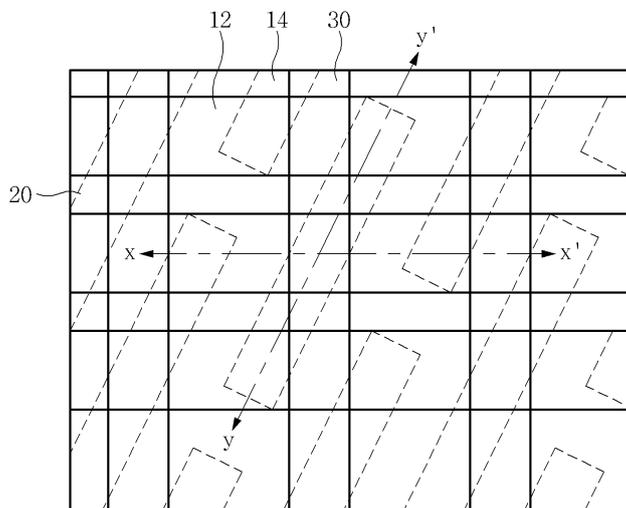
[0044] 도 3은 본 발명에 따른 반도체 소자를 나타낸 평면도.

[0045] 도 4는 본 발명에 따른 반도체 소자를 나타낸 단면도.

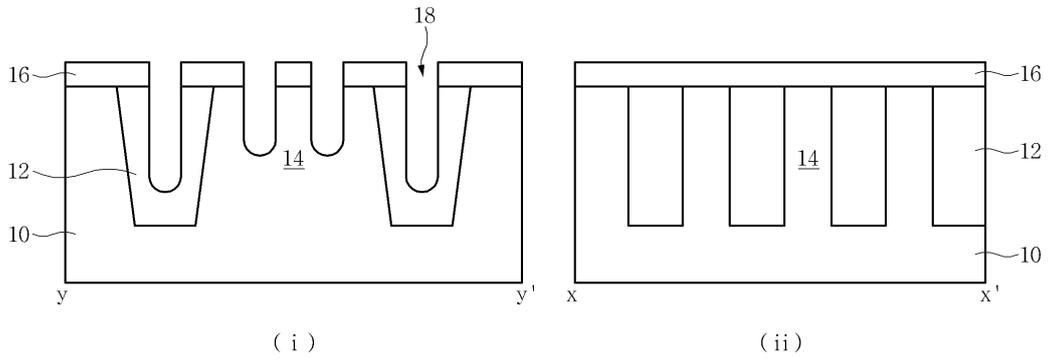
[0046] 도 5a 내지 도 5g는 본 발명에 따른 반도체 소자의 형성 방법을 나타낸 단면도로서, (i)는 y-y1을 자른 단면도이고, (ii)는 x-x1을 자른 단면도.

도면

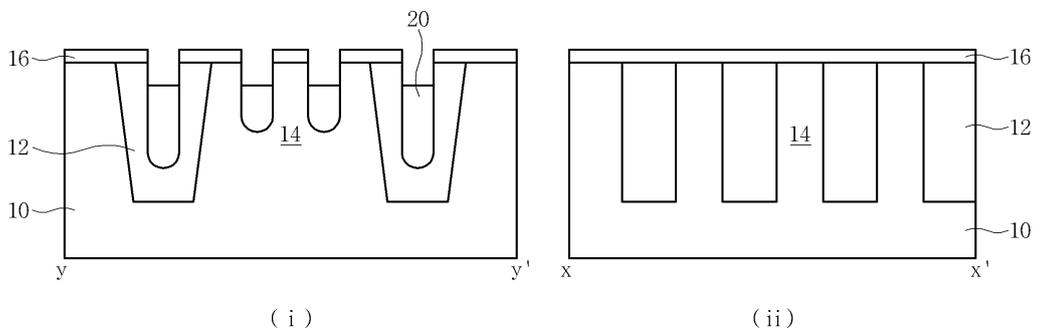
도면1



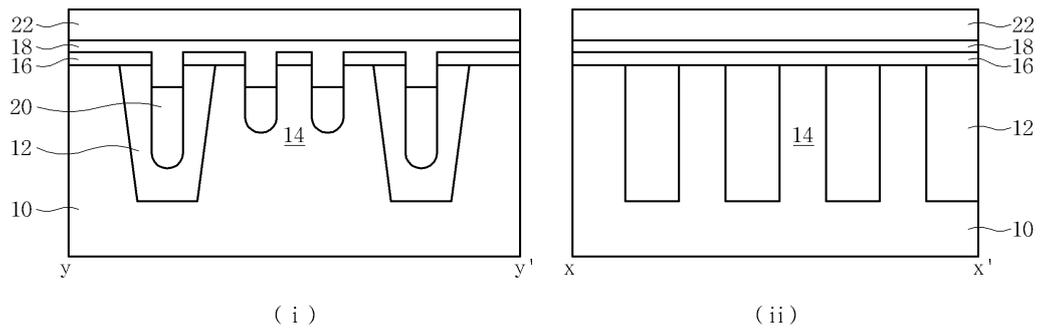
도면2a



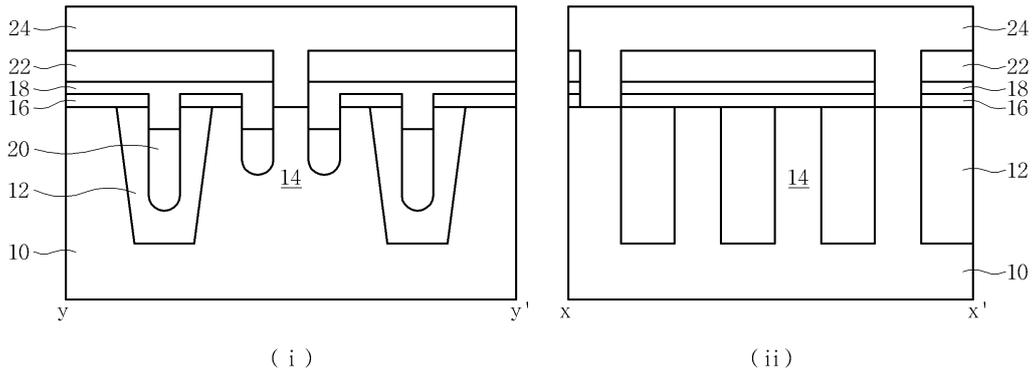
도면2b



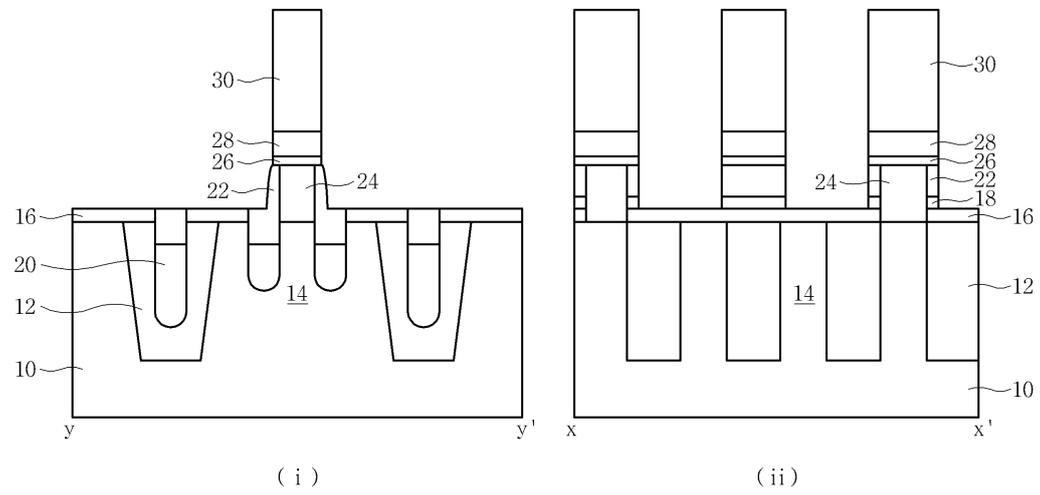
도면2c



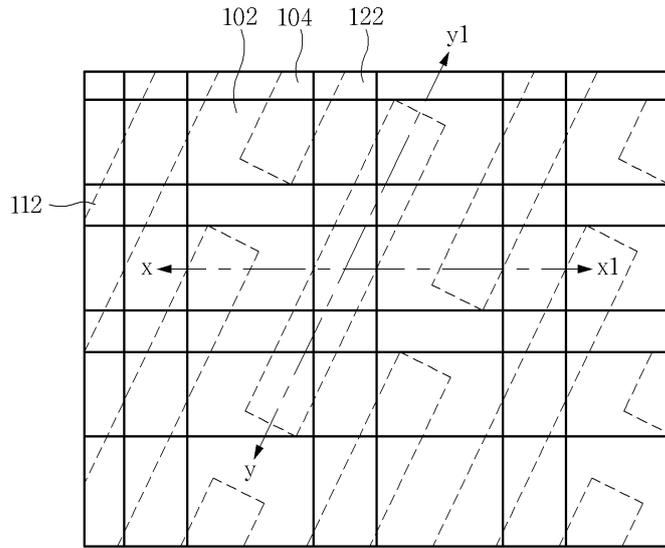
도면2d



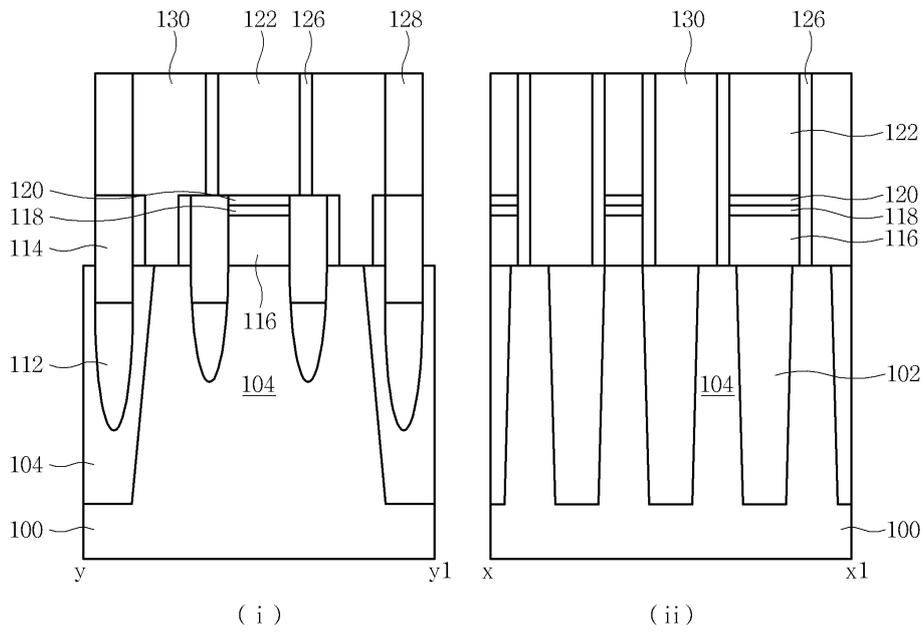
도면2e



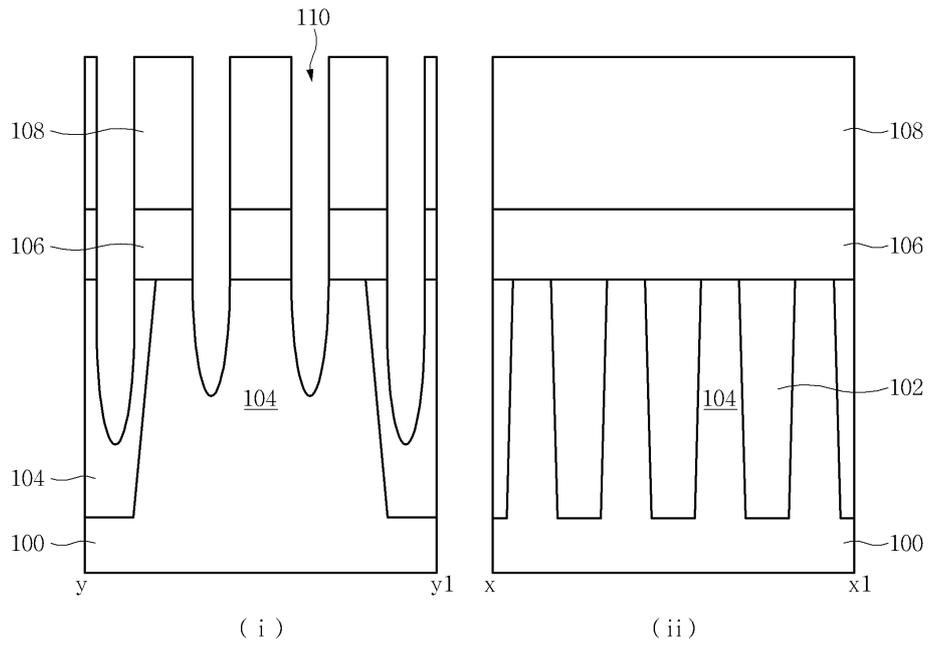
도면3



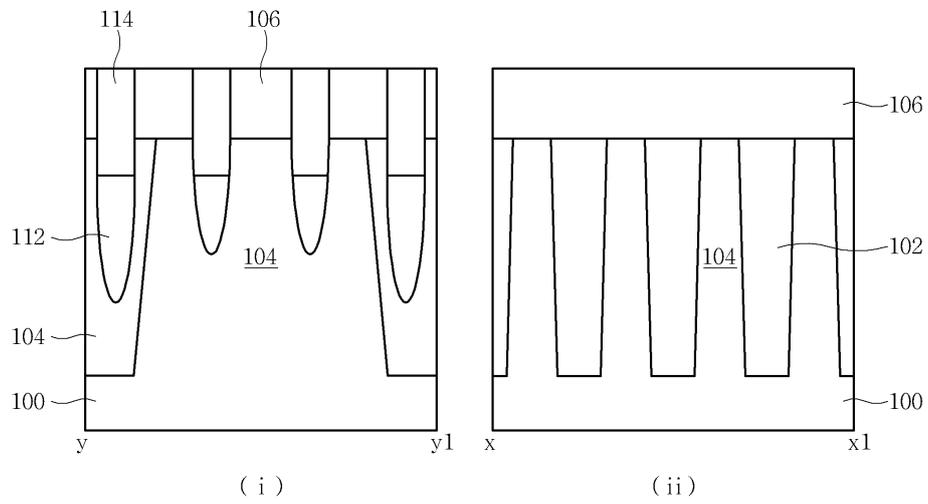
도면4



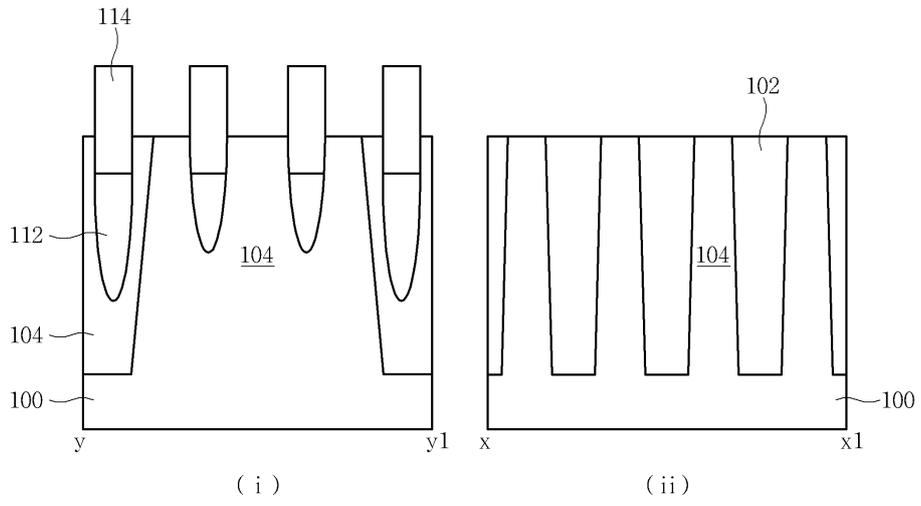
도면5a



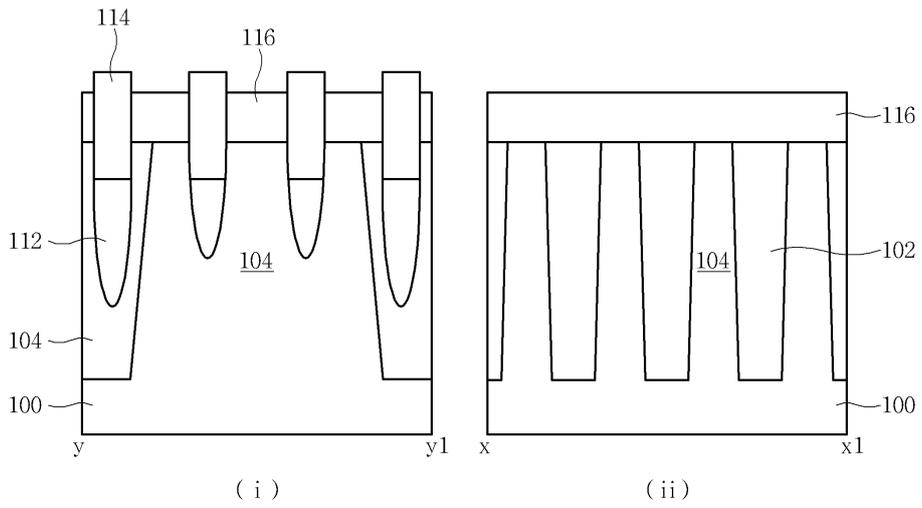
도면5b



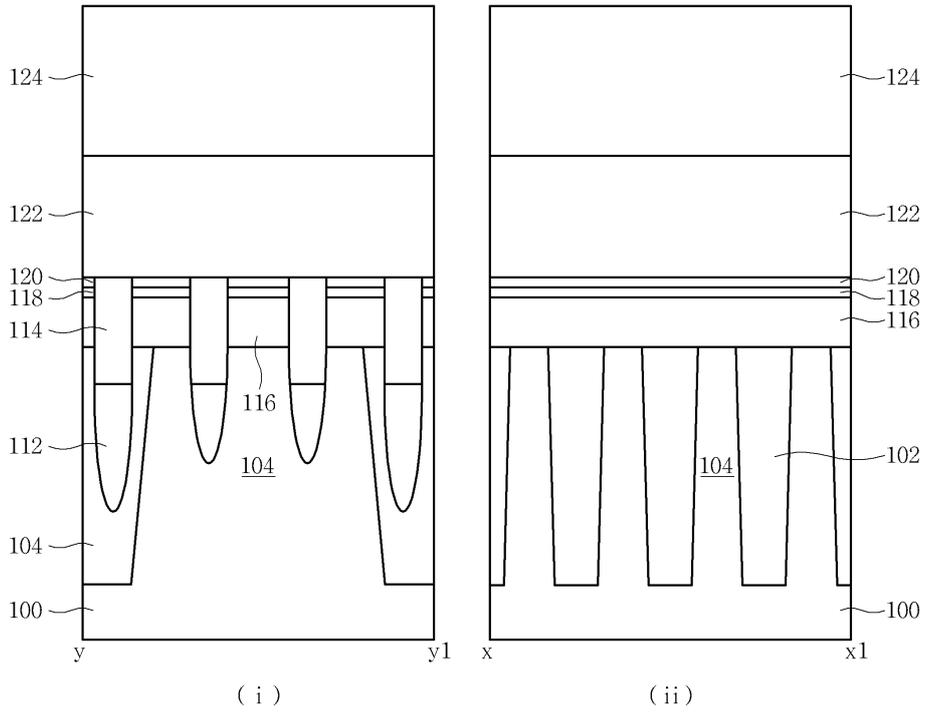
도면5c



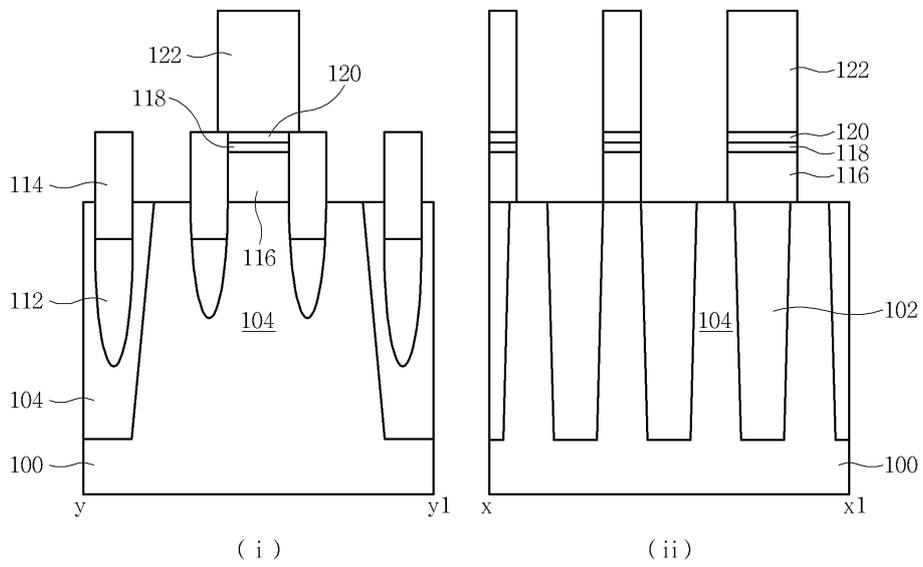
도면5d



도면5e



도면5f



도면5g

