

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4345249号
(P4345249)

(45) 発行日 平成21年10月14日(2009.10.14)

(24) 登録日 平成21年7月24日(2009.7.24)

(51) Int.Cl. F I
 HO 1 L 21/20 (2006.01) HO 1 L 21/20
 HO 1 L 21/205 (2006.01) HO 1 L 21/205
 HO 1 L 29/78 (2006.01) HO 1 L 29/78 3 O 1 B

請求項の数 12 (全 17 頁)

(21) 出願番号	特願2001-238172 (P2001-238172)	(73) 特許権者	302006854
(22) 出願日	平成13年8月6日(2001.8.6)		株式会社 S U M C O
(65) 公開番号	特開2003-51444 (P2003-51444A)		東京都港区芝浦一丁目2番1号
(43) 公開日	平成15年2月21日(2003.2.21)	(74) 代理人	100064908
審査請求日	平成17年4月8日(2005.4.8)		弁理士 志賀 正武
		(74) 代理人	100108578
			弁理士 高橋 詔男
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100101465
			弁理士 青山 正和
		(74) 代理人	100094400
			弁理士 鈴木 三義
		(74) 代理人	100107836
			弁理士 西 和哉

最終頁に続く

(54) 【発明の名称】 半導体基板及び電界効果型トランジスタ並びにこれらの製造方法

(57) 【特許請求の範囲】

【請求項1】

S i 基板と、
 該 S i 基板上の第 1 の S i G e 層と、
 該第 1 の S i G e 層上に直接配された第 2 の S i G e 層とを備え、
 前記第 1 の S i G e 層は、膜厚の増加により転位を発生して格子緩和が生ずる膜厚である臨界膜厚の 2 倍より薄い膜厚であり、
 前記第 2 の S i G e 層は、その G e 組成比が前記第 1 の S i G e 層との接触面で第 1 の S i G e 層における G e 組成比の層中の最大値より低く 0 とされ、層全体が G e 組成比が 0 から表面に向けて漸次増加した傾斜組成層であることを特徴とする半導体基板。

10

【請求項2】

請求項1に記載の半導体基板において、前記第1の S i G e 層は、G e 組成比 x が一定であることを特徴とする半導体基板。

【請求項3】

請求項1又は2に記載の半導体基板において、
 前記第1の S i G e 層は、G e 組成比 x が 0 . 0 5 以上かつ 0 . 3 以下であることを特徴とする半導体基板。

【請求項4】

請求項1から3のいずれかに記載の半導体基板において、
 前記第2の S i G e 層は、層全体が G e 組成比が 0 から 0 . 3 まで表面に向けて漸次増

20

加した傾斜組成層であることを特徴とする半導体基板。

【請求項 5】

請求項 1 から 4 のいずれかに記載の半導体基板の前記第 2 の S i G e 層上に直接又は他の S i G e 層を介して配された歪み S i 層を備えていることを特徴とする半導体基板。

【請求項 6】

S i G e 層上の歪み S i 層にチャンネル領域を有する電界効果型トランジスタであって、請求項 5 に記載の半導体基板の前記歪み S i 層に前記チャンネル領域を有することを特徴とする電界効果型トランジスタ。

【請求項 7】

S i 基板上に S i G e 層をエピタキシャル成長させた半導体基板の製造方法であって、前記 S i 基板上に、第 1 の S i G e 層をエピタキシャル成長する第 1 の層形成工程と、前記第 1 の S i G e 層上に直接第 2 の S i G e 層をエピタキシャル成長する第 2 の層形成工程とを有し、

10

前記第 1 の層形成工程は、膜厚の増加により転位を発生して格子緩和が生ずる膜厚である臨界膜厚の 2 倍より薄く前記第 1 の S i G e 層の膜厚を設定し、

前記第 2 の層形成工程は、前記第 2 の S i G e 層の G e 組成比を前記第 1 の S i G e 層との接触面で第 1 の S i G e 層における G e 組成比の層中の最大値より低く 0 とされ、かつ、層全体が G e 組成比が 0 から表面に向けて漸次増加した傾斜組成層を形成することを特徴とする半導体基板の製造方法。

【請求項 8】

20

請求項 7 に記載の半導体基板の製造方法において、

前記第 1 の層形成工程は、前記第 1 の S i G e 層の G e 組成比 x が一定にすることを特徴とする半導体基板の製造方法。

【請求項 9】

請求項 7 又は 8 に記載の半導体基板の製造方法において、前記第 1 の S i G e 層は、G e 組成比 x が 0 . 0 5 以上かつ 0 . 3 以下であることを特徴とする半導体基板の製造方法。

【請求項 1 0】

請求項 7 から 9 のいずれかに記載の半導体基板の製造方法において、

前記第 2 の S i G e 層は、層全体が G e 組成比が 0 から 0 . 3 まで表面に向けて漸次増加した傾斜組成層であることを特徴とする半導体基板の製造方法。

30

【請求項 1 1】

S i 基板上に S i G e 層を介して歪み S i 層が形成された半導体基板の製造方法であって、

請求項 7 から 1 0 のいずれかに記載の半導体基板の製造方法により作製された半導体基板の前記第 2 の S i G e 層上に直接又は他の S i G e 層を介して前記歪み S i 層をエピタキシャル成長することを特徴とする半導体基板の製造方法。

【請求項 1 2】

S i G e 層上にエピタキシャル成長された歪み S i 層にチャンネル領域が形成される電界効果型トランジスタの製造方法であって、

40

請求項 1 1 に記載の半導体基板の製造方法により作製された半導体基板の前記歪み S i 層に前記チャンネル領域を形成することを特徴とする電界効果型トランジスタの製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、高速 M O S F E T 等に用いられる半導体基板及び電界効果型トランジスタ並びにこれらの製造方法に関する。

【0 0 0 2】

【従来の技術】

近年、S i (シリコン)基板上に S i G e (シリコン・ゲルマニウム)層を介してエピ

50

タキシャル成長した歪みSi層をチャンネル領域に用いた高速のMOSFET、MODFET、HEMTが提案されている。この歪みSi-FETでは、Siに比べて格子定数の大きいSiGeによりSi層に引っ張り歪みが生じ、そのためSiのバンド構造が変化して縮退が解けてキャリア移動度が高まる。したがって、この歪みSi層をチャンネル領域として用いることにより通常の1.3~8倍程度の高速化が可能になるものである。また、プロセスとしてCZ法による通常のSi基板を基板として使用でき、従来のCMOS工程で高速CMOSを実現可能にするものである。

【0003】

しかしながら、FETのチャンネル領域として要望される上記歪みSi層をエピタキシャル成長するには、Si基板上に良質なSiGe層をエピタキシャル成長する必要があるが、SiとSiGeとの格子定数の違いから、転位等により結晶性に問題があった。このために、従来、以下のような種々の提案が行われていた。

【0004】

例えば、SiGeのGe組成比を一定の緩い傾斜で変化させたバッファ層を用いる方法、Ge(ゲルマニウム)組成比をステップ状(階段状)に変化させたバッファ層を用いる方法、Ge組成比を超格子状に変化させたバッファ層を用いる方法及びSiのオフカットウェーハを用いてGe組成比を一定の傾斜で変化させたバッファ層を用いる方法等が提案されている(U.S.Patent 5,442,205、U.S.Patent 5,221,413、PCT W098/00857、特開平6-252046号公報等)。

【0005】

【発明が解決しようとする課題】

しかしながら、上記従来の技術では、以下のような課題が残されている。

すなわち、上記従来の技術を用いて成膜されたSiGe層は、貫通転位密度や表面ラフネスがデバイス及び製造プロセスとして要望されるレベルには及ばない状態であった。

例えば、Ge組成比を傾斜させたバッファ層を用いる場合では、貫通転位密度を比較的低くすることができるが、表面ラフネスが悪化してしまう不都合があり、逆にGe組成比を階段状にしたバッファ層を用いる場合では、表面ラフネスを比較的少なくすることができるが、貫通転位密度が大きくなってしまう不都合があった。また、オフカットウェーハを用いる場合では、転位が成膜方向ではなく横に抜け易くなるが、まだ十分な低転位化を図ることができていない。表面ラフネスについても、近年のLSI等におけるフォトリソグラフィ工程に要求されるレベルにはまだ至っていない。

【0006】

本発明は、前述の課題に鑑みてなされたもので、貫通転位密度を低くかつ表面ラフネスも実用レベルまで小さくすることができる半導体基板及び電界効果型トランジスタ並びにこれらの製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】

本発明は、前記課題を解決するために以下の構成を採用した。

すなわち、本発明の半導体基板は、Si基板と、

該Si基板上の第1のSiGe層と、

該第1のSiGe層上に直接配された第2のSiGe層とを備え、

前記第1のSiGe層は、膜厚の増加により転位を発生して格子緩和が生ずる膜厚である臨界膜厚の2倍より薄い膜厚であり、

前記第2のSiGe層は、そのGe組成比が前記第1のSiGe層との接触面で第1のSiGe層におけるGe組成比の層中の最大値より低く0とされ、層全体がGe組成比が0から表面に向けて漸次増加した傾斜組成層であることを特徴とする。

また、本発明の半導体基板の製造方法は、Si基板上にSiGe層をエピタキシャル成長させた半導体基板の製造方法であって、

前記Si基板上に、第1のSiGe層をエピタキシャル成長する第1の層形成工程と、

前記第1のSiGe層上に直接第2のSiGe層をエピタキシャル成長する第2の層形

10

20

30

40

50

成工程とを有し、

前記第1の層形成工程は、膜厚の増加により転位を発生して格子緩和が生ずる膜厚である臨界膜厚の2倍より薄く前記第1のSiGe層の膜厚を設定し、

前記第2の層形成工程は、前記第2のSiGe層のGe組成比を前記第1のSiGe層との接触面で第1のSiGe層におけるGe組成比の層中の最大値より低く0とされ、かつ、層全体がGe組成比が0から表面に向けて漸次増加した傾斜組成層を形成することを特徴とする。

また本発明の前記第2のSiGe層は、層全体がGe組成比が0から0.3まで表面に向けて漸次増加した傾斜組成層であることができる。

すなわち、本発明の半導体基板は、Si基板と、該Si基板上の第1のSiGe層と、
該第1のSiGe層上に直接又はSi層を介して配された第2のSiGe層とを備え、前記第1のSiGe層は、膜厚の増加により転位を発生して格子緩和が生ずる膜厚である臨界膜厚の2倍より薄い膜厚であり、前記第2のSiGe層は、そのGe組成比が少なくとも前記第1のSiGe層あるいは前記Si層との接触面で第1のSiGe層におけるGe組成比の層中の最大値より低く、かつ、少なくとも一部にGe組成比が表面に向けて漸次増加した傾斜組成領域を有することを特徴とする。

また、本発明の半導体基板の製造方法は、Si基板上にSiGe層をエピタキシャル成長させた半導体基板の製造方法であって、前記Si基板上に、第1のSiGe層をエピタキシャル成長する第1の層形成工程と、前記第1のSiGe層上に直接又はエピタキシャル成長したSi層を介して第2のSiGe層をエピタキシャル成長する第2の層形成工程とを有し、前記第1の層形成工程は、膜厚の増加により転位を発生して格子緩和が生ずる膜厚である臨界膜厚の2倍より薄く前記第1のSiGe層の膜厚を設定し、前記第2の層形成工程は、前記第2のSiGe層のGe組成比を少なくとも前記第1のSiGe層あるいは前記Siとの接触面で第1のSiGe層におけるGe組成比の層中の最大値より低く、かつ、少なくとも一部にGe組成比が表面に向けて漸次増加した傾斜組成領域を形成することを特徴とする。

また、本発明の半導体基板は、Si基板上にSiGe層が形成された半導体基板であって、上記本発明の半導体基板の製造方法により作製されたことを特徴とする。

【0008】

これらの半導体基板及び半導体基板の製造方法では、膜厚の増加により転位を発生して格子緩和が生ずる膜厚である臨界膜厚の2倍より薄く第1のSiGe層の膜厚を設定し、第2のSiGe層のGe組成比を少なくとも第1のSiGe層あるいは前記Si層との接触面で第1のSiGe層におけるGe組成比の層中の最大値より低く、かつ、第2のSiGe層は少なくとも一部にGe組成比が表面に向けて漸次増加した傾斜組成領域を有するので、Si基板と第1のSiGe層との界面及び第1のSiGe層と第2のSiGe層との界面付近に効率的に転位を集中させることができ、第2のSiGe層表面の貫通転位密度及び表面ラフネスを低減することができる。

【0009】

すなわち、第1のSiGe層が臨界膜厚の2倍より薄く成膜されるため、第1のSiGe層成膜中では膜厚に応じて歪みエネルギーが大きくなるが転位はほとんど生成しない。次に、第2のSiGe層のエピタキシャル成長を始めると、すでに第1のSiGe層に歪みエネルギーが蓄積されているため、第2のSiGe層の膜厚が薄い段階で、転位の生成と成長が、第1のSiGe層両側の界面及び第2のSiGe層内の第1のSiGe層側からはじまり、第1のSiGe層及び第2のSiGe層の格子緩和が始まる。このとき、第2のSiGe層のGe組成比が第1のSiGe層あるいは前記Si層との接触面で第1のSiGe層におけるGe組成比の層中の最大値より低いいため、転位は、第1のSiGe層両側の界面に沿って集中し生成し、第1のSiGe層両側の界面における転位の生成が、第2のSiGe層の格子緩和を助け、第2のSiGe層内での転位の生成や成長が抑制されると共に、第2のSiGe層表面の表面ラフネスの悪化も抑制される。

【0010】

さらに、第2のSiGe層の傾斜組成領域では、転位が均等に生成し、転位同士の絡み合いが起こり、傾斜組成領域中の転位密度が減少するとともに、転位の成長が横方向に誘導されることにより表面領域における貫通転位密度が減少し、表面ラフネスの悪化も抑制される効果がある。

従来の第1のSiGe層がない場合の傾斜組成領域では、傾斜組成領域の膜厚が所定の膜厚以上になり臨界膜厚を越えたときに転位の生成がはじまり、いったん転位密度の増加を経た後に、さらに傾斜組成祖領域を形成した場合に、前記の効果が得られる。すなわち、従来の構造では、傾斜組成領域の上側の一部の領域においてのみ前記の効果が得られる。

【0011】

10

一方、第1のSiGe層がある本発明の構造では、すでに第1のSiGe層に歪みエネルギーが蓄積されているため、第2のSiGe層の膜厚が薄い段階で、転位の生成が第2のSiGe層内ではじまるため、第2のSiGe層内の傾斜組成領域全体で前記の効果が得られ、第2のSiGe層の表面領域における貫通転位密度が減少し、表面ラフネスの悪化も抑制される。

さらに、第1のSiGe層は、Si基板表面における水分や酸素成分あるいは炭素成分といった不純物を除去する層として機能し、Si基板の表面汚染に起因した欠陥を抑制する効果がある。

【0012】

20

なお、第1のSiGe層の成膜中に転位が生成しはじめると、転位が多方向に成長し始めるため、転位の成長する方向を抑制することが困難になり、貫通転位や表面ラフネスを低減させることが難しい。そこで、第1のSiGe層の膜厚は、臨界膜厚の2倍を越えない範囲で、実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄い膜厚に設定する必要がある。同時に、第1のSiGe層の膜厚は、実際に転位の生成や格子緩和が顕著にはじまる膜厚に近い膜厚であるほど効果的である。実際に転位の生成や格子緩和が顕著にはじまる膜厚は、成膜の温度条件等によって異なる。そこで、それぞれの成膜条件において、臨界膜厚の2倍を越えない範囲で、実際に転位の生成や格子緩和が顕著にはじまる膜厚付近で、本発明の効果が効果的に得られる膜厚を選べばよい。

【0013】

また、本発明の半導体基板は、前記第1のSiGe層が、Ge組成比xが一定であり、次の関係式；

30

$$t_c \text{ (nm)} = (1.9 \times 10^{-3} / (x)^2) \cdot \ln(t_c / 0.4)$$

$$(x) = (a_0 + 0.200326x + 0.026174x^2) / a_0$$

$$a_0 = 0.543 \text{ nm (} a_0 \text{ は、Siの格子定数)}$$

を満たす臨界膜厚 t_c の2倍未満の厚さである技術が採用される。

また、本発明の半導体基板の製造方法は、前記第1の層形成工程において、前記第1のSiGe層のGe組成比xが一定であり、第1のSiGe層を、次の関係式；

$$t_c \text{ (nm)} = (1.9 \times 10^{-3} / (x)^2) \cdot \ln(t_c / 0.4)$$

$$(x) = (a_0 + 0.200326x + 0.026174x^2) / a_0$$

$$a_0 = 0.543 \text{ nm (} a_0 \text{ は、Siの格子定数)}$$

40

を満たす臨界膜厚 t_c の2倍未満の厚さにする技術が採用される。

また、本発明の半導体基板は、Si基板上にSiGe層が形成された半導体基板であって、上記本発明の半導体基板の製造方法により作製されたことを特徴とする。

【0014】

これらの半導体基板及び半導体基板の製造方法では、第1のSiGe層のGe組成比が一定であるため、同じGe組成比で実際に転位の生成や格子緩和が顕著にはじまる膜厚が最も薄くなり、最も薄い膜厚で本発明の効果が得られ、成膜に要する時間が短いという利点がある。また、これらの半導体基板及び半導体基板の製造方法では、第1のSiGe層を上記関係式を満たす臨界膜厚（成膜温度にかかわらず、Ge組成比及び格子定数のみから算出される転位が発生して格子緩和が生ずる膜厚をいう） t_c の2倍未満の厚さにする

50

ことにより、第1のSiGe層の膜厚を容易に実際に転位の生成や格子緩和が顕著にはじまる膜厚内に設定することができる。

【0015】

すなわち、上記実際に転位の生成や格子緩和が顕著にはじまる膜厚は成膜温度により変化するため、Ge組成比 x 及び格子定数のみから理論的に求めた理想的な臨界膜厚 t_c の2倍未満とすれば、実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄くなり、本発明の効果を得ることができる。なお、上記臨界膜厚は、平衡状態で成膜されることを前提にしているため、成膜温度にかかわらずGe組成比及び格子定数のみで決定されるが、実際に転位の生成や格子緩和が顕著にはじまる膜厚は、平衡状態だけでなく低温成長などの非平衡状態で成膜された場合も含めたものであり、成膜温度に応じて決定される。

10

【0016】

また、本発明の半導体基板は、前記第1のSiGe層のGe組成比 x が0.05以上かつ0.3以下であることが好ましい。

また、本発明の半導体基板の製造方法は、前記第1のSiGe層のGe組成比 x が0.05以上かつ0.3以下であることが好ましい。

また、本発明の半導体基板は、Si基板上にSiGe層が形成された半導体基板であって、上記本発明の半導体基板の製造方法により作製されたことを特徴とする。

【0017】

これらの半導体基板及び半導体基板の製造方法では、前記第1のSiGe層のGe組成比 x が0.05以上かつ0.3以下であるため、実際に転位の生成や格子緩和が顕著にはじまる膜厚が薄すぎたり厚すぎたりすることがなく、適度な厚さの第1のSiGe層で本発明の効果が効果的に得られる。

20

すなわち、第1のSiGe層のGe組成比 x が0.05より小さい場合は、実際に転位の生成や格子緩和が顕著にはじまる膜厚が厚くなりすぎるため、第1のSiGe層の成膜に要する時間が長くなり、しかも、第1のSiGe層の表面ラフネスが悪化してしまう。

【0018】

一方、第1のSiGe層のGe組成比 x が0.3より大きい場合は、ごく薄い膜厚で、実際に転位の生成や格子緩和が顕著にはじまってしまうため、第1のSiGe層を制御性よく形成することが難しい。

また、前記第1のSiGe層のGe組成比 x が0.05以上かつ0.3以下であれば、実際に転位の生成や格子緩和が顕著にはじまる膜厚が適度な厚さとなり、第1のSiGe層両側の界面に沿って転位が集中して生成し、第1のSiGe層両側の界面における転位の生成が、第2のSiGe層の格子緩和を助ける効果を効果的に得られる。

30

【0019】

また、本発明の半導体基板は、前記第2のSiGe層が前記第1のSiGe層上に直接配され、かつ、層全体がGe組成比が表面に向けて漸次増加して傾斜組成層である構造が採用される。

また、本発明の半導体基板の製造方法は、前記第2のSiGe層が前記第1のSiGe層上に直接配し、かつ、層全体がGe組成比が表面に向けて漸次増加した傾斜組成層とする方法が採用される。

40

また、本発明の半導体基板は、Si基板上にSiGe層が形成された半導体基板であって、上記本発明の半導体基板の製造方法により作製されたことを特徴とする。

【0020】

これらの半導体基板及び半導体基板の製造方法では、前記第2のSiGe層が前記第1のSiGe層上に直接配され、かつ、層全体がGe組成比が表面に向けて漸次増加した傾斜組成層からなるため、本発明の効果を得るために必要な層が無駄なく配され、最も薄い膜厚で本発明の効果が得られ、成膜に要する時間が短いという利点がある。

【0021】

本発明の半導体基板は、前記SiGe層上に直接又は他のSiGe層を介して歪みSi層をエピタキシャル成長することを特徴とする。

50

また、本発明の半導体基板の製造方法は、前記SiGe層上に直接又は他のSiGe層を介して歪みSi層をエピタキシャル成長することを特徴とする。

また、本発明の半導体基板は、Si基板上にSiGe層を介して歪みSi層が形成された半導体基板であって、上記本発明の歪みSi層を成長する半導体基板の製造方法により作製されたことを特徴とする。

【0022】

これらの半導体基板及び半導体基板の製造方法では、前記SiGe層上に直接又は他のSiGe層を介して歪みSi層をエピタキシャル成長するので、欠陥が少なく、表面ラフネスの小さな良質な歪みSi層が得られ、例えば歪みSi層をチャンネル領域とするMOSFET等を用いた集積回路用の半導体基板及びその製造方法として好適である。

10

【0023】

本発明の電界効果型トランジスタは、SiGe層上の歪みSi層にチャンネル領域を有する電界効果型トランジスタであって、上記本発明の半導体基板の前記歪みSi層に前記チャンネル領域を有することを特徴とする。

また、本発明の電界効果型トランジスタの製造方法は、SiGe層上にエピタキシャル成長された歪みSi層にチャンネル領域が形成される電界効果型トランジスタの製造方法であって、上記本発明の半導体基板の製造方法により作製された半導体基板の前記歪みSi層に前記チャンネル領域を形成することを特徴とする。

また、本発明の電界効果型トランジスタは、SiGe層上にエピタキシャル成長された歪みSi層にチャンネル領域が形成される電界効果型トランジスタであって、上記本発明の電界効果型トランジスタの製造方法により作製されたことを特徴とする。

20

【0024】

これらの電界効果型トランジスタ及び電界効果型トランジスタの製造方法では、上記本発明の半導体基板又は上記本発明の半導体基板の製造方法により作製された半導体基板の前記歪みSi層に前記チャンネル領域が形成されるので、良質な歪みSi層により高特性な電界効果型トランジスタを高歩留まりで得ることができる。

【0025】

【発明の実施の形態】

以下、本発明に係る第1実施形態を、図1から図3を参照しながら説明する。

【0026】

図1は、本発明の半導体ウェーハ(半導体基板)Wの断面構造を示すものであり、この半導体ウェーハの構造をその製造プロセスと合わせて説明すると、まず、CZ法等で引上成長して作製されたp型あるいはn型Si基板1上に、図1及び図2に示すように、Ge組成比xが一定(例えばx=0.15)で上述した実際に転位の生成や格子緩和が顕著にはじまる膜厚よりも薄い厚さ(例えば300nm)の第1のSiGe層2を例えば減圧CVD法によりエピタキシャル成長する。

30

【0027】

この際、第1のSiGe層2が実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄く成膜されるため、第1のSiGe層2成膜中では膜厚に応じて歪みエネルギーが大きくなるが転位や格子緩和はほとんど発生しない。

40

なお、第1のSiGe層2の厚さは、次の関係式；

$$t_c \text{ (nm)} = (1.9 \times 10^{-3} / (x)^2) \cdot \ln(t_c / 0.4)$$

$$(x) = (a_0 + 0.200326x + 0.026174x^2) / a_0$$

$a_0 = 0.543 \text{ nm}$ (a_0 は、Siの格子定数)

を満たす臨界膜厚 t_c の2倍未満の厚さにする。

【0028】

次に、第1のSiGe層2上に第2のSiGe層3をエピタキシャル成長する。この第2のSiGe層3は、そのGe組成比yが少なくとも第1のSiGe層2との接触面で第1のSiGe層2におけるGe組成比xの層中の最大値より低く設定される。また、第2のSiGe層3は、そのGe組成比yが表面に向けて漸次増える傾斜組成層(例えば、G

50

e 組成比 y が 0 から 0.3 まで増加する層) (傾斜組成領域) であり、例えば $1.1 \mu\text{m}$ の厚さまで成膜される。

【0029】

第2の SiGe 層3のエピタキシャル成長を始めると、すでに第1の SiGe 層2に歪みエネルギーが蓄積されているため、第2の SiGe 層3の膜厚が薄い段階で、転位の生成と成長が、第1の SiGe 層2両側の界面及び第2の SiGe 層3内の第1の SiGe 層2側からはじまり、第1の SiGe 層2及び第2の SiGe 層3の格子緩和が始まる。このとき、第2の SiGe 層3の Ge 組成比が第1の SiGe 層2の接触面で第1の SiGe 層2における Ge 組成比の層中の最大値より低いため、転位は、第1の SiGe 層2両側の界面 2a、2b に沿って集中し生成し、第1の SiGe 層2両側の界面 2a、2b における転位の生成が、第2の SiGe 層3の格子緩和を助け、第2の SiGe 層3内での転位の生成や成長が抑制されると共に、第2の SiGe 層3表面の表面ラフネスの悪化も抑制される。

10

【0030】

さらに、Ge 組成比 z が第2の SiGe 層3の最終的な Ge 組成比と同じ (例えば、 z が 0.3) で一定組成比の SiGe 緩和層4を所定厚さ (例えば、 $0.4 \mu\text{m}$) だけエピタキシャル成長し、次に、該 SiGe 緩和層4上に単結晶 Si をエピタキシャル成長して歪み Si 層5を所定厚さ (例えば、 20nm) だけ形成することにより、本実施形態の半導体ウェーハ W が作製される。

【0031】

なお、上記減圧 CVD 法による成膜は、キャリアガスとして H_2 を用い、ソースガスとして SiH_4 及び GeH_4 を用いている。

20

【0032】

このように本実施形態の半導体ウェーハ W では、実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄く第1の SiGe 層2の膜厚を設定し、第2の SiGe 層3の Ge 組成比 y を少なくとも第1の SiGe 層2との接触面で第1の SiGe 層2における Ge 組成比 x の層中の最大値より低くするので、Si 基板1と第1の SiGe 層2との界面 2a 及び第1の SiGe 層2と第2の SiGe 層3との界面 2b に効率的に転位を集中させることができ、貫通転位密度及び表面ラフネスを低減すること等ができる。

【0033】

また、第1の SiGe 層2の Ge 組成比が一定であるため、同じ Ge 組成比で実際に転位の生成や格子緩和が顕著にはじまる膜厚が最も薄くなり、最も薄い膜厚で本発明の効果が得られ、成膜に要する時間が短いという利点がある。

30

また、第1の SiGe 層2を上記関係式を満たす臨界膜厚 t_c の2倍未満の厚さにすることにより、後述する実験結果に基づいて、第1の SiGe 層2の膜厚を容易に実際に転位の生成や格子緩和が顕著にはじまる膜厚内に設定することができる。

【0034】

また、本実施形態では、第2の SiGe 層3が Ge 組成比を漸次増加させた傾斜組成層 (傾斜組成領域) とされることにより、転位が均等に生成し、転位同士の絡み合いが起こり、第2の SiGe 層3中の転位密度が減少するとともに、転位の成長が横方向に誘導されることにより表面領域における貫通転位密度が減少し、表面ラフネスの悪化も抑制される効果がある。

40

【0035】

また、本実施形態では、第2の SiGe 層3の成膜前にすでに第1の SiGe 層2に歪みエネルギーが蓄積されているため、第2の SiGe 層3の膜厚が薄い段階で、転位の生成が第2の SiGe 層3内ではじまるため、第2の SiGe 層3内の傾斜組成領域全体で前記の効果が得られ、第2の SiGe 層3の表面領域における貫通転位密度が減少し、表面ラフネスの悪化も抑制される。

さらに、第1の SiGe 層2は、Si 基板1表面における水分や酸素成分あるいは炭素成分といった不純物を除去する層として機能し、Si 基板1の表面汚染に起因した欠陥を

50

抑制する効果がある。

【0036】

次に、本発明の上記半導体ウェーハWを用いた電界効果型トランジスタ(MOSFET)を、その製造プロセスと合わせて図3を参照して説明する。

【0037】

図3は、本発明の電界効果型トランジスタの概略的な構造を示すものであって、この電界効果型トランジスタを製造するには、上記の製造工程で作製した半導体ウェーハW表面の歪みSi層5上にSiO₂のゲート酸化膜6及びゲートポリシリコン膜7を順次堆積する。そして、チャンネル領域となる部分上のゲートポリシリコン膜7上にゲート電極(図示略)をパターニングして形成する。

10

【0038】

次に、ゲート酸化膜6もパターニングしてゲート電極下以外の部分を除去する。さらに、ゲート電極をマスクに用いたイオン注入により、歪みSi層5及び緩和層4にn型あるいはp型のソース領域S及びドレイン領域Dを自己整合的に形成する。この後、ソース領域S及びドレイン領域D上にソース電極及びドレイン電極(図示略)をそれぞれ形成して、歪みSi層5がチャンネル領域となるn型あるいはp型MOSFETが製造される。

【0039】

このように作製されたMOSFETでは、上記製法で作製された半導体ウェーハW上の歪みSi層5にチャンネル領域が形成されるので、良質な歪みSi層5により高特性なMOSFETを高歩留まりで得ることができる。

20

【0040】

次に、本発明に係る第2実施形態について、図4を参照して説明する。

【0041】

第2実施形態と第1実施形態との異なる点は、第1実施形態における第1のSiGe層2では、Ge組成比が一定に設定されているのに対し、第2実施形態では、図4に示すように、第1のSiGe層12のGe組成比xをSi基板1との接触面で層中の最大値とし、Ge組成比xを漸次減少させている点である。

【0042】

すなわち、本実施形態では、第1のSiGe層12の形成工程において、成膜開始時ではGe組成比xを0.3とし、その後徐々に減少させて最終的にはGe組成比xをほぼ0まで変化させ、実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄い所定厚さ(例えば、350nm)だけ成長させた傾斜組成層とする。

30

【0043】

本実施形態では、第1のSiGe層12のGe組成比xをSi基板1との接触面で層中の最大値とすることにより、成膜時の歪みエネルギーがSi基板1との界面側に集中することになり、第2のSiGe層3成膜開始時に生じる格子緩和の際に、第2のSiGe層3との界面よりもSi基板1との界面に多くの転位を発生させることができる。これにより、第2のSiGe層3表面側から離れた位置に転位を集中させることができ、第1実施形態と同様に、貫通転位や表面ラフネスを低減させることが可能になる。

【0044】

次に、本発明に係る第3実施形態について、図5を参照して説明する。

40

【0045】

第3実施形態と第2実施形態との異なる点は、第2実施形態の第2のSiGe層12が、Ge組成比を漸次減少させた傾斜組成層であるのに対し、第3実施形態では、図5に示すように、第1のSiGe層22の形成工程において、成膜開始時ではGe組成比xを0.3とし、その後徐々に減少させてGe組成比xをほぼ0まで変化させて所定厚さ(例えば、350nm)成膜した後、さらに再びGe組成比xを徐々に増加させて最終的に0.3まで所定厚さ(例えば、350nm)成膜した組成変化層とした点で異なっている。

【0046】

なお、この第1のSiGe層22の厚さも、実際に転位の生成や格子緩和が顕著にはじ

50

まる膜厚より薄く設定する。

この第3実施形態においても、第1のSiGe層22のGe組成比 x がSi基板1及び第2のSiGe層3との接触面で層中の最大値となるので、第1実施形態と同様に、Si基板1及び第2のSiGe層3との界面に多くの転位を発生させることができる。

【0047】

次に、本発明に係る第4実施形態及び第5実施形態について、図6及び図7を参照して説明する。

【0048】

第4実施形態と第1実施形態との異なる点は、第1実施形態における第1のSiGe層2では、Ge組成比が一定に設定されているのに対し、第4実施形態では、図6に示すように、第1のSiGe層32のGe組成比 x をほぼ0から徐々に増加させて最終的に0.3まで実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄い所定厚さ(例えば、350nm)成膜している点である。

【0049】

また、第5実施形態と第1実施形態との異なる点は、第1実施形態における第1のSiGe層2では、Ge組成比が一定に設定されているのに対し、第5実施形態では、図7に示すように、第1のSiGe層42のGe組成比 x をほぼ0から徐々に増加させて0.3まで所定厚さ(例えば、350nm)成膜し、さらにその後Ge組成比 x を0.3から徐々に減少させてほぼ0まで所定厚さ(例えば、350nm)成膜している点である。なお、第1のSiGe層42の厚さは、実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄く設定される。

【0050】

これらの第4及び第5実施形態では、いずれも第1のSiGe層32、42が実際に転位の生成や格子緩和が顕著にはじまる膜厚より薄い膜厚で形成されるので、第2のSiGe層3の成膜時に第1のSiGe層32、42の両側の界面に転位が集中的に発生し、貫通転位や表面ラフネスを低減することができる。なお、第4及び第5実施形態では、第1のSiGe層32、42の層中におけるGe組成比の最大値がSi基板1との界面側にないため、第1及び第2実施形態の方が、より貫通転位及び表面ラフネスの改善効果を得ることができる。

【0051】

なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。

【0052】

例えば、上記各実施形態では、第1のSiGe層中において膜厚に対するGe組成比の分布として5通りの分布としたが、他の分布としても構わない。例えば、第1のSiGe層をGe組成比が異なる複数のSiGe層からなる多層膜としても構わない。また、前記多層膜でSi層を含む多層膜としても構わない。

また、上記各実施形態では、第1のSiGe層内でGe組成比を変化させる場合、膜厚に対して一定割合で蘇生を変化させたが、その割合を一定でなくした構造としても構わない。

さらに、第1のSiGe層は、Geを含む層であり、歪みエネルギーを蓄積できればよく、これら以外のいかなるGe組成比の分布であっても構わない。

【0053】

また、上記各実施形態では、第2のSiGe層全体をGe組成比が漸次増加する傾斜組成層としたが、傾斜組成層と均一組成層とからなる多層構造の層としても構わない。また、Si層を含む多層膜としても構わない。

また、上記各実施形態では、第2のSiGe層内でGe組成比を表面に向けて漸次増加させた傾斜組成領域を、膜厚に対して一定割合で組成を変化させたが、その割合を一定でなくした構造としても構わない。また、その組成傾斜を階段状のGe組成比の変化としても構わない。

10

20

30

40

50

また、上記各実施形態では、第1のSiGe層上に直接第2のSiGe層を配したが、Si層を介して第2のSiGe層を配しても構わない。

また、上記各実施形態の半導体ウェーハWの歪みSi層上に、さらにSiGe層を成膜しても構わない。

【0054】

また、上記各実施形態では、MOSFET用の基板としてSiGe層を有する半導体ウェーハを作製したが、他の用途に適用する基板としても構わない。例えば、本発明の半導体基板の製造方法及び半導体基板を太陽電池用の基板に適用してもよい。すなわち、上述した各実施形態のSi基板上に最表面で100%GeとなるようにGe組成比を漸次増加させた傾斜組成層のSiGe層を成膜し、さらにこの上にGaAs(ガリウムヒ素)を成膜することで、太陽電池用基板を作製してもよい。この場合、低転位密度で高特性の太陽電池用基板が得られる。

【0055】

【実施例】

次に、本発明に係る半導体基板を実際に作製した際のSIMS(Secondary Ion Mass Spectrometry)による分析結果、貫通転位密度、表面ラフネス及び表面光学顕微鏡写真の観察結果を説明する。

【0056】

作製した半導体基板は、上記第1実施形態に対応するものであって、第1のSiGe層のGe組成比を0.1, 0.15, 0.2とし、膜厚を変えて複数作製したものである。なお、比較のために従来技術、すなわち第1のSiGe層がないものも作製した。

【0057】

これらの半導体基板のうち、第1のSiGe層の膜厚を300nmとした基板について、膜厚に対するGe組成比の分布をSIMSにより分析した結果を図8に示す。

これらの半導体基板の貫通転位密度及び表面ラフネスの測定結果を、それぞれ図9及び図10に示す。なお、貫通転位密度は、エッチピット密度で示し、表面ラフネスは、RMS(Root Mean Square)で示している。

これらの図からもわかるように、従来技術(第1のSiGe層の厚さ0)の場合に比べて、第1のSiGe層の膜厚が少なくとも臨界膜厚 t_c の2倍未満である場合、貫通転位密度及び表面ラフネスのいずれも低減されている。

【0058】

また、従来技術(第1のSiGe層の厚さ0)の場合及び上記実施例のうち第1のSiGe層のGe組成比が0.2で第1のSiGe層の厚さが50nmの場合とについて、表面の光学顕微鏡写真をそれぞれ図11及び図12に示す。

これらの図からもわかるように、従来技術の場合に比べて本実施例の場合は、エッチピットの暗点が非常に少なくなっている。

なお、これらの本発明の実施例について、TEM像を観察した結果、第1のSiGe層とSi基板との界面及び第1のSiGe層と第2のSiGe層との界面に多くの転位が発生し、第2のSiGe層の表面側には転位が非常に少ないことが確認できた。

【0059】

また、上記第2～第5実施形態に対応する半導体基板を実際に作製し、上記と同様に、表面ラフネスを測定した結果を、図13の表に示す。なお、いずれも第1のSiGe層の最大Ge組成比は0.2とし、膜厚を350nmとしている。図13からわかるように、これらの実施例において、第2実施形態及び第3実施形態に対応する実施例が、他の実施例よりも良好な結果を得ている。第2実施形態に対応する実施例について、第1のSiGe層の膜厚に対する貫通転位密度及び表面ラフネスの測定結果を、それぞれ図14及び図15に示す。第1実施形態の場合と同様に、従来技術(第1のSiGe層の厚さ0)の場合に比べて、第1のSiGe層の膜厚が少なくとも臨界膜厚 t_c の2倍未満である場合、貫通転位密度及び表面ラフネスのいずれも低減されている。

【0060】

【発明の効果】

本発明によれば、以下の効果を奏する。

本発明の半導体基板及び半導体基板の製造方法によれば、膜厚の増加により転位を発生して格子緩和が生ずる膜厚である臨界膜厚の2倍より薄く第1のSiGe層の膜厚を設定し、第2のSiGe層のGe組成比を少なくとも第1のSiGe層あるいは前記Si層との接触面で第1のSiGe層におけるGe組成比の層中の最大値より低く、かつ、第2のSiGe層は少なくとも一部にGe組成比が表面に向けて漸次増加した傾斜組成領域を有するので、Si基板と第1のSiGe層との界面及び第1のSiGe層と第2のSiGe層との界面付近に効率的に転位を集中させることができ、第2のSiGe層表面の貫通転位密度及び表面ラフネスを低減することができる。

10

【0061】

また、本発明の歪みSi層を備えた半導体基板及びその製造方法によれば、前記SiGe層上に直接又は他のSiGe層を介して歪みSi層をエピタキシャル成長するので、表面状態が良好なSiGe層上にSi層を成膜でき、欠陥が少なく、表面ラフネスの小さな良質な歪みSi層を形成することができる。

【0062】

また、本発明の電界効果型トランジスタ及び電界効果型トランジスタの製造方法によれば、上記本発明の半導体基板又は上記本発明の半導体基板の製造方法により作製された半導体基板の前記歪みSi層に前記チャンネル領域が形成されるので、良質な歪みSi層により高特性なMOSFETを高歩留まりで得ることができる。

20

【図面の簡単な説明】

【図1】 本発明に係る第1実施形態における半導体基板を示す断面図である。

【図2】 本発明に係る第1実施形態における半導体基板の膜厚に対するGe組成比を示すグラフである。

【図3】 本発明に係る第1実施形態におけるMOSFETを示す概略的な断面図である。

【図4】 本発明に係る第2実施形態における半導体基板の膜厚に対するGe組成比を示すグラフである。

【図5】 本発明に係る第3実施形態における半導体基板の膜厚に対するGe組成比を示すグラフである。

30

【図6】 本発明に係る第4実施形態における半導体基板の膜厚に対するGe組成比を示すグラフである。

【図7】 本発明に係る第5実施形態における半導体基板の膜厚に対するGe組成比を示すグラフである。

【図8】 本発明に係る第1実施形態に対応する実施例における半導体基板のうち、第1のSiGe層の膜厚を300nmとした基板について、膜厚に対するGe組成比の分布をSIMSにより分析した結果を示すグラフである。

【図9】 本発明に係る第1実施形態に対応する実施例における第1のSiGe層の膜厚に対する貫通転位密度を示すグラフである。

【図10】 本発明に係る第1実施形態に対応する実施例における第1のSiGe層の膜厚に対する表面ラフネスを示すグラフである。

40

【図11】 本発明に係る従来例における表面の光学顕微鏡写真である。

【図12】 本発明に係る第1実施形態に対応する実施例における表面の光学顕微鏡写真である。

【図13】 本発明に係る第2～5実施形態に対応する実施例におけるそれぞれの表面ラフネスを示す表である。

【図14】 本発明に係る第2実施形態に対応する実施例における第1のSiGe層の膜厚に対する貫通転位密度の測定結果を示すグラフである。

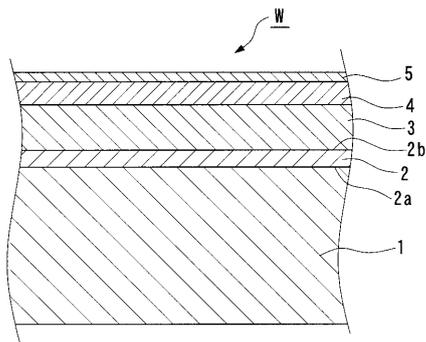
【図15】 本発明に係る第2実施形態に対応する実施例における第1のSiGe層の膜厚に対する表面ラフネスの測定結果を示すグラフである。

50

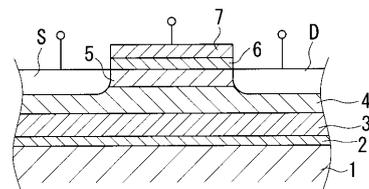
【符号の説明】

- 1 Si基板
- 2、12、22、32、42 第1のSiGe層
- 3 第2のSiGe層（傾斜組成領域）
- 4 SiGe緩和層
- 5 歪みSi層
- 6 SiO₂ゲート酸化膜
- 7 ゲートポリシリコン膜
- S ソース領域
- D ドレイン領域
- W 半導体ウェーハ（半導体基板）

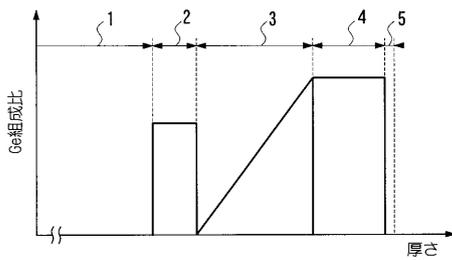
【図1】



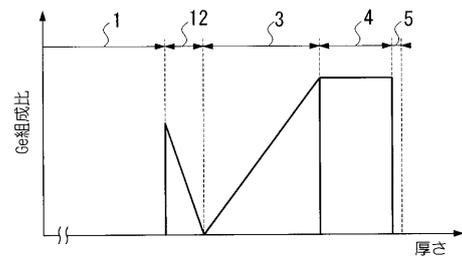
【図3】



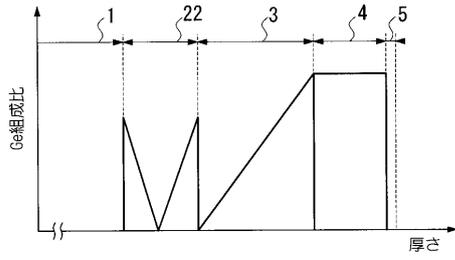
【図2】



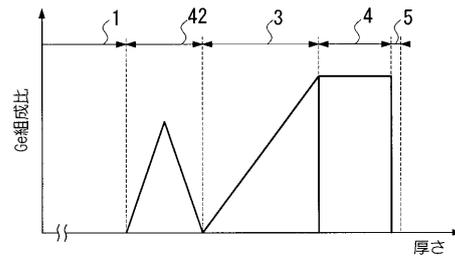
【図4】



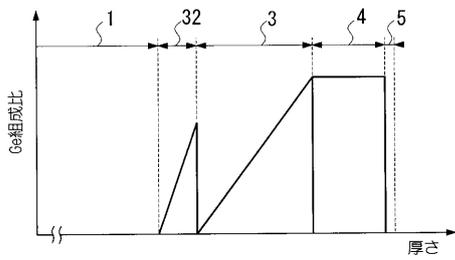
【 図 5 】



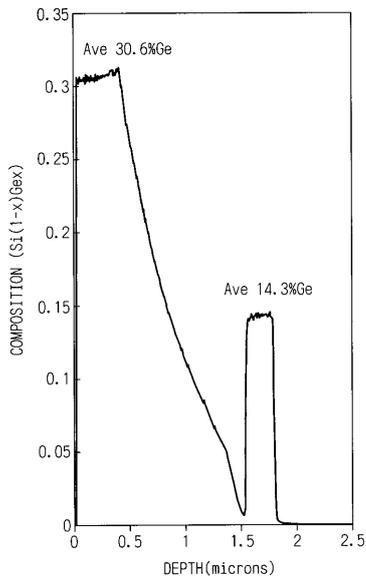
【 図 7 】



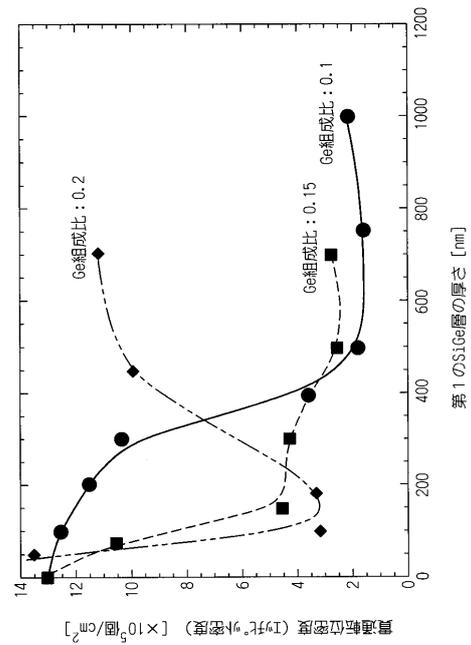
【 図 6 】



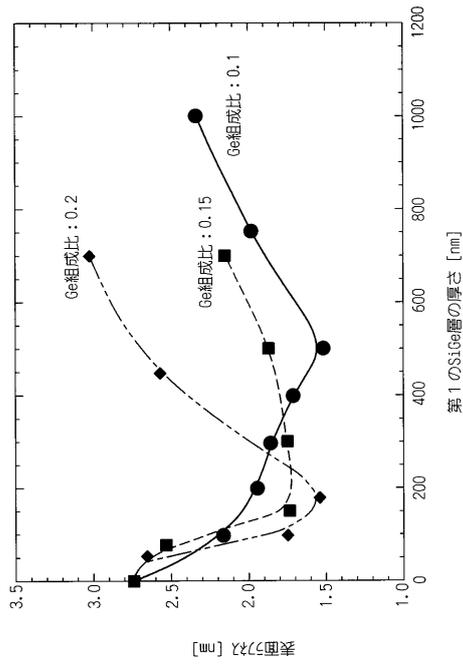
【 図 8 】



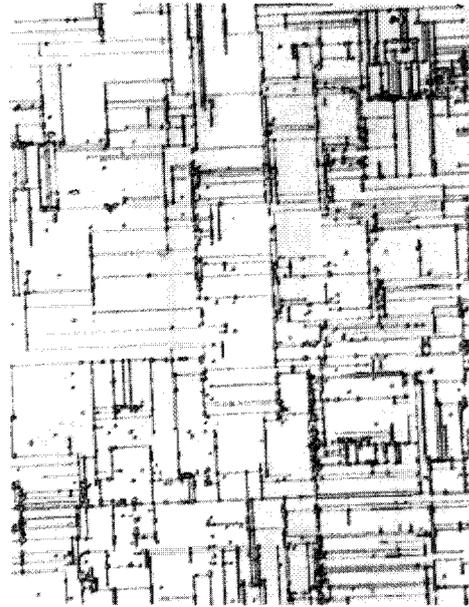
【 図 9 】



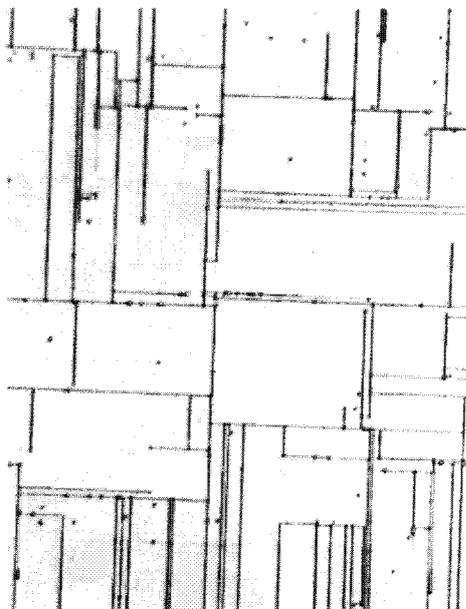
【図10】



【図11】



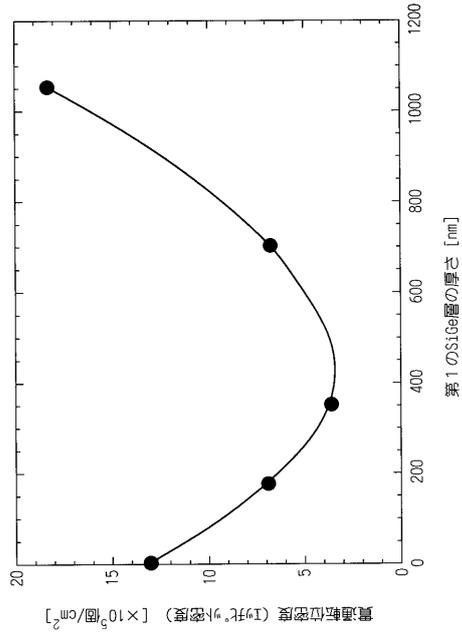
【図12】



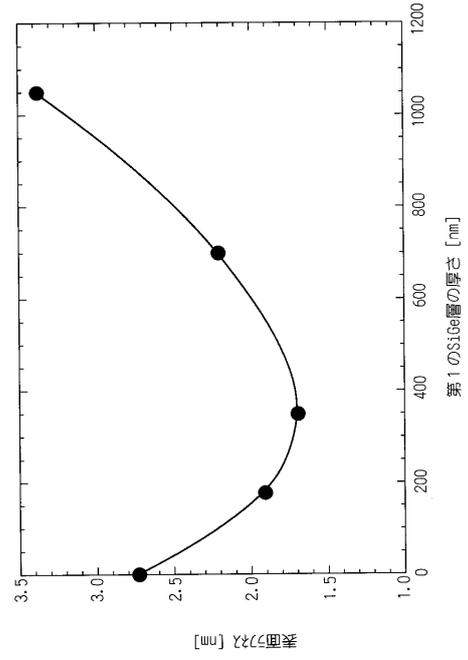
【図13】

膜厚 350nm	Ge組成比0.2
	RMS(nm)
従来技術	2.73
第2実施形態	1.69
第3実施形態	1.62
第4実施形態	1.89
第5実施形態	2.09

【図14】



【図15】



フロントページの続き

(74)代理人 100108453

弁理士 村山 靖彦

(72)発明者 塩野 一郎

埼玉県さいたま市北袋町1丁目297番地 三菱マテリアル株式会社 総合研究所内

(72)発明者 山口 健志

埼玉県さいたま市北袋町1丁目297番地 三菱マテリアル株式会社 総合研究所内

(72)発明者 水嶋 一樹

埼玉県さいたま市北袋町1丁目297番地 三菱マテリアル株式会社 総合研究所内

審査官 空 哲次

(56)参考文献 特開平09-082944(JP,A)

特開平04-100217(JP,A)

特開平09-199757(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/20

H01L 21/205

H01L 29/78