

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-285886

(P2005-285886A)

(43) 公開日 平成17年10月13日(2005.10.13)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 31/02	HO 1 L 31/02	5 F 0 8 8
HO 1 S 5/022	HO 1 S 5/022	5 F 1 7 3

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号	特願2004-94140 (P2004-94140)	(71) 出願人	000131430 株式会社シチズン電子 山梨県富士吉田市上暮地 1 丁目 2 3 番 1 号
(22) 出願日	平成16年3月29日 (2004.3.29)	(74) 代理人	100097043 弁理士 浅川 哲
		(72) 発明者	羽田 浩一 山梨県富士吉田市上暮地 1 丁目 2 3 番 1 号 株式会社シチズン電子内
		F ターム (参考)	5F088 AA01 BA13 BA16 BA20 BB10 JA03 JA05 JA20 LA03 5F173 MA05 MB02 MC04 MC30 MD04 MD23 MD27 MD58 MD63 MD84 ME04 ME11 ME15 ME22 ME31 ME47

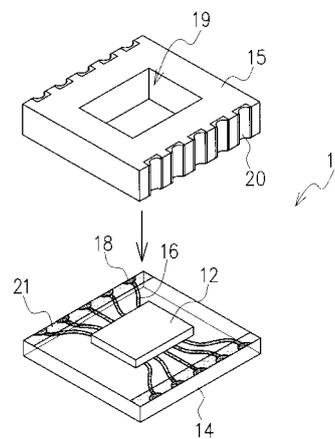
(54) 【発明の名称】 光半導体パッケージ及びその製造方法

(57) 【要約】

【課題】 紫外線領域の青色半導体レーザを照射した場合にあっても、光の透過率の低下を引き起こすことなく、十分な受光感度が得られる構造の光半導体パッケージを提供することである。

【解決手段】 発光部及び受光部の少なくとも一方を有する光半導体チップ 1 2 と、側面に複数のスルーホール電極 2 0 が形成され、前記光半導体チップ 1 2 を内包する窓孔 1 9 が設けられたベース基板 1 5 と、前記光半導体チップ 1 2 が実装される電極パターン 1 6 が形成された透明な回路基板 1 4 とを備え、前記光半導体チップ 1 2 をフリップチップ実装した回路基板 1 4 面を下にして前記ベース基板 1 5 に一体に接合した。

【選択図】 図 2



- 12... 光半導体チップ
- 14... 回路基板
- 15... ベース基板
- 16... 電極パターン
- 19... 窓孔
- 20... スルーホール電極

【特許請求の範囲】

【請求項 1】

発光部及び受光部の少なくとも一方を有する光半導体チップと、側面に複数のスルーホール電極が形成され、前記光半導体チップを内包する窓孔または凹部が設けられたベース基板と、前記光半導体チップが実装される電極パターンが形成された透明な回路基板とを備え、前記光半導体チップをフリップチップ実装した回路基板面を下にして前記ベース基板に一体に接合されたことを特徴とする光半導体パッケージ。

【請求項 2】

前記回路基板の電極パターン上に異方性導電材料により形成された接合層を介してベース基板と接合される請求項 1 記載の光半導体パッケージ。

10

【請求項 3】

前記光半導体チップと前記回路基板が異方性導電材料によりフリップチップ実装される請求項 1 または 2 記載の光半導体パッケージ。

【請求項 4】

前記光半導体チップの発光部または受光部が回路基板を通して露出する請求項 1 記載の光半導体パッケージ。

【請求項 5】

前記電極パターンがインジウム・スズ酸化物で形成された導電膜、若しくは、金または銅を蒸着してエッチング形成された導電膜である請求項 1 記載の光半導体パッケージ。

【請求項 6】

前記光半導体チップが青色半導体レーザ対応の受光素子または発光素子である請求項 1 記載の光半導体パッケージ。

20

【請求項 7】

光半導体チップのチップ電極部が載置される電極パターンを集合ガラス基板上に形成する集合回路基板形成工程と、

前記電極パターン上に光半導体チップをフリップチップ実装するチップ実装工程と、

前記光半導体チップの実装位置に対応して設けられる窓孔または凹部と前記電極パターンと繋がるスルーホール電極を形成する集合ベース基板形成工程と、

前記電極パターン上に異方性導電材料による接合層を形成する導電接合層形成工程と、

前記接合層を介して前記集合回路基板と集合ベース基板とを貼り合わせる基板接合工程と

30

、
前記接合した集合回路基板及び集合ベース基板を個々の光半導体パッケージ領域に分断する分割工程とを備えたことを特徴とする光半導体パッケージの製造方法。

【請求項 8】

前記光半導体チップと前記集合ガラス基板上に形成された電極パターンが異方性導電材料によって接合される請求項 7 記載の光半導体パッケージの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、CD や DVD 等の光ディスク装置におけるピックアップ部に搭載される光半導体チップを備えた光半導体パッケージ及びその製造方法に関するものである。

40

【背景技術】

【0002】

従来の光伝送デバイスや O E I C (光電子集積回路) 等の光半導体パッケージ 1 は、図 10 や特許文献 1 に示されるように、LED や半導体レーザ等の光半導体チップ 2 を中心に、コンデンサや抵抗等の電子部品 3 から構成されており、これらの光半導体チップ 2 や電子部品 3 を回路基板 4 の片面あるいは両面に実装している。前記光半導体チップ 2 や電子部品 3 は樹脂材 5 で封止されるが、特に光半導体チップについては、十分な透光性を確保するために透明な樹脂材 5 が用いられている。

【0003】

50

前記光半導体パッケージ1の製造は、ガラスエポキシ等の回路基板4に光半導体チップ2をダイボンドやワイヤボンドによって実装し、電子部品3を搭載してリフロー処理を施した後、透光性を備えた樹脂材5で封止することによって行われる。

【特許文献1】特開2003-304004号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、近年、高密度の記録及び再生が可能なDVD等の光ディスクの読み取り用として紫外線領域の青色半導体レーザが使用されるようになってきているが、この青色半導体レーザは、400nm近傍の短い波長を用いるため、通常の半導体チップを封止するための樹脂材を用いた場合は、この樹脂を構成している分子や原子に吸収されてしまい、電離を引き起こしてしまう。このような電離現象によって、樹脂材を黄色させ、光の透過率を低下させる原因となっている。

10

【0005】

上記問題を改善するために、耐候性(耐紫外線)のある樹脂材を用いて形成していたが、経年変化によって光の透過率の低下を引き起こし、十分な受光感度が得られなくなるといった問題がある。また、従来の樹脂材の代わりに透明なガラス製のカバーを用いる方法もあるが、製品コストが高くなり量産には適さない。

【0006】

そこで、本発明の目的は、紫外線領域の青色半導体レーザを照射した場合であっても、光の透過率の低下を引き起こすことなく、十分な受光感度が得られる構造の光半導体パッケージを提供することである。

20

【0007】

また、紫外線領域の青色半導体レーザの照射による光の透過率の低下を抑え、安価に量産可能な光半導体パッケージの製造方法を提供することである。

【課題を解決するための手段】

【0008】

上記課題を解決するために、本発明の光半導体パッケージは、発光部及び受光部の少なくとも一方を有する光半導体チップと、側面に複数のスルーホール電極が形成され、前記光半導体チップを内包する窓孔または凹部が設けられたベース基板と、前記光半導体チップが実装される電極パターンが形成された透明な回路基板とを備え、前記光半導体チップをフリップチップ実装した回路基板面を下にして前記ベース基板に一体に接合されたことを特徴とする。

30

【0009】

また、本発明の半導体パッケージの製造方法は、光半導体チップのチップ電極部が載置される電極パターンを集合ガラス基板上に形成する集合回路基板形成工程と、前記電極パターン上に光半導体チップをフリップチップ実装するチップ実装工程と、前記光半導体チップの実装位置に対応して設けられる窓孔または凹部と前記電極パターンと繋がるスルーホール電極を形成する集合ベース基板形成工程と、前記電極パターン上に異方性導電材料による接合層を形成する導電接合層形成工程と、前記接合層を介して前記集合回路基板と集合ベース基板とを貼り合わせる基板接合工程と、前記接合した集合回路基板及び集合ベース基板を個々の光半導体パッケージ領域に分断する分割工程とを備えたことを特徴とする。

40

【発明の効果】

【0010】

本発明に係る半導体パッケージによれば、次世代の光ディスク装置に搭載される青色半導体レーザの光を減衰させることなく感度よく受発光することが可能となる。また、本発明の半導体パッケージの製造方法によれば、前記青色半導体レーザの光を受発光する光半導体チップと回路基板の導通性と接合性を同時に満足すると共に、安価に製造することができる。

50

【発明を実施するための最良の形態】

【0011】

以下、添付図面に基づいて本発明に係る光半導体パッケージの実施形態を詳細に説明する。図1は本発明の一実施形態に係る光半導体パッケージの斜視図、図2は前記光半導体パッケージの組立斜視図、図3は前記光半導体パッケージの断面図である。

【0012】

本発明の半導体パッケージ11は、光ディスク装置のピックアップ部に搭載される受光デバイスであり、図1及び図2に示すように、図示しない青色半導体レーザから出射される光を受光する光半導体チップ12と、この光半導体チップ12が実装される回路基板14と、この回路基板14に接合されるベース基板15とを備えている。

10

【0013】

前記回路基板14は、厚さが0.1~0.2mm程度の透明なガラス板が使用され、片面に前記光半導体チップ12をフリップチップ(FC)実装するための電極パターン16が形成される。前記電極パターン16は、インジウム・スズ酸化物で形成された導電膜(ITO)、若しくは、金または銅等の金属蒸着膜を所定のパターン形状にエッチングして形成された導電膜が用いられる。この電極パターン16には、光半導体チップ12のチップ電極部が載置される電極パッド部17と回路基板14の端部に設けられる端子電極部18とを有している。

【0014】

前記光半導体チップ12は、受光部と同じ面にチップ電極部を備えたフォトダイオードであり、前記チップ電極部にバンプ処理を施し、下に向けた状態で回路基板14上に形成された電極パッド部17と接合される。

20

【0015】

ベース基板15は、ポリイミド、ガラスエポキシあるいはBTレジン等の樹脂で、前記回路基板14と略同じ形状及び大きさで、前記光半導体チップ12以上の厚みを持たせて形成される。また、前記回路基板14と重ね合わせた際に、回路基板14に実装した光半導体チップ12を通すための窓孔19が形成され、側面には前記端子電極部18と対応する位置にスルーホール電極20が設けられる。前記窓孔19は、光半導体チップ12の実装スペースが確保されればザグリ等によって形成した凹部形状でもよい。

【0016】

図2に示されるように、前記ベース基板15は、光半導体チップ12が実装された回路基板14面に接合される。この接合は、前記端子電極部18上に設けられた接合層21を介して行われる。前記接合層21は、主に導電性粒子と接着剤(バインダ)から構成された異方性導電材料が使用される。この異方性導電材料は、接着、導電、絶縁といった3つの機能を同時に備えており、前記導電性粒子は対向する電極同士を電氣的に導通させるために、バインダは接続部を機械的に固定するための役割を担う。このような異方性導電材料には、異方性導電フィルム(ACF)と異方性導電ペースト(ACP)の2種類がある。前記ACFは、所定の長さにカットされて端子電極部18上に直接貼り付けられ、前記ACPは、端子電極部18の一端に滴下した後、平らにならして塗布される。このようなACFやACPは、熱圧着加工により、圧着部における厚み方向に対しては導通性、一方、その圧着部の面方向に対しては絶縁性という電氣的異方性を示す。したがって、前記ベース基板15に設けられたスルーホール電極20の深さ方向には導電性を有する一方、接合平面においては導電性を有しないため、隣接するスルーホール間でのショートを発生させることなく確実に接合することができる。

30

40

【0017】

前記光半導体パッケージ11は、図3に示すように、ベース基板15側を直接マザーボード等の実装基板30上の電極部29に載せて実装することで、前記電極部29と光半導体チップ12のチップ電極部と導通させることができるので、光半導体チップ12を保護するための封止樹脂材は不要となる。前記バンプによる接続部を補強するため、前記FC実装部にアンダーフィルを形成することもあるが、金バンプでは前記電極パッド部17と

50

の接合に ACF や ACP を用いることで FC 実装が可能となるため、アンダーフィルは不要となる。また、前記光半導体チップ 12 の受光部が透明な回路基板 14 を通して上方に露出しているため、図示しない発光光源から発せられる光を有効に取り込むことができる。

【0018】

上述したように、本発明の光半導体パッケージ 11 は、紫外線による劣化や光透過率の低下を引き起こす樹脂材で封止しない構造となっている。このため、高密度の記録及び再生が可能な DVD 等の光ディスクの読み取り用として用いられる紫外線領域の青色半導体レーザに最適な受光デバイスの製造が可能となる。

【0019】

次に、前記光半導体パッケージ 11 の製造方法について説明する。図 4 乃至図 9 は、上記構造の光半導体チップ 11 を量産するための一連の工程を示したものである。

【0020】

図 4 に示す最初の第 1 工程（集合回路基板形成工程）では、光半導体チップを複数同時に形成可能なサイズの集合回路基板 34 を用意し、この集合回路基板 34 の表面に半導体チップを実装する実装スペース 36 を確保する。そして、この実装スペース 36 上に載置される半導体チップのチップ電極部に対応した電極パターン 37 を蒸着形成する。

【0021】

図 5 に示す第 2 工程（チップ実装工程）では、光半導体チップ 12 のチップ電極部を前記電極パターン 37 の電極パッド部にはんだバンプを介して接合する。

【0022】

図 6 に示す第 3 工程（集合ベース基板形成工程）では、前記集合回路基板 34 と略同じサイズの集合ベース基板 35 が用意され、この集合ベース基板 35 に前記半導体チップ 12 が収まるような窓孔 19 を複数設ける。また、前記集合回路基板 34 を積層した際に、電極パターン 37 の端子電極部 39 と導通するスルーホール電極 20 を形成する。

【0023】

図 7 及び図 8 に示す第 4 工程（導電接合層形成工程、基板接合工程）では、前記集合回路基板 34 に形成した電極パターン 37 の端子電極部 39 上に異方性導電材料による接合層 21 を形成し、この接合層 21 を介して集合ベース基板 35 を貼り合わせる。前記接合層 21 は、ペースト状あるいはシート状の異方性導電材料を塗布あるいは貼付することによって形成される。この圧接作業によって、接着成分であるバインダが押し広げられ、対向する端子電極部 39 とスルーホール電極 20 に導電性粒子が浸透する。これによって、圧着部における厚み方向に対しては導電性、一方、面方向に対しては絶縁性といった電気的異方性を示すことになる。

【0024】

図 9 に示す第 5 工程（分割工程）では、前記集合ベース基板 35 の各窓孔 19 を樹脂で封止した後、集合回路基板 34 と集合ベース基板 35 とが一体化された集合光半導体パッケージ 31 を個々の光半導体パッケージ領域ごとにダイシングして分断される。このダイシングは、集合ベース基板 35 面に予め形成されている分断ライン及びスルーホール電極の中心ラインに沿って行われる。

【0025】

上記示した一連の製造工程を経ることで、図 1 及び図 2 に示したような光半導体パッケージ 11 を安価且つ大量に生産することができる。

【図面の簡単な説明】

【0026】

【図 1】本発明に係る光半導体パッケージの斜視図である。

【図 2】上記光半導体パッケージの組立斜視図である。

【図 3】上記光半導体パッケージをマザーボード上に実装した状態の断面図である。

【図 4】集合回路基板を形成する工程図である。

【図 5】集合回路基板に光半導体チップを実装する工程図である。

10

20

30

40

50

【図6】集合ベース基板を形成する工程図である。

【図7】集合回路基板に集合ベース基板を貼り合わせる工程図である。

【図8】集合回路基板に集合ベース基板を貼り合わせる工程図である。

【図9】個々の光半導体チップに分断する工程図である。

【図10】従来の光半導体パッケージの斜視図である。

【符号の説明】

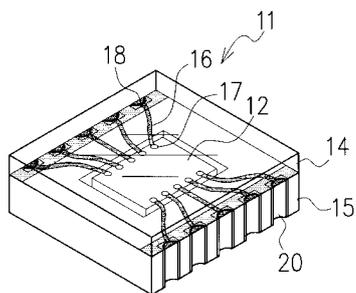
【0027】

- 11 光半導体パッケージ
- 12 光半導体チップ
- 14 回路基板
- 15 ベース基板
- 16 電極パターン
- 17 電極パッド部
- 18 端子電極部
- 19 窓孔
- 20 スルーホール電極
- 21 接合層
- 29 電極部
- 30 実装基板

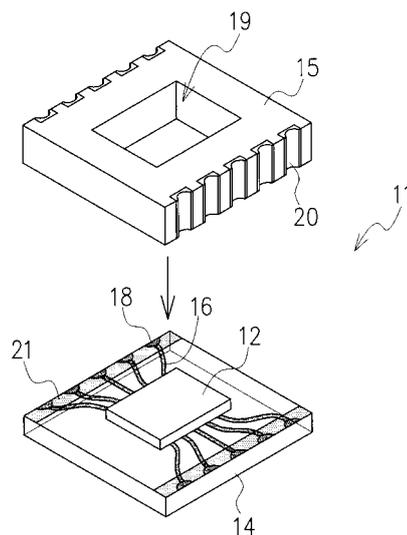
10

20

【図1】

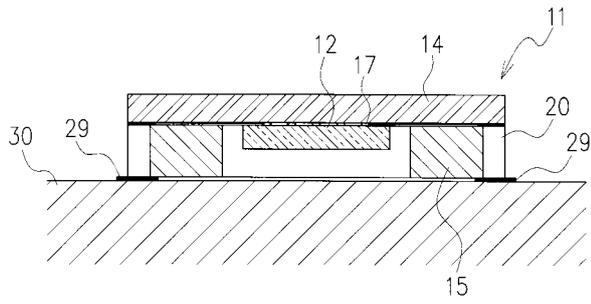


【図2】

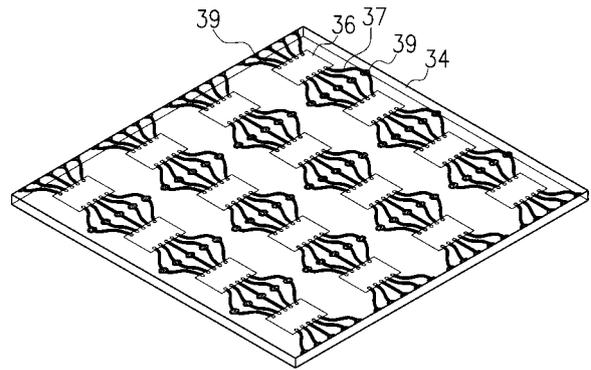


- 12…光半導体チップ
- 14…回路基板
- 15…ベース基板
- 16…電極パターン
- 19…窓孔
- 20…スルーホール電極

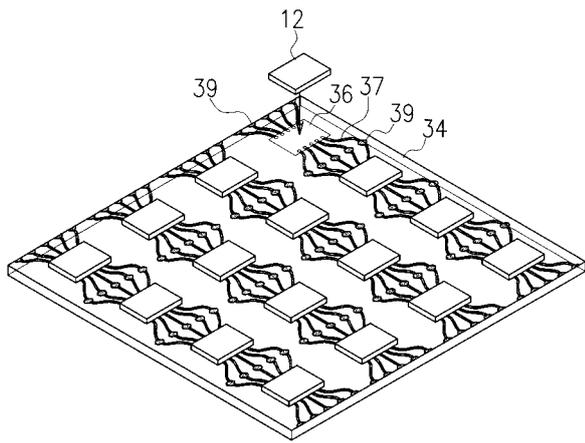
【 図 3 】



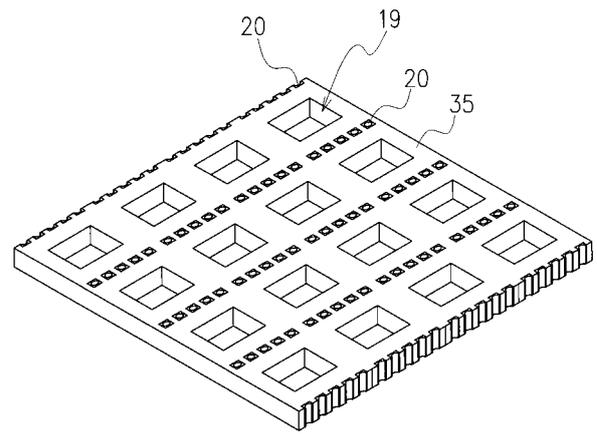
【 図 4 】



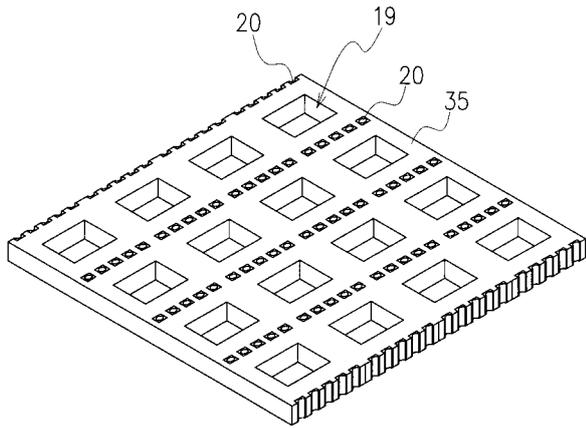
【 図 5 】



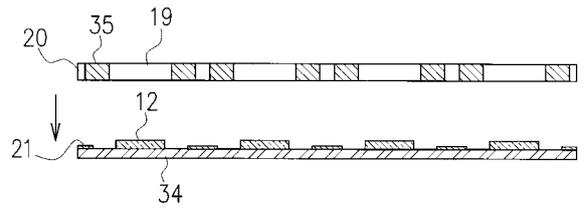
【 図 6 】



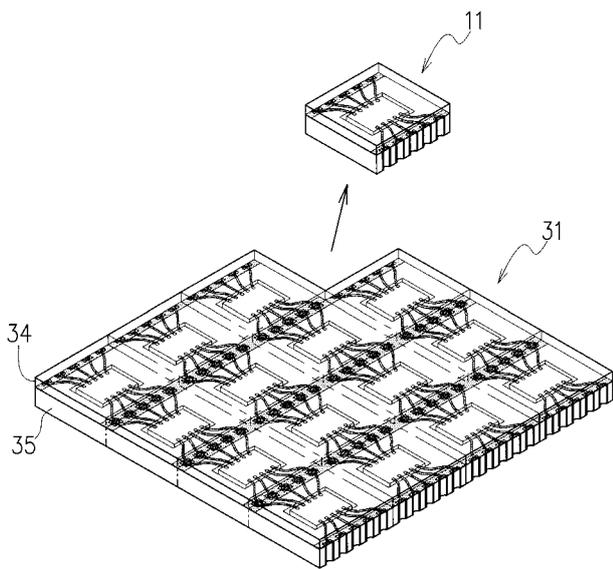
【 図 7 】



【 図 8 】



【 図 9 】



【 図 10 】

