



(12) 发明专利

(10) 授权公告号 CN 114708891 B

(45) 授权公告日 2022.08.16

(21) 申请号 202210604913.9

审查员 陈敏

(22) 申请日 2022.05.31

(65) 同一申请的已公布的文献号  
申请公布号 CN 114708891 A

(43) 申请公布日 2022.07.05

(73) 专利权人 南京低功耗芯片技术研究院有限  
公司

地址 210032 江苏省南京市江北新区星火  
路17号创智大厦A座4层

(72) 发明人 李晓敏 张潇宇 李晨阳

(74) 专利代理机构 南京经纬专利商标代理有限  
公司 32200

专利代理师 王慧

(51) Int. Cl.

G11C 5/14 (2006.01)

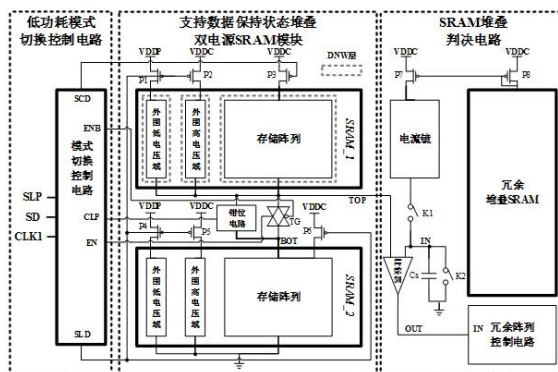
权利要求书3页 说明书7页 附图4页

(54) 发明名称

一种支持多模式切换的堆叠SRAM电路及其  
控制方法

(57) 摘要

本发明公开了一种支持多模式切换的堆叠SRAM电路及其控制方法,包含支持电压堆叠的双电源SRAM、低功耗模式切换控制电路和SRAM堆叠判决电路;支持电压堆叠的双电源SRAM实现内部存储单元堆叠,供电电压在多个堆叠阵列上等比例分配的效果;低功耗模式切换的控制电路用于引导SRAM进入和退出各状态,降低其漏电功耗;SRAM堆叠判决电路用于检测当前SRAM的PVT,对数据保持状态下SRAM的模式进行决断。本发明保证SRAM在堆叠状态下,上下串联的存储阵列能够等分供电电压;同时模式切换控制电路在外部时钟的引导下,配合堆叠判决电路对SRAM的低功耗模式进行配置,实现漏电的降低。



1. 一种支持多模式切换的堆叠SRAM电路,其特征在于,包括支持数据保持状态堆叠的双电源SRAM模块,低功耗模式切换控制电路和SRAM堆叠判决电路;所述支持数据保持状态堆叠的双电源SRAM模块由上下两片容量一致的SRAM构成,且顶层SRAM\_1布局DNW埋层;所述低功耗模式切换控制电路由外部低频时钟控制,确保SRAM堆叠状态的建立,并控制其它模式之间的转换;所述SRAM堆叠判决电路,采用冗余单元追踪PVT的变化,从而调整双电源SRAM模块的工作状态;

所述低功耗模式切换控制电路包括第一睡眠控制信号(SLP)、第二睡眠控制信号(SD)、控制时钟信号(CLK1)、钳位电路控制信号(CLP)、两个SRAM共有的门控信号(SLD)、SRAM\_1的存储阵列门控信号(SCD)、堆叠传输管的正相使能信号(EN)、堆叠传输管的反相使能信号(ENB)、第一触发器(F1)、第二触发器(F2)、第三触发器(F3)、第四触发器(F4)、第一反相器(I1)、第二反相器(I2)、第三反相器(I3)、第四反相器(I4)、第五反相器(I5)、第六反相器(I6)、第七反相器(I7)、第八反相器(I8)、第一缓冲门(B1)、第二缓冲门(B2)、第一与非门(A1)、第二与非门(A2)、第三与非门(A3)、第四与非门(A4)、第一或非门(O1)、第二或非门(O2)、第三或非门(O3)、第一与门(G1)、第一多路选择器(M1)、第一NMOS管(N1)、第二NMOS管(N2);

其中,第一睡眠控制信号(SLP)分别接在第一触发器(F1)的数据输入端、第一反相器(I1)的输入端、第一多路选择器(M1)的控制选择端、第三与非门(A3)的输入端、第二与非门(A2)的输入端、第四与非门(A4)的输入端、第三或非门(O3)的输入端,第二睡眠控制信号(SD)分别接在第二反相器(I2)的输入端、第八反相器(I8)的输入端、第四与非门(A4)的输入端、第一多路选择器(M1)的输入端、第一NMOS管(N1)的栅极、第二NMOS管(N2)的栅极,控制时钟信号(CLK1)分别接在第四触发器(F4)的时钟输入端、第一与门(G1)的输入端,第一反相器(I1)的输出端分别与第一触发器(F1)的复位输入端、第二触发器(F2)的复位输入端、第三触发器(F3)的复位输入端相接,第二反相器(I2)的输出端接在第一与非门(A1)的输入端,第一与非门(A1)的输出端接在第一多路选择器(M1)的输入端,第一多路选择器(M1)的输出端分别接在第二或非门(O2)的输入端、第一缓冲门(B1)的输入端,第一缓冲门(B1)的输出端接在第二或非门(O2)的输入端,第二或非门(O2)的输出端接在第三反相器(I3)的输入端,第三反相器(I3)的输出端引出两个SRAM共有的门控信号(SLD)、并接在第四反相器(I4)输入端,第四反相器(I4)输出端接在第一或非门(O1)的输入端,第一触发器(F1)的正相输出端分别接在第二与非门(A2)的输入端、第二触发器(F2)的数据输入端,第二触发器(F2)的正相输出端接在第三触发器(F3)的数据输入端,第三触发器(F3)的正相输出端接在第三与非门(A3)的输入端,第三触发器(F3)的反相输出端接在第二与非门(A2)的输入端,第二与非门(A2)的输出端接在第一或非门(O1)的输入端,第一或非门(O1)的输出端接在第二缓冲门(B2)的输入端;第二缓冲门(B2)的输出端引出钳位电路控制信号(CLP),并分别与第五反相器(I5)的输入端、第一NMOS管(N1)的漏极相接,第五反相器(I5)的输出端接在第三与非门(A3)的输入端;第三与非门(A3)的输出端引出堆叠传输管的反相使能信号(ENB),并分别接在第四触发器(F4)的数据输入端、第六反相器(I6)的输入端;第六反相器(I6)的输出端引出堆叠传输管的正相使能信号(EN),并分别接在第七反相器(I7)的输入端、第二NMOS管(N2)的漏极;第七反相器(I7)的输出端接在第四与非门(A4)的输入端,第八反相器(I8)的输出端接在第三或非门(O3)的输入端,第三或非门(O3)的输出端引出SRAM\_1

的存储阵列门控信号 (SCD), 第一NMOS管 (N1) 的源极和第二NMOS管 (N2) 的源极共同接地;

所述SRAM堆叠判决电路包含双电源SRAM模块的高电压供电端 (VDDC)、SRAM\_1的地端 (TOP)、冗余堆叠SRAM、电流镜、比较器、冗余阵列控制电路、第七PMOS管 (P7)、第八PMOS管 (P8)、采样电容 (Cs)、第一开关 (K1) 和第二开关 (K2);

其中, 高电压供电端 (VDDC) 分别接在第七PMOS管 (P7) 的源极、第八PMOS管 (P8) 的源极, 冗余堆叠SRAM模块与第七PMOS管 (P7) 的栅极、第八PMOS管 (P8) 的栅极、第八PMOS管 (P8) 的漏极相接, 第七PMOS管 (P7) 的漏极接在电流镜模块的一端, 电流镜模块的另一端接在第一开关 (K1) 的一端, 第一开关 (K1) 的另一端分别与比较器的输入端、采样电容 (Cs) 的一端、第二开关 (K2) 的一端相接, SRAM\_1的地端 (TOP) 接到比较器的另一个输入端, 比较器的输出端接到冗余阵列控制电路上, 采样电容 (Cs) 的另一端和第二开关 (K2) 的另一端共同接地。

2. 根据权利要求1所述的支持多模式切换的堆叠SRAM电路, 其特征在于, 所述双电源SRAM模块包括上下堆叠的两个双电源SRAM的低电压供电端 (VDDP) 和高电压供电端 (VDDC)、SRAM\_1的地端 (TOP)、SRAM\_2的阵列供电端 (BOT)、两个SRAM共有的门控信号 (SLD)、SRAM\_1的存储阵列门控信号 (SCD)、堆叠传输管的正相使能信号 (EN)、堆叠传输管的反相使能信号 (ENB)、钳位电路控制信号 (CLP)、第一PMOS管 (P1)、第二PMOS管 (P2)、第三PMOS管 (P3)、第四PMOS管 (P4)、第五PMOS管 (P5)、第六PMOS管 (P6)、堆叠传输管 (TG)、钳位电路、SRAM\_1和SRAM\_2;

其中, 低电压供电端 (VDDP) 分别与第一PMOS管 (P1) 的源极、第四PMOS管 (P4) 的源极相接, 高电压供电端 (VDDC) 分别与第二PMOS管 (P2) 的源极、第三PMOS管 (P3) 的源极、第五PMOS管 (P5) 的源极、第六PMOS管 (P6) 的源极相接, SRAM\_1的地端 (TOP) 分别与钳位电路的一个输出端、堆叠传输管 (TG) 的一个传输端相接, SRAM\_2的阵列供电端 (BOT) 分别与钳位电路的另一个输出端、堆叠传输管 (TG) 的另一个传输端相接, 两个SRAM共有的门控信号 (SLD) 分别接在第一PMOS管 (P1) 的栅极、第二PMOS管 (P2) 的栅极、第四PMOS管 (P4) 的栅极、第五PMOS管 (P5) 的栅极、第六PMOS管 (P6) 的栅极, SRAM\_1的存储阵列门控信号 (SCD) 接在第三PMOS管 (P3) 的栅极, 堆叠传输管的正相使能信号 (EN) 接在堆叠传输管 (TG) 的一个栅极控制端, 堆叠传输管的反相使能信号 (ENB) 接在堆叠传输管 (TG) 的另一个栅极控制端, 钳位电路控制信号 (CLP) 接在钳位电路的输入端, 第一PMOS管 (P1) 的漏极与SRAM\_1内部的外围低电压模块相接, 第二PMOS管 (P2) 的漏极与SRAM\_2内部的外围高电压模块相接, 第三PMOS管 (P3) 的漏极与SRAM\_1内部的存储阵列相接, 第四PMOS管 (P4) 的漏极与SRAM\_2内部的外围低电压模块相接, 第五PMOS管 (P5) 的漏极与SRAM\_2内部的外围高电压模块相接, 第六PMOS管 (P6) 的漏极与SRAM\_2内部的存储阵列相接。

3. 根据权利要求2所述的支持多模式切换的堆叠SRAM电路, 其特征在于, 位于堆叠支路顶层的SRAM\_1设有DNW埋层, 确保SRAM\_1模块内部的NMOS管衬底与地端不连接; SRAM\_1和SRAM\_2的内部分别划分出三个不同的电压域, 其中SRAM\_1的三个电压域分别用三个DNW埋层包围, 同时, SRAM\_1内部存储阵列的字线下拉到地端 (TOP), 插入隔离单元。

4. 如权利要求1-3任一项所述支持多模式切换的堆叠SRAM电路的控制方法, 其特征在于, 当第一睡眠控制信号 (SLP) 使能, 第二睡眠控制信号 (SD) 不使能时, 双电源SRAM模块进入睡眠堆叠的低功耗模式的步骤如下:

S1, 控制时钟信号 (CLK1) 在下降沿捕获第一睡眠控制信号 (SLP) 后, 使能两个SRAM共有

的门控信号 (SLD), 并使能钳位电路控制信号 (CLP), 对SRAM\_1的地端 (TOP) 和SRAM\_2的阵列供电端 (BOT) 进行钳位, 消除后续两个节点相连产生的电荷共享效应;

S2, 控制时钟信号 (CLK1) 对第一睡眠控制信号 (SLP) 的捕获结果通过第二触发器 (F2) 到第三触发器 (F3) 的路径传输到第四触发器 (F4) 的数据输入端期间, 钳位电路控制信号 (CLP) 一直保持有效状态; 或者从第二触发器 (F2) 到第三触发器 (F3) 之间插入更多的触发器, 来增加钳位时间;

S3, 第四触发器 (F4) 在接收到传输的信号后, 关闭前面所有触发器的时钟, 钳位电路控制信号 (CLP) 失效, 堆叠传输管的正相使能信号 (EN) 和堆叠传输管的反相使能信号 (ENB) 共同开启堆叠传输管, 建立SRAM\_1和SRAM\_2的阵列堆叠支路; 当从堆叠状态退出时, 各触发器不受到控制时钟信号 (CLK1) 的控制, 在第一睡眠控制信号 (SLP) 翻转下复位, 堆叠传输管关闭, 所有门控管开启, 使SRAM\_1和SRAM\_2回到正常读写模式;

当第一睡眠控制信号 (SLP) 和第二睡眠控制信号 (SD) 都使能时, SRAM\_1和SRAM\_2的所有外围逻辑模块关断, 钳位电路开启, 并保持对SRAM\_1的地端 (TOP) 和SRAM\_2的阵列供电端 (BOT) 的钳位功能, 提升两片SRAM的数据保持能力;

当第一睡眠控制信号 (SLP) 不使能, 第二睡眠控制信号 (SD) 使能时, SRAM\_1和SRAM\_2的所有模块关断, 直接进入关闭状态; 关闭状态的退出也是由第二睡眠控制信号 (SD) 的翻转触发, 所有门控信号变为低电平, 为各模块充电。

5. 根据权利要求4所述的支持多模式切换的堆叠SRAM电路的控制方法, 其特征在于, 在低功耗模式切换控制电路的配置下, 双电源SRAM模块能实现读写模式、睡眠堆叠模式、睡眠钳位模式和关闭模式之间的转换。

6. 根据权利要求4所述的支持多模式切换的堆叠SRAM电路的控制方法, 其特征在于, 所述冗余堆叠SRAM通过第八PMOS管 (P8) 将其堆叠电压下降一定值; 电流镜模块复制冗余SRAM的堆叠路径电流, 将该电流对采样电容 (Cs) 的充电能力作为参照追踪当前的PVT, 比较器周期性地比较采样电容 (Cs) 的电压; 所述冗余阵列控制电路根据比较器的输出, 判决当前条件下是否解除冗余堆叠SRAM的堆叠状态, 对冗余堆叠SRAM内部预先写入的数据进行检验; 一旦冗余堆叠SRAM进入数据检测且发生数据破坏, SRAM\_1和SRAM\_2退出堆叠状态;

冗余堆叠SRAM的冗余阵列全部写入一个固定的电平, 在进行读检测时, 处于同一列的单元所有存储高电平端的字线开启, 进行单端位线检测, 一旦有单元内部的数据发生翻转, 该列的位线逐渐放电, 被灵敏放大器输出。

## 一种支持多模式切换的堆叠SRAM电路及其控制方法

### 技术领域

[0001] 本发明涉及堆叠SRAM电路及其控制方法,尤其涉及一种支持多模式切换的堆叠SRAM电路及其控制方法。

### 背景技术

[0002] 在目前的移动应用端,许多物联网(IoT)设备会更长时间地处在待机状态,其静态能量损失逐渐超过了工作状态下的能量消耗。而作为芯片中占据大量面积和能量开销的存储器SRAM,其自身静态功耗的改善可以大幅度降低整个系统的静态能量损失,延长设备续航时间。

[0003] 为了降低待机状态下SRAM(Static Random-Access Memory静态随机存取存储器)的漏电,许多系统会将SRAM置于深度睡眠模式,关断其内部逻辑电路,并且在SRAM数据保持的基础上降低存储阵列的电压。但是,这也就意味着需要系统引入额外的电源管理模块和供电支路,增加额外的面积和功耗开销。因此,为了避免增加额外的供电节点,以往的设计会采用二极管连接的MOS管串联在存储阵列所在的支路中,对处于睡眠状态的SRAM进行钳位。但是,随着工艺的变化,这种结构实现的钳位电压值,不具有对工艺变化的适应性,并且比实际SRAM的最小数据保持电压增加过多的裕量。

[0004] 此外,现有的技术中,堆叠的思想也能避开额外的供电支路,通过多个相同类型、相同容量的存储阵列串联在一个原有的供电支路,降低SRAM的数据保持电压。但是,对于部分较差PVT(工艺角,电压和温度)下需要数据保持的SRAM,其堆叠电压可能无法满足需求;如果为了保证全PVT下SRAM的数据保持能力,增加SRAM的供电电压,那么其动态工作模式下的功耗又会急剧增加;另一方面,对于不同需求设计下的SRAM,如何隔离其它逻辑电路引入的漏电,实现堆叠节点稳定,也是这一方案会引入的难题。

### 发明内容

[0005] 发明目的:本发明通过在体硅工艺下设计一个支持电压堆叠的双电源SRAM,实现满足不同需求下SRAM的堆叠方案;低功耗模式切换的控制电路在辅助该SRAM模块建立和退出堆叠状态的同时,又为其提供了提升SRAM数据保持能力的钳位模式和实现SRAM所有模块关断的关闭模式;并利用冗余阵列的方式设计了SRAM堆叠判决电路,追踪当前的PVT,对睡眠模式下SRAM是否保持堆叠状态进行判决。

[0006] 技术方案:本发明的堆叠SRAM电路,包括支持数据保持状态堆叠的双电源SRAM模块,低功耗模式切换控制电路和SRAM堆叠判决电路;所述支持数据保持状态堆叠的双电源SRAM模块由上下两片容量一致的SRAM构成,且顶层SRAM\_1布局DNW埋层;所述低功耗模式控制电路由外部低频时钟控制,确保SRAM堆叠状态的建立,并控制其它模式之间的转换;所述SRAM堆叠判决电路,采用冗余单元追踪PVT的变化,从而调整双电源堆叠SRAM的工作状态。

[0007] 所述双电源SRAM模块包括上下堆叠的两个双电源SRAM的低电压供电端和高电压供电端、SRAM\_1的地端、SRAM\_2的阵列供电端、两个SRAM共有的门控信号、SRAM\_1的存储阵

列门控信号、堆叠传输管的正相使能信号、堆叠传输管的反相使能信号、钳位电路控制信号、第一PMOS管、第二PMOS管、第三PMOS管、第四PMOS管、第五PMOS管、第六PMOS管、堆叠传输管、钳位电路、SRAM\_1和SRAM\_2；

[0008] 其中,低电压供电端分别与第一PMOS管的源极、第四PMOS管的源极相接,高电压供电端分别与第二PMOS管的源极、第三PMOS管的源极、第五PMOS管的源极、第六PMOS管的源极相接,SRAM\_1的地端分别与钳位电路的一个输出端、堆叠传输管的一个传输端相接,SRAM\_2的阵列供电端分别与钳位电路的另一个输出端、堆叠传输管的另一个传输端相接,两个SRAM共有的门控信号分别接在第一PMOS管的栅极、第二PMOS管的栅极、第四PMOS管的栅极、第五PMOS管的栅极、第六PMOS管的栅极,SRAM\_1的存储阵列门控信号接在第三PMOS管的栅极,堆叠传输管的正相使能信号接在堆叠传输管的一个栅极控制端,堆叠传输管的反相使能信号接在堆叠传输管的另一个栅极控制端,钳位电路控制信号接在钳位电路的输入端,第一PMOS管的漏极与SRAM\_1内部的外围低电压模块相接,第二PMOS管的漏极与SRAM\_2内部的外围高电压模块相接,第三PMOS管的漏极与SRAM\_1内部的存储阵列相接,第四PMOS管的漏极与SRAM\_2内部的外围低电压模块相接,第五PMOS管的漏极与SRAM\_2内部的外围高电压模块相接,第六PMOS管的漏极与SRAM\_2内部的存储阵列相接。

[0009] 进一步,位于堆叠支路顶层的SRAM\_1设有DNW埋层,确保SRAM\_1模块内部的NMOS管衬底与地端不连接;SRAM\_1和SRAM\_2的内部分别划分出三个不同的电压域,其中SRAM\_1的三个电压域分别用三个DNW埋层包围,同时,SRAM\_1内部存储阵列的字线下拉到地端,插入隔离单元。

[0010] 进一步,所述低功耗模式切换控制电路包括第一睡眠控制信号、第二睡眠控制信号、低功耗模式控制时钟信号、钳位电路控制信号、两个SRAM共有的门控信号、SRAM\_1的存储阵列门控信号、堆叠传输管的正相使能信号、堆叠传输管的反相使能信号、第一触发器、第二触发器、第三触发器、第四触发器、第一反相器、第二反相器、第三反相器、第四反相器、第五反相器、第六反相器、第七反相器、第八反相器、第一缓冲门、第二缓冲门、第一与非门、第二与非门、第三与非门、第四与非门、第一或非门、第二或非门、第三或非门、第一与门、第一多路选择器、第一NMOS管、第二NMOS管；

[0011] 其中,第一睡眠控制信号分别接在第一触发器的数据输入端、第一反相器的输入端、第一多路选择器的控制选择端、第三与非门的输入端、第二与非门的输入端、第四与非门的输入端、第三或非门的输入端,第二睡眠控制信号分别接在第二反相器的输入端、第八反相器的输入端、第四与非门的输入端、第一多路选择器的输入端、第一NMOS管的栅极、第二NMOS管的栅极,低功耗模式控制时钟信号分别接在第四触发器的时钟输入端、第一与门的输入端,第一反相器的输出端分别与第一触发器的复位输入端、第二触发器的复位输入端、第三触发器的复位输入端相接,第二反相器的输出端接在第一与非门的输入端,第一与非门的输出端接在第一多路选择器的输入端,第一多路选择器的输出端分别接在第二或非门的输入端、第一缓冲门的输入端,第一缓冲门的输出端接在第二或非门的输入端,第二或非门的输出端接在第三反相器的输入端,第三反相器的输出端引出两个SRAM共有的门控信号、并接在第四反相器输入端,第四反相器输出端接在第一或非门的输入端,第一触发器的正相输出端分别接在第二与非门的输入端、第二触发器的数据输入端,第二触发器的正相输出端接在第三触发器的数据输入端,第三触发器的正相输出端接在第三与非门的输入

端,第三触发器的反相输出端接在第二与非门的输入端,第二与非门的输出端接在第一或非门的输入端,第一或非门的输出端接在第二缓冲门的输入端;第二缓冲门的输出端引出钳位电路控制信号,并分别与第五反相器的输入端、第一NMOS管的漏极相接,第五反相器的输出端接在第三与非门的输入端;第三与非门的输出端引出堆叠传输管的反相使能信号,并分别接在第四触发器的数据输入端、第六反相器的输入端;第六反相器的输出端引出堆叠传输管的正相使能信号,并分别接在第七反相器的输入端、第二NMOS管的漏极;第七反相器的输出端接在第四与非门的输入端,第八反相器的输出端接在第三或非门的输入端,第三或非门的输出端引出SRAM\_1的存储阵列门控信号,第一NMOS管的源极和第二NMOS管的源极共同接地。

[0012] 进一步,所述SRAM堆叠判决电路包含双电源SRAM的高电压供电端、SRAM\_1的地端、冗余堆叠SRAM、电流镜、比较器、冗余阵列控制电路、第七PMOS管、第八PMOS管、采样电容、第一开关和第二开关;

[0013] 其中,高电压供电端分别接在第七PMOS管的源极、第八PMOS管的源极,冗余堆叠SRAM模块与第七PMOS管的栅极、第八PMOS管的栅极、第八PMOS管的漏极相接,第七PMOS管的漏极接在电流镜模块的一端,电流镜模块的另一端接在第一开关的一端,第一开关的另一端分别与比较器的输入端、采样电容的一端、第二开关的一端相接,SRAM\_1的地端接到比较器的另一个输入端,比较器的输出端接到冗余阵列控制电路上,采样电容的另一端和第二开关的另一端共同接地。

[0014] 本发明堆叠SRAM电路的控制方法如下:

[0015] 当第一睡眠控制信号使能,第二睡眠控制信号不使能时,双电源堆叠SRAM进入睡眠堆叠的低功耗模式的步骤如下:

[0016] S1,控制时钟信号在下降沿捕获第一睡眠控制信号后,使能两个SRAM共有的门控信号,并使能钳位电路控制信号,对SRAM\_1的地端和SRAM\_2的阵列供电端进行钳位,消除后续两个节点相连产生的电荷共享效应;

[0017] S2,控制时钟信号对第一睡眠控制信号的捕获结果通过第二触发器到第三触发器的路径传输到第四触发器的数据输入端期间,钳位电路控制信号一直保持有效状态;或者从第二触发器到第三触发器之间还可以插入更多的触发器,来增加钳位时间;

[0018] S3,第四触发器在接收到传输的信号后,关闭前面所有触发器的时钟,钳位电路控制信号失效,堆叠传输管的正相使能信号和堆叠传输管的反相使能信号共同开启堆叠传输管,建立SRAM\_1和SRAM\_2的阵列堆叠支路;当从堆叠状态退出时,各触发器不受到时钟信号的控制,在第一睡眠控制信号翻转下复位,堆叠传输管关闭,所有门控管开启,使SRAM\_1和SRAM\_2回到正常读写模式;

[0019] 当第一睡眠控制信号和第二睡眠控制信号都使能时,SRAM\_1和SRAM\_2的所有外围逻辑模块关断,钳位电路开启,并保持对SRAM\_1的地端和SRAM\_2的阵列供电端的钳位功能,提升两片SRAM的数据保持能力;

[0020] 当第一睡眠控制信号不使能,第二睡眠控制信号使能时,SRAM\_1和SRAM\_2的所有模块关断,直接进入关闭状态;关闭状态的退出也是由第二睡眠控制信号的翻转触发,所有门控信号变为低电平,为各模块充电。

[0021] 进一步,在模式切换控制电路的配置下,双电源堆叠SRAM能实现读写模式、睡眠堆

叠模式、睡眠钳位模式和关闭模式之间的转换。

[0022] 进一步,所述冗余堆叠SRAM通过第八PMOS管将其堆叠电压下降一定值;电流镜模块复制冗余SRAM的堆叠路径电流,将该电流对采样电容的充电能力作为参照追踪当前的PVT,比较器周期性地比较采样电容的电压;所述冗余阵列控制电路根据比较器的输出,判决当前条件下是否解除冗余堆叠SRAM的堆叠状态,对冗余堆叠SRAM内部预先写入的数据进行检验;一旦冗余堆叠SRAM进入数据检测且发生数据破坏,SRAM\_1和SRAM\_2退出堆叠状态;

[0023] 冗余堆叠SRAM的冗余阵列全部写入一个固定的电平,在进行读检测时,处于同一列的单元所有存储高电平端的字线开启,进行单端位线检测,一旦有单元内部的数据发生翻转,该列的位线逐渐放电,被灵敏放大器输出。

[0024] 本发明与现有技术相比,其显著效果如下:

[0025] 1、本发明通过增加适当的DNW埋层,插入隔离单元和相应电路,实现了体硅工艺下,双电源SRAM在睡眠模式下能够支持存储阵列堆叠的功能、优化SRAM的静态漏电;

[0026] 2、低功耗模式切换控制电路能够在不消耗系统额外资源的条件下,分步引导该SRAM进入和退出堆叠状态。在低频时钟的同步下,切换控制电路能够基本消除电荷共享效应对SRAM堆叠状态的影响。同时,切换控制电路在SRAM建立起稳定的堆叠状态后,其部分模块也会随之关断,减少不必要的漏电开销;

[0027] 3、SRAM堆叠判决电路针对当前工艺迁移背景下,SRAM存储单元数据保持电压差异性的问题,以冗余堆叠SRAM的漏电特性追踪芯片PVT特性。通过周期性地对冗余堆叠SRAM内部的存储单元进行读校验,提前对当前PVT下的堆叠SRAM电压进行评估,保证堆叠SRAM始终维持较高的数据保持良率。

## 附图说明

[0028] 图1为本发明的支持多模式切换的堆叠SRAM电路及其控制方法的原理图;

[0029] 图2为本发明的支持电压堆叠SRAM中SRAM\_1的内部结构图;

[0030] 图3为本发明低功耗模式切换控制电路模块示意图;

[0031] 图4(a)为本发明堆叠SRAM动态读写模式和睡眠堆叠模式之间切换的波形图;

[0032] 图4(b)为本发明堆叠SRAM其它低功耗模式之间切换的波形图;

[0033] 图5为本发明SRAM堆叠判决电路中冗余SRAM的结构图;

[0034] 图6为本发明SRAM堆叠判决电路的判决输出波形图。

## 具体实施方式

[0035] 下面结合说明书附图和具体实施方式对本发明做进一步详细描述。

[0036] 如图1所示,本发明的堆叠SRAM电路,包括支持数据保持状态堆叠的双电源SRAM模块、低功耗模式切换控制电路以及SRAM堆叠判决电路;所述支持数据保持状态堆叠的双电源SRAM模块、低功耗模式切换控制电路以及SRAM堆叠判决电路;所述支持数据保持状态堆叠的双电源SRAM模块由上下两片容量一致的SRAM构成:分别为SRAM\_1与SRAM\_2,通过对顶层的SRAM\_1布局DNW埋层,实现内部逻辑电路的隔离,稳定整个双电源堆叠SRAM模块进入睡眠堆叠模式后中间节点的电压;所述低功耗模式切换控制电路在时钟的同步下,捕获睡眠堆叠开启的信号,逐步建立双电源堆叠SRAM模块的堆叠状态,同时该低功耗模式切换控制



电路也能控制整个双电源堆叠SRAM模块在其它低功耗模式之间切换;所述SRAM堆叠判决电路利用冗余堆叠SRAM对PVT进行追踪,检测SRAM\_1和SRAM\_2的数据保持能力,调整双电源堆叠SRAM模块的工作状态。

[0037] 如图2所示,为SRAM\_1的内部结构图,包含存储阵列、字线下拉电路、字线驱动电路、译码电路、时序电路、读写驱动电路、输入输出电路。为了降低读写功耗,SRAM\_1内部划分了多个BANK,每两个BANK共用一套读写驱动电路和时序电路。其中,存储阵列和字线驱动电路位于SRAM\_1的高电压域中,译码电路、时序电路、读写驱动电路和输入输出电路位于SRAM\_1的低电压域中。在体硅工艺下,对各电路布局独立的DNW埋层,可以实现所有电路内NMOS管衬底不接地的同时不同电压域的PMOS管衬底独立,从而进入低功耗模式后,外围低电压域模块和外围高电压域模块关断,存储阵列保持开启状态。因此SRAM\_1的内部设置了三个独立的DNW埋层:分别为DNW1、DNW2、DNW3。被DNW1包围的高电压域,NMOS管衬底在睡眠堆叠模式下不接地,PMOS管衬底在睡眠模式下接高电压VDDC;被DNW2包围的高电压域,NMOS管衬底在睡眠堆叠模式下不接地,PMOS管衬底在睡眠模式下浮空;被DNW3包围的低电压域,NMOS管衬底在睡眠堆叠模式下不接地,PMOS管衬底在睡眠模式下浮空。SRAM\_1内部存储阵列的字线通过字线下拉电路和地端(TOP)短接,平衡SRAM\_1和SRAM\_2阵列的漏电流。

[0038] 如图3所示,所述低功耗模式切换控制电路包含第一睡眠控制信号SLP、第二睡眠控制信号SD、控制时钟信号CLK1、钳位电路控制信号CLP、SRAM\_1和SRAM\_2共有的门控信号SLD、SRAM\_1的存储阵列门控信号SCD、堆叠传输管的正相使能信号EN、堆叠传输管的反相使能信号ENB、第一触发器F1、第二触发器F2、第三触发器F3、第四触发器F4、第一反相器I1、第二反相器I2、第三反相器I3、第四反相器I4、第五反相器I5、第六反相器I6、第七反相器I7、第八反相器I8、第一缓冲门B1、第二缓冲门B2、第一与非门A1、第二与非门A2、第三与非门A3、第四与非门A4、第一或非门O1、第二或非门O2、第三或非门O3、第一与门G1、第一多路选择器M1、第一NMOS管N1、第二NMOS管N2;

[0039] 其中,第一睡眠控制信号SLP分别接在第一触发器F1的数据输入端、第一反相器I1的输入端、第一多路选择器M1的控制选择端、第三与非门A3的输入端、第二与非门A2的输入端、第四与非门A4的输入端、第三或非门O3的输入端,第二睡眠控制信号SD分别接在第二反相器I2的输入端、第八反相器I8的输入端、第四与非门A4的输入端、第一多路选择器M1的输入端、第一NMOS管N1的栅极、第二NMOS管N2的栅极,控制时钟信号CLK1分别接在第四触发器F4的时钟输入端、第一与门G1的输入端,第一反相器I1的输出端分别与第一触发器F1的复位输入端、第二触发器F2的复位输入端、第三触发器F3的复位输入端相接,第二反相器I2的输出端接在第一与非门A1的输入端,第一与非门A1的输出端接在第一多路选择器M1的输入端,第一多路选择器M1的输出端分别接在第二或非门O2的输入端、第一缓冲门B1的输入端,第一缓冲门B1的输出端接在第二或非门O2的输入端,第二或非门O2的输出端接在第三反相器I3的输入端,第三反相器I3的输出端引出两个SRAM共有的门控信号SLD、并接在第四反相器I4输入端,第四反相器I4输出端接在第一或非门O1的输入端,第一触发器F1的正相输出端分别接在第二与非门A2的输入端、第二触发器F2的数据输入端,第二触发器F2的正相输出端接在第三触发器F3的数据输入端,第三触发器F3的正相输出端接在第三与非门A3的输入端,第三触发器F3的反相输出端接在第二与非门A2的输入端,第二与非门A2的输出端接在第一或非门O1的输入端,第一或非门O1的输出端接在第二缓冲门B2的输入端,第二缓冲

门B2的输出端引出钳位电路控制信号CLP、并分别和第五反相器I5的输入端、第一NMOS管N1的漏极相接,第五反相器I5的输出端接在第三与非门A3的输入端,第三与非门A3的输出端引出堆叠传输管的反相使能信号ENB、并分别接在第四触发器F4的数据输入端、第六反相器I6的输入端,第六反相器I6的输出端引出堆叠传输管的正相使能信号EN、并分别接在第七反相器I7的输入端、第二NMOS管N2的漏极,第七反相器I7的输出端接在第四与非门A4的输入端,第八反相器I8的输出端接在第三或非门O3的输入端,第三或非门O3的输出端引出第一SRAM的存储阵列门控信号SC,第一NMOS管N1的源极和第二NMOS管N2的源极共同接到地上。

[0040] 本发明的控制方法如下:

[0041] 当第一睡眠控制信号SLP使能,第二睡眠控制信号SD不使能时,双电源堆叠SRAM分三个步骤进入睡眠堆叠的低功耗模式:

[0042] S1,控制时钟信号CLK1在下降沿捕获第一睡眠控制信号SLP后,使能两个SRAM共有的门控信号SLD,并使能钳位电路控制信号CLP,对SRAM\_1的地端TOP和SRAM\_2的阵列供电端BOT进行钳位,消除后续两个节点相连产生的电荷共享效应;

[0043] S2,控制时钟信号CLK1对第一睡眠控制信号SLP的捕获结果通过第二触发器F2到第三触发器F3的路径传输到第四触发器F4的数据输入端期间,钳位控制信号一直保持有效状态;或者从第二触发器F2到第三触发器F3之间插入更多的触发器,来增加钳位时间;

[0044] S3,第四触发器F4在接收到传输的信号后,关闭前面所有触发器的时钟,钳位电路控制信号CLP失效,堆叠传输管的正相使能信号EN和堆叠传输管的反相使能信号ENB共同开启堆叠传输管,建立SRAM\_1和SRAM\_2的阵列堆叠支路;当从堆叠状态退出时,各触发器不受到控制时钟信号CLK1的控制,在第一睡眠控制信号SLP翻转下复位,堆叠传输管关闭,所有门控管开启,使SRAM\_1和SRAM\_2回到正常读写模式;

[0045] 当第一睡眠控制信号SLP和第二睡眠控制信号SD都使能时,SRAM\_1和SRAM\_2的所有外围逻辑模块关断,钳位电路开启,并保持对SRAM\_1的地端TOP和SRAM\_2的阵列供电端BOT的钳位功能,提升两片SRAM的数据保持能力;

[0046] 当第一睡眠控制信号SLP不使能,第二睡眠控制信号SD使能时,SRAM\_1和SRAM\_2的所有模块关断,直接进入关闭状态;关闭状态的退出也是由第二睡眠控制信号SD的翻转触发,所有门控信号变为低电平,为各模块充电。

[0047] 如图4(a)所示,为本发明堆叠SRAM动态读写模式和睡眠堆叠模式之间切换的波形图,其中低功耗模式切换控制电路在CLK1的下降沿捕获SLP信号,SRAM\_1和SRAM\_2的外围逻辑电路关断,位于堆叠路径顶层SRAM\_1的地端TOP和位于堆叠路径底层SRAM\_2的阵列供电端BOT被钳位电路钳位至一个接近一半电压VDDC的值,经过几个时钟期后,堆叠传输管使能,堆叠路径建立起来。而当SLP信号翻转后,整个双电源堆叠SRAM模块立刻从堆叠状态退出,堆叠传输管关闭,所有门控管开启,对各模块的节点充电完毕后,回到动态读写模式;

[0048] 图4(b)所示,是本发明的双电源堆叠SRAM模块在其他模式之间切换的波形图,图里只演示了从动态读写模式到睡眠堆叠模式、睡眠堆叠模式切换为睡眠钳位模式、睡眠钳位模式进入关闭模式、关闭模式回到动态读写模式的过程,本发明的双电源堆叠SRAM模块还支持动态读写模式与睡眠钳位模式、动态读写模式与关闭模式之间的转换以及睡眠堆叠模式到关闭模式的切换。其中,双电源堆叠SRAM模块在睡眠钳位模式下的数据保持能力强

于其在睡眠堆叠下,当SRAM堆叠判决电路检测到冗余堆叠SRAM失去数据保持能力,会将双电源堆叠SRAM模块从睡眠堆叠状态切换为睡眠钳位模式。

[0049] 如图5所示,为本发明的SRAM堆叠判决电路中冗余堆叠SRAM的结构图,其中,冗余堆叠SRAM由冗余阵列、字线驱动电路、译码电路、读写驱动电路、输入输出电路构成;冗余阵列中每个存储单元(如虚线框所示)的字线分成WL\_L和WL\_R两根,在堆叠判决电路生效前,所有冗余阵列的存储单元写入同一数据。当间断地执行读检测时,冗余堆叠SRAM只开启所有存储高电平节点处的字线,以WL\_L为例,另一根字线WL\_R处于关闭状态,灵敏放大器sa对冗余阵列的单根位线检测,如果读出的结果存在差异,SRAM堆叠判决电路发出信号:当前PVT下的双电源堆叠SRAM模块的数据保持能力不能满足需求,随后双电源堆叠SRAM从堆叠状态切换为钳位状态。冗余堆叠SRAM的工作过程如下:

[0050] 冗余堆叠SRAM通过第八PMOS管P8将其堆叠电压下降一定值;电流镜模块复制冗余SRAM的堆叠路径电流,将该电流对采样电容的充电能力作为参照追踪当前的PVT,比较器周期性地比较采样电容的电压;在较好的PVT(例如0.8V阵列供电下温度高于0°C)下,比较器输出的信号频率高于较差PVT(例如0.8V阵列供电下温度低于0°C)下的输出信号频率,冗余阵列控制电路根据比较器的输出判决当前条件下是否解除冗余堆叠SRAM的堆叠状态,对其内部预先写入的数据进行检验;一旦冗余堆叠SRAM进入数据检测且发生数据破坏,SRAM\_1和SRAM\_2退出堆叠状态;

[0051] 如同6所示,为本发明的SRAM堆叠判决电路的判决输出波形图,可以看到,比较器周期性地进行检测,冗余堆叠SRAM的阵列漏电流被作为反映当前PVT的依据,周期性地对采样电容进行充电,图中演示了三个不同工艺角和温度下的判决输出结果,在双电源堆叠SRAM的数据保持能力满足需求的PVT下,判决输出信号的频率超过一定阈值,一旦输出信号的频率低于阈值,双电源堆叠SRAM可能出现数据保持的问题,系统就会对冗余堆叠SRAM的阵列进行读检测,如果检测出数据出错,那么当前处于睡眠堆叠状态的双电源堆叠SRAM就会退出堆叠状态。通过这种双重判定方式,双电源堆叠SRAM能够在保留一定裕度的条件下,实现数据保持能力。

[0052] 由上述可知,本发明通过引入不同的DNW埋层,实现体硅工艺下,双电源SRAM的存储阵列在睡眠模式下堆叠,从而优化静态漏电。同时,低功耗模式切换控制电路结合SRAM堆叠判决电路对双电源堆叠SRAM的数据保持能力的实时检测,有效地配置双电源堆叠SRAM在各个模式之间的切换,克服堆叠结构所带来的限制。

[0053] 以上所述,仅是本发明的优选实施方式,应当指出:对于本技术领域的普通技术人员来说,在不脱离本发明原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

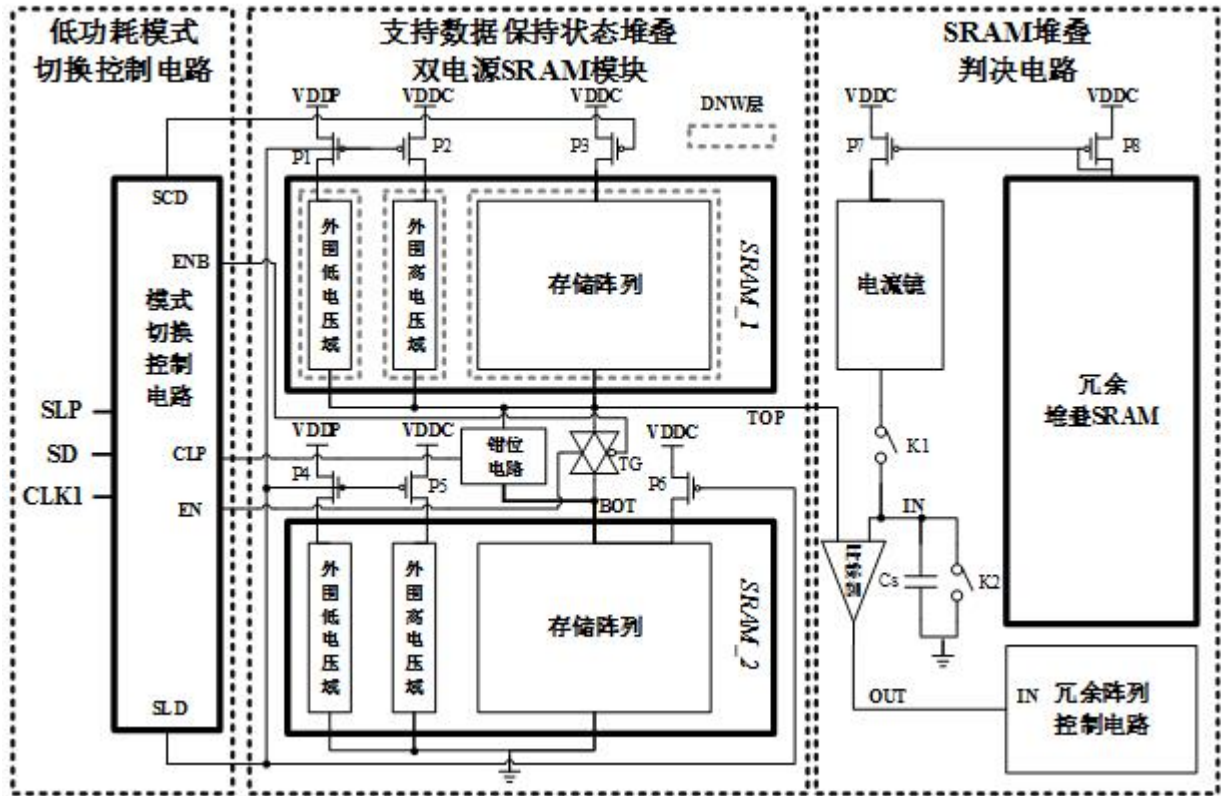


图1

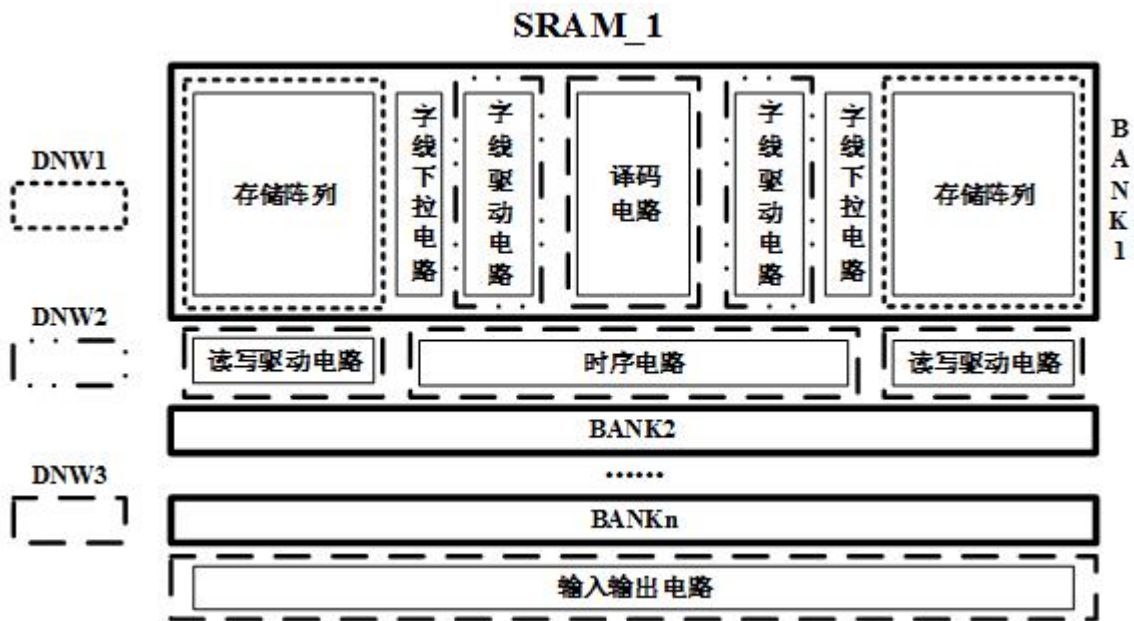


图2

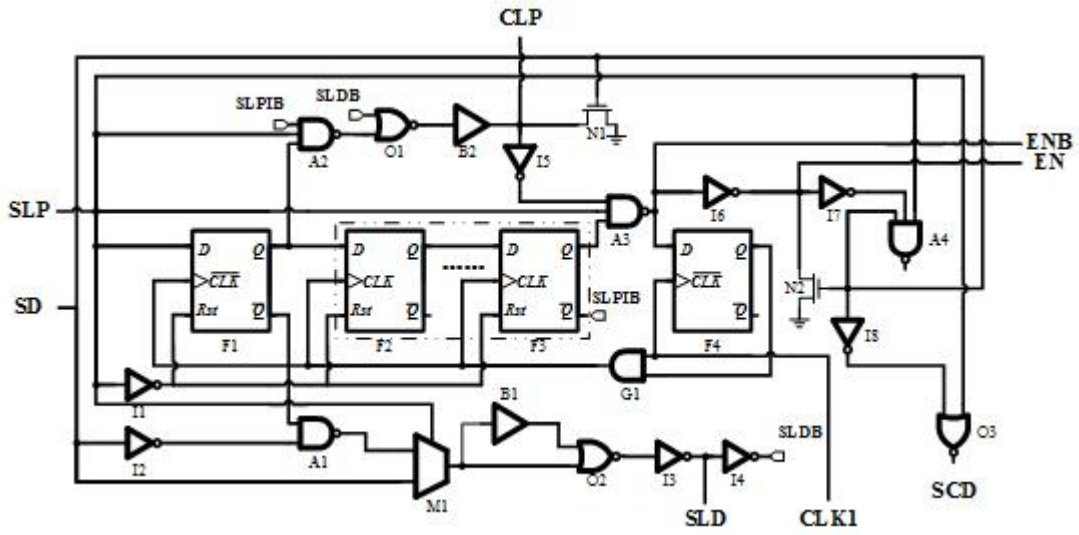
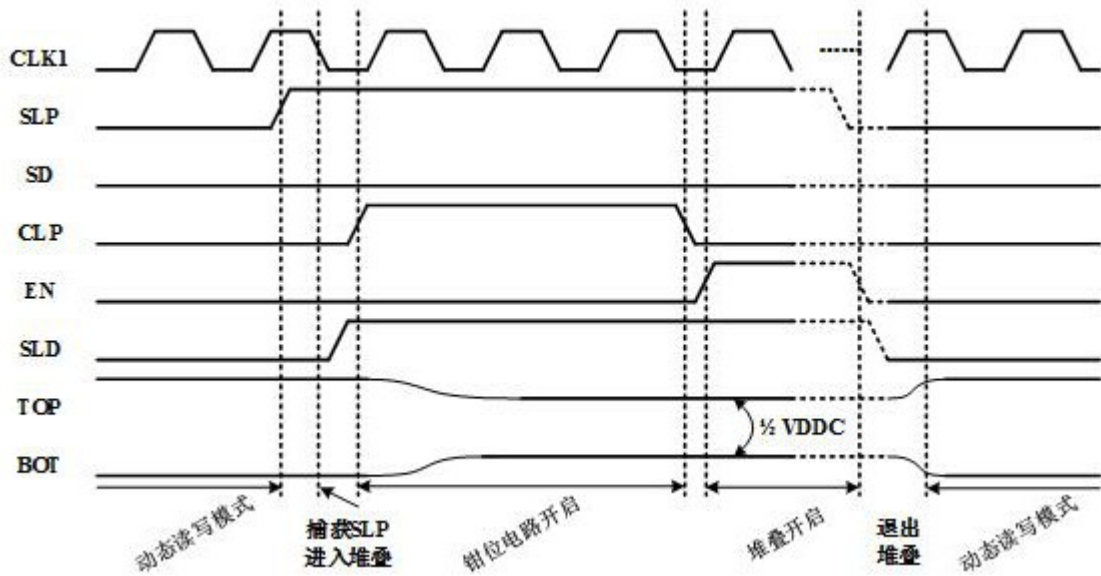


图3



进入和退出堆叠状态

图4(a)

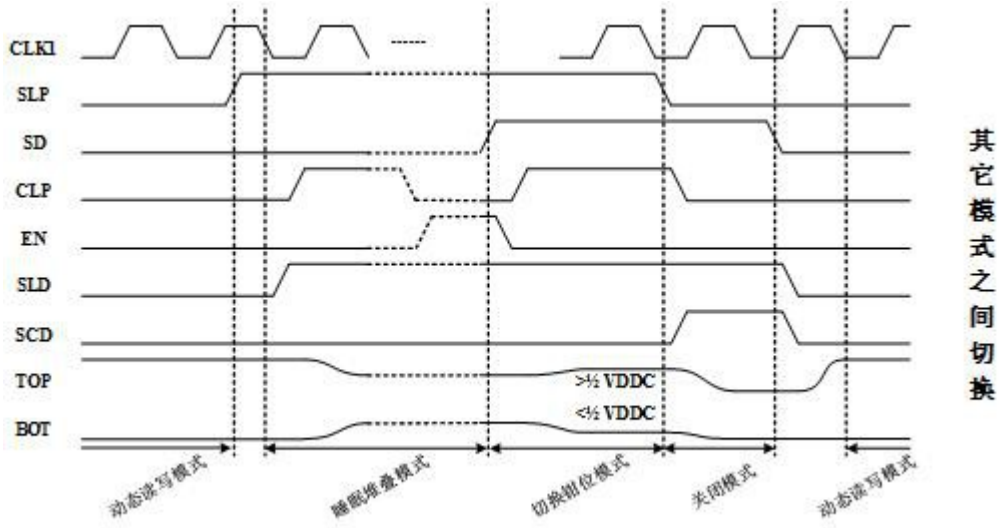


图4 (b)

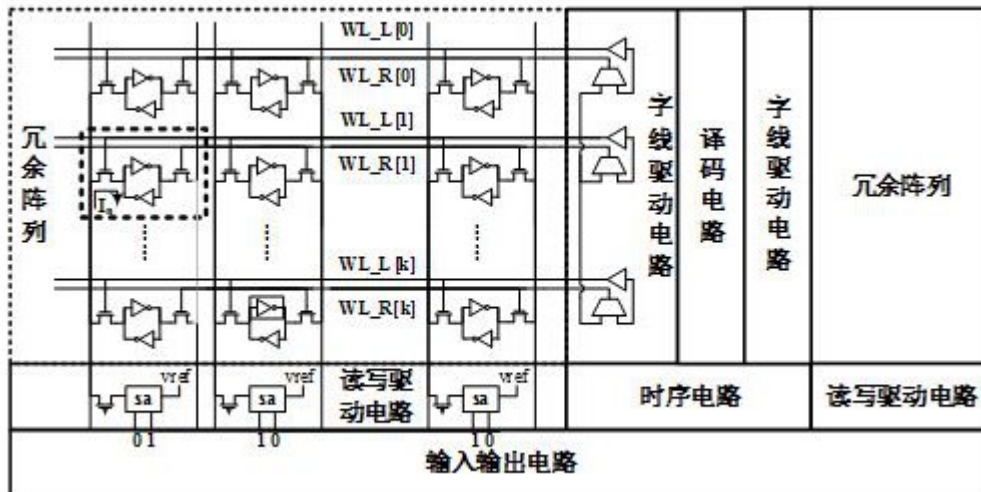


图5

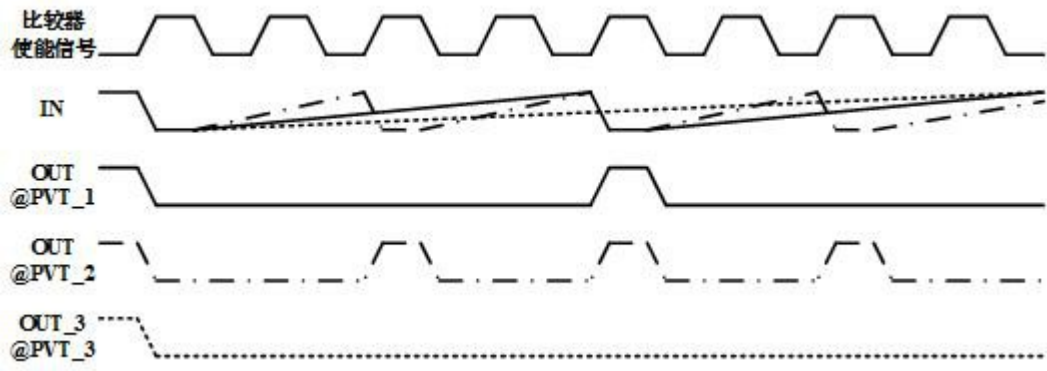


图6