



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년08월25일  
(11) 등록번호 10-2435873  
(24) 등록일자 2022년08월19일

- (51) 국제특허분류(Int. Cl.)  
G06F 3/06 (2006.01) G06F 12/02 (2018.01)  
G06F 13/16 (2006.01) G11C 16/06 (2021.01)  
G11C 16/10 (2006.01)
- (52) CPC특허분류  
G06F 3/0679 (2013.01)  
G06F 12/0246 (2013.01)
- (21) 출원번호 10-2015-0181872
- (22) 출원일자 2015년12월18일  
심사청구일자 2020년09월16일
- (65) 공개번호 10-2017-0073794
- (43) 공개일자 2017년06월29일
- (56) 선행기술조사문헌  
한국공개특허 제10-2010-0102925호(2010.09.27.)  
1부.\*  
한국공개특허 제10-2014-0100327호(2014.08.14.)  
1부.\*  
한국공개특허 제10-2014-0145063호(2014.12.22.)  
1부.\*  
한국공개특허 제10-2015-0075170호(2015.07.03.)  
1부.\*  
\*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)
- (72) 발명자  
제현승  
경기도 오산시 권동로 43, 201호 (권동, 모닝빌)  
이희원  
경기도 수원시 팔달구 권광로 246, 102동 1503호  
(인계동, 래미안 노블클래스)  
김수진  
경기도 부천시 길주로377번길 45, 501호 (춘의동,  
신원로얄팰리스)
- (74) 대리인  
특허법인 고려

전체 청구항 수 : 총 18 항

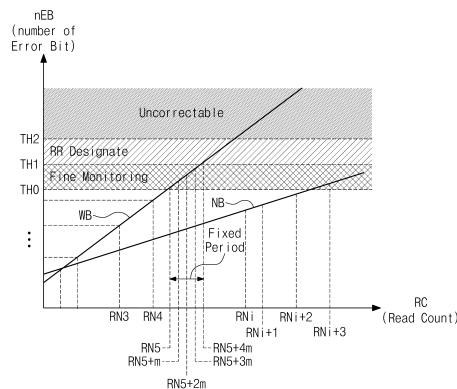
심사관 : 김중기

(54) 발명의 명칭 스토리지 장치 및 그것의 리드 리클레임 방법

(57) 요약

본 발명의 실시 예에 따른 스토리지 장치의 리드 리클레임 방법은, 각각 랜덤한 주기의 읽기 카운트에서 복수의 메모리 블록들 각각에 저장된 비선택 데이터의 에러 비트 수를 검출하는 단계, 상기 검출된 에러 비트 수의 증가율이 기준 증가율보다 큰 메모리 블록을 워크 블록으로 선택하는 단계, 상기 워크 블록에 저장된 비선택 데이터를 고정된 읽기 카운트 주기마다 검출하는 단계, 그리고 상기 고정된 읽기 카운트 주기에 따라 검출된 에러 비트의 수가 리드 리클레임 기준 이상에 도달했는지 검출하는 단계를 포함하되, 상기 비선택 데이터는 호스트에 의해서 요청되지 않은 데이터이다.

대표도 - 도6



(52) CPC특허분류

*G06F 13/1668* (2013.01)

*G11C 16/06* (2013.01)

*G11C 16/10* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

스토리지 장치의 리드 리클레임 방법에 있어서:

읽기 요청들에 응답하여 읽기 동작들을 수행하고, 그리고 읽기 카운트를 카운트하는 단계;

상기 읽기 카운트의 랜덤한 주기에서 복수의 메모리 블록들 각각에 저장된 제1 비선택 데이터의 에러 비트 수를 검출하는 단계;

상기 검출된 에러 비트 수의 증가율이 기준 증가율보다 큰 메모리 블록을 워크 블록으로 선택하는 단계;

상기 워크 블록에 저장된 제2 비선택 데이터의 에러 비트 수를 상기 읽기 카운트의 고정된 주기마다 검출하는 단계; 그리고

상기 읽기 카운트의 고정된 주기에 따라 검출된 상기 에러 비트의 수가 리드 리클레임 기준 이상에 도달했는지 검출하는 단계;

상기 읽기 카운트의 고정된 주기에서 검출된 상기 에러 비트의 수가 상기 리드 리클레임 기준 이상인 경우, 상기 워크 블록을 리드 리클레임 블록으로 지정하는 단계;

상기 지정된 리드 리클레임 블록에 저장된 데이터를 적어도 하나의 다른 메모리 블록으로 복사하는 리드 리클레임을 수행하는 단계를 포함하되,

상기 제1 비선택 데이터 및 상기 제2 비선택 데이터는 호스트에 의해서 요청되지 않은 데이터인 리드 리클레임 방법.

#### 청구항 2

제 1 항에 있어서,

상기 읽기 카운트의 고정된 주기는 상기 읽기 카운트의 랜덤한 주기의 평균 주기보다 짧은 리드 리클레임 방법.

#### 청구항 3

제 1 항에 있어서,

상기 호스트로부터 상기 읽기 요청을 수신하는 단계를 더 포함하되, 상기 비선택 데이터는 상기 호스트로부터 읽기 요청된 데이터가 저장된 메모리 블록의 선택되지 않은 데이터인 것을 특징으로 하는 리드 리클레임 방법.

#### 청구항 4

제 1 항에 있어서,

상기 기준 증가율은 상기 복수의 메모리 블록들 각각의 에러 비트 수의 증가율들의 평균 에러 증가율인 리드 리클레임 방법.

#### 청구항 5

제 1 항에 있어서,

상기 워크 블록에 저장된 상기 제2 비선택 데이터의 에러 비트 수가 상기 읽기 카운트의 고정된 주기에 따라 검출하기 위한 제 1 문턱치에 도달했는지 비교하는 단계를 더 포함하되,

상기 제2 비선택 데이터의 에러 비트 수가 상기 제 1 문턱치보다 작은 경우에는 상기 읽기 카운트의 랜덤한 주기에서 상기 제2 비선택 데이터의 에러 비트 수가 검출되는 리드 리클레임 방법.

#### 청구항 6

제 5 항에 있어서,

상기 제2 비선택 데이터의 에러 비트 수가 상기 제 1 문턱치보다 같거나 큰 경우에는 상기 읽기 카운트의 고정된 주기에서 상기 제2 비선택 데이터의 에러 비트 수가 검출되는 리드 리클레임 방법.

**청구항 7**

제 1 항에 있어서,

상기 메모리 블록은 각각 전하 트랩 층을 포함하는 복수의 메모리 셀들을 포함하며, 상기 메모리 셀들은 3차원 메모리 어레이를 구성하되, 비선택 데이터는 상기 호스트에서 요청된 페이지에 인접한 페이지 또는 접지 선택 라인 및 스트링 선택 라인에 가장 인접한 워드 라인이 형성하는 메모리 셀들에 저장된 데이터인 리드 리클레임 방법.

**청구항 8**

스토리지 장치의 리드 리클레임 방법에 있어서:

메모리 블록에 저장된 데이터로부터 제 1 에러 비트 수를 검출하는 단계;

상기 메모리 블록에 저장된 데이터로부터 제 2 에러 비트 수를 검출하는 단계;

상기 검출된 제 1 에러 비트 수 및 상기 제 2 에러 비트 수를 참조하여 메모리 블록의 에러 비트 증가율을 계산하는 단계;

상기 에러 비트 증가율에 따라 상기 메모리 블록을 적어도 2개의 그룹들 중 하나로 분류하는 단계; 그리고

상기 메모리 블록의 리드 리클레임 블록으로의 지정을 위한 기준치를 상기 분류 결과에 따라 차별적으로 적용하는 단계를 포함하는 리드 리클레임 방법.

**청구항 9**

제 8 항에 있어서,

상기 기준치는 상기 리드 리클레임 블록으로 지정되기 위한 기준 에러 비트 수에 대응하는 리드 리클레임 방법.

**청구항 10**

제 9 항에 있어서,

상기 적어도 2개의 그룹 중에서 제 1 그룹의 기준 에러 비트 수는, 상기 에러 비트 수의 증가율이 상기 제 1 그룹보다 작은 제 2 그룹의 기준 에러 비트 수보다 작은 리드 리클레임 방법.

**청구항 11**

제 8 항에 있어서,

상기 기준치는 상기 리드 리클레임 블록으로 지정되기 위한 기준 읽기 카운트에 대응하는 리드 리클레임 방법.

**청구항 12**

제 11 항에 있어서,

상기 적어도 2개의 그룹 중에서 제 1 그룹의 기준 읽기 카운트는, 상기 에러 비트 수의 증가율이 상기 제 1 그룹보다 작은 제 2 그룹의 기준 읽기 카운트보다 작은 리드 리클레임 방법.

**청구항 13**

복수의 메모리 블록들을 포함하는 불휘발성 메모리 장치; 그리고

상기 복수의 메모리 블록들 각각에 저장된 데이터의 에러 비트 수의 증가율을 검출하고, 검출된 상기 에러 비트의 증가율에 따라 상기 메모리 블록들 각각의 리드 리클레임 블록의 선택 기준 또는 상기 리드 리클레임 블록으로 지정하기 위한 기준 에러 비트의 수의 검출 주기를 변경하는 메모리 컨트롤러를 포함하되,

상기 메모리 컨트롤러는 상기 복수의 메모리 블록들 각각에 저장된 데이터의 에러 비트 수의 증가율을 랜덤한 읽기 주기에 따라 검출하고, 상기 에러 비트 수의 증가율이 기준 증가율보다 높은 위크 블록에 대해서는 고정된 읽기 주기에 따라 에러 비트 수를 검출하여 상기 리드 리클레임 블록으로 지정하는 스토리지 장치.

**청구항 14**

제 13 항에 있어서,

상기 메모리 컨트롤러는 상기 복수의 메모리 블록들 각각의 읽기 카운트 및 에러 비트 수를 저장하기 위한 퍼블록 에러 비트 테이블을 구성하는 스토리지 장치.

**청구항 15**

제 13 항에 있어서,

상기 메모리 컨트롤러는 상기 복수의 메모리 블록들 각각의 읽기 카운트 및 에러 비트 수를 상기 불휘발성 메모리 장치에 프로그램하는 스토리지 장치.

**청구항 16**

제 13 항에 있어서,

상기 메모리 블록들 각각의 리드 리클레임 블록의 선택 기준은 기준 에러 비트 수 또는 기준 읽기 카운트에 대응하며, 상기 에러 비트 수의 증가율에 따라 서로 다른 크기의 선택 기준이 적용되는 스토리지 장치.

**청구항 17**

제 13 항에 있어서,

상기 메모리 컨트롤러는 쓰기 요청되는 데이터의 속성 또는 패턴을 참조하여 상기 쓰기 요청되는 데이터를 저장할 메모리 블록을 할당하되, 기준 시간 이내에 기준 횟수 이상 업데이트되는 속성의 데이터에는 상기 에러 비트 수의 증가율이 기준 증가율보다 높은 위크 블록을 할당하는 스토리지 장치.

**청구항 18**

제 13 항에 있어서,

상기 메모리 컨트롤러는 호스트에서 제공되는 쓰기 요청된 데이터의 속성 정보를 수신하고, 수신된 정보에 따라 상기 쓰기 요청된 데이터를 저장할 메모리 블록을 선택하는 스토리지 장치.

**청구항 19**

삭제

**청구항 20**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 스토리지 장치 및 그것의 리드 리클레임 방법에 관한 것이다.

**배경 기술**

[0002] 플래시 메모리 장치는 컴퓨터, 스마트폰, PDA, 디지털 카메라, 캠코더, 보이스 리코더, MP3 플레이어, 휴대용 컴퓨터(Handheld PC)와 같은 정보 기기들의 음성 및 영상 데이터 저장 매체로서 널리 사용되고 있다. 그러나 플래시 메모리에 데이터를 기입하기 위해서는 소거 동작이 반드시 선행되어야 하며, 기입되는 데이터의 단위보다 삭제되는 데이터의 단위가 크다는 특징이 있다. 이러한 특징은 플래시 메모리가 보조기억장치로 사용되는 경우

에도 일반 하드디스크용 파일 시스템(File System)을 그대로 활용하는 것을 저해하는 요인이 된다.

[0003] 플래시 메모리 장치를 구비하는 다양한 스토리지 장치에서는 리드 리클레임(Read reclaim)이란 동작 모드를 적용하고 있다. 어느 하나의 메모리 블록이 반복적으로 읽혀지는 경우, 읽기 교란(Read disturbance)과 같은 문제로 에러 비트가 증가하게 된다. 메모리 블록에 저장된 데이터에서 정정 불가 에러(Uncorrectable Error)가 발생하기 전에 메모리 블록에 저장된 데이터를 다른 메모리 블록으로 이동시키는 동작을 리드 리클레임(Read reclaim)이라 한다. 본 발명에서는 불휘발성 메모리 장치의 효율적인 관리 및 웨어 레벨링(Wear leveling)이 가능한 리드 리클레임 기술이 제공될 것이다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 목적은 읽기 실패의 가능성을 차단할 수 있는 리드 리클레임 방법 및 스토리지 장치를 제공하는 데 있다.

**과제의 해결 수단**

[0005] 상기 목적을 달성하기 위한 본 발명의 실시 예에 따른 스토리지 장치의 리드 리클레임 방법은, 각각 랜덤한 주기의 읽기 카운트에서 복수의 메모리 블록들 각각에 저장된 비선택 데이터의 에러 비트 수를 검출하는 단계, 상기 검출된 에러 비트 수의 증가율이 기준 증가율보다 큰 메모리 블록을 위크 블록으로 선택하는 단계, 상기 위크 블록에 저장된 비선택 데이터를 고정된 읽기 카운트 주기마다 검출하는 단계, 그리고 상기 고정된 읽기 카운트 주기에 따라 검출된 에러 비트의 수가 리드 리클레임 기준 이상에 도달했는지 검출하는 단계를 포함하되, 상기 비선택 데이터는 호스트에 의해서 요청되지 않은 데이터이다.

[0006] 상기 목적을 달성하기 위한 본 발명에 따른 스토리지 장치의 리드 리클레임 방법은, 메모리 블록에 저장된 데이터의 에러 비트 수를 검출하는 단계, 상기 검출된 에러 비트 수를 참조하여 메모리 블록의 에러 비트 증가율을 계산하고, 그 결과에 따라 상기 메모리 블록을 적어도 2개의 그룹으로 분류하는 단계, 그리고 상기 메모리 블록의 리드 리클레임 블록으로의 지정을 위한 기준치를 상기 분류 결과에 따라 차별적으로 적용하는 단계를 포함한다.

[0007] 이 실시 예에서, 상기 기준치는 상기 리드 리클레임 블록으로 지정되기 위한 기준 에러 비트 수에 대응한다.

[0008] 이 실시 예에서, 상기 기준치는 상기 리드 리클레임 블록으로 지정되기 위한 기준 읽기 카운트에 대응한다.

[0009] 상기 목적을 달성하기 위한 본 발명에 따른 스토리지 장치는, 복수의 메모리 블록들을 포함하는 불휘발성 메모리 장치, 그리고 상기 복수의 메모리 블록들 각각에 저장된 데이터의 에러 비트 수의 증가율을 검출하고, 검출된 상기 에러 비트의 증가율에 따라 상기 메모리 블록들 각각의 리드 리클레임 블록의 선택 기준 또는 상기 리드 리클레임 블록으로 지정하기 위한 기준 에러 비트의 수의 검출 주기를 변경하는 메모리 컨트롤러를 포함한다.

**발명의 효과**

[0010] 이상과 같은 본 발명의 실시 예에 따르면, 메모리 블록들 각각의 물리적 특성에 따라 리드 리클레임 블록으로 지정되는 시점을 달리 적용할 수 있어, 리드 리클레임 블록으로 선택되는 메모리 블록의 수를 감소시킬 수 있다. 따라서, 전체 스토리지 장치에서 수명 연장과 성능 향상이 가능하다.

**도면의 간단한 설명**

[0011] 도 1은 본 발명의 실시 예에 따른 스토리지 장치를 보여주는 블록도이다.

도 2는 도 1에 도시된 메모리 컨트롤러의 구성을 보여주는 블록도이다.

도 3은 본 발명의 실시 예에 따른 스토리지 컨트롤러의 기능을 보여주는 블록도이다.

도 4는 본 발명의 실시 예에 따른 불휘발성 메모리 장치를 보여주는 블록도이다.

도 5는 본 발명의 실시 예에 따른 퍼블릭 에러 비트 테이블을 예시적으로 보여주는 도면이다.

도 6은 본 발명의 실시 예에 따른 위크 블록에 대한 리드 리클레임 방법을 예시적으로 보여주는 그래프이다.

- 도 7은 도 6에서 도시된 본 발명의 리드 리클레임 방법을 보여주는 순서도이다.
- 도 8a 및 도 8b는 본 발명의 리드 리클레임 방법에 대한 좀더 구체적인 예를 도시한 순서도들이다.
- 도 9는 본 발명의 실시 예에 따른 위크 블록에 대한 리드 리클레임 방법을 예시적으로 보여주는 그래프이다.
- 도 10은 본 발명의 리드 리클레임 방법을 보여주는 순서도이다.
- 도 11은 리드 리클레임 방법에 대한 구체적인 예를 도시한 순서도이다.
- 도 12는 본 발명의 리드 리클레임 방법의 다른 예를 보여주기 위한 그래프이다.
- 도 13은 도 12의 실시 예에 따른 리드 리클레임 방법을 보여주는 순서도이다.
- 도 14는 리드 리클레임 방법의 또 다른 예를 보여주기 위한 그래프이다.
- 도 15는 도 14의 리드 리클레임 방법을 보여주는 순서도이다.
- 도 16은 본 발명의 다른 실시 예의 스토리지 장치를 보여주는 블록도이다.
- 도 17은 위크 블록 정보를 사용한 데이터 쓰기 방법을 보여주는 순서도이다.
- 도 18은 위크 블록 정보를 사용한 데이터 쓰기 방법의 다른 예를 보여주는 순서도이다.
- 도 19는 위크 블록 정보를 사용한 데이터 쓰기 방법의 다른 예를 보여주는 순서도이다.
- 도 20은 본 발명의 또 다른 실시 예에 따른 스토리지 장치를 보여주는 블록도이다.
- 도 21은 호스트의 힌트 정보를 참조한 메모리 블록의 할당 방법을 보여주는 순서도이다.
- 도 22는 본 발명의 다른 실시 예에 따른 사용자 시스템을 보여주는 블록도이다.
- 도 23은 도 1, 도 4, 도 16, 도 20, 그리고 도 22의 메모리 셀 어레이에 포함된 메모리 블록들 중 제 1 메모리 블록(BLK1)의 예를 보여주는 회로도이다.
- 도 24는 본 발명의 실시 예들에 따른 불휘발성 메모리 시스템이 적용된 메모리 카드 시스템을 보여주는 블록도이다.
- 도 25는 본 발명에 따른 불휘발성 메모리 시스템이 적용된 SSD(Solid State Drive) 시스템을 예시적으로 보여주는 블록도이다.
- 도 26은 본 발명에 따른 불휘발성 메모리 시스템이 적용된 사용자 시스템을 보여주는 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0012] 앞의 일반적인 설명 및 다음의 상세한 설명 모두 예시적이라는 것이 이해되어야 하며, 청구된 발명의 추가적인 설명이 제공되는 것으로 여겨져야 한다. 참조 부호들이 본 발명의 바람직한 실시 예들에 상세히 표시되어 있으며, 그것의 예들이 참조 도면들에 표시되어 있다. 가능한 어떤 경우에도, 동일한 참조 번호들이 동일한 또는 유사한 부분을 참조하기 위해서 설명 및 도면들에 사용된다.
- [0013] 이하에서는, 플래시 메모리 장치를 사용하는 스토리지 장치가 본 발명의 특징 및 기능을 설명하기 위한 예로서 사용될 것이다. 하지만, 이 기술 분야에 정통한 사람은 여기에 기재된 내용에 따라 본 발명의 다른 이점들 및 성능을 쉽게 이해할 수 있을 것이다. 본 발명은 다른 실시 예들을 통해 또한, 구현되거나 적용될 수 있을 것이다. 게다가, 상세한 설명은 본 발명의 범위, 기술적 사상 그리고 다른 목적으로부터 상당히 벗어나지 않고 관점 및 응용에 따라 수정되거나 변경될 수 있다.
- [0014] 도 1은 본 발명의 실시 예에 따른 스토리지 장치를 보여주는 블록도이다. 도 1을 참조하면, 스토리지 장치(100)는 메모리 컨트롤러(110) 및 불휘발성 메모리 장치(120)를 포함한다. 예시적으로, 메모리 컨트롤러(110) 및 불휘발성 메모리 장치(120) 각각은 하나의 칩, 하나의 패키지, 또는 하나의 모듈로 제공될 수 있다. 또는, 메모리 컨트롤러(110) 및 불휘발성 메모리 장치(120)는 하나의 칩, 하나의 패키지, 또는 하나의 모듈로 형성되어, 메모리 카드, 메모리 스틱, 솔리드 스테이트 드라이브(SSD: Solid State Drive) 등과 같은 메모리 시스템으로써 제공될 수 있다.
- [0015] 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)를 제어하도록 구성될 수 있다. 예를 들어, 메모리 컨트롤러

(110)는 외부 요청에 따라 불휘발성 메모리 장치(120)에 데이터를 기입하거나 또는 불휘발성 메모리 장치(120)에 저장된 데이터를 독출할 수 있다. 이러한 불휘발성 메모리 장치(120)로의 접근을 위하여, 메모리 컨트롤러(110)는 명령어, 어드레스, 그리고 제어 신호를 불휘발성 메모리 장치(120)에 제공할 수 있다.

[0016] 본 발명의 메모리 컨트롤러(110)는 리드 리클레임 매니저(112)를 구비한다. 리드 리클레임 매니저(112)는 불휘발성 메모리 장치(120)의 메모리 블록들 각각에 대한 리드 카운트(Read Count), 에러 비트 수, 그리고 에러 비트 증가율(Error Bit Increasing Rate: 이하, EBIR)에 대한 정보를 테이블로 구성하고 유지할 수 있다. 그리고 테이블에 저장된 상술한 값들은 읽기 동작이 발생하는 시점에 업데이트되고, 불휘발성 메모리 장치(120)에 저장될 것이다. 리드 리클레임 매니저(112)는 각각의 메모리 블록 단위로 에러 비트의 증가율(EBIR)에 따라 적어도 2개 그룹으로 메모리 블록들을 분류할 수 있다. 예를 들면, 리드 리클레임 매니저(112)는 에러 비트의 증가율이 기준보다 큰 메모리 블록들을 위크 블록(Weak Block)으로 분류할 수 있다. 리드 리클레임 매니저(112)는 에러 비트 증가율이 기준 이하인 메모리 블록들을 노말 블록(Normal Block) 또는 스트롱 블록(Strong Block)으로 분류할 수 있다.

[0017] 리드 리클레임 매니저(112)는 위크 블록(Weak Block)의 에러 비트의 수가 리드 리클레임 블록의 기준에 도달하면 해당 메모리 블록을 리클레임 블록으로 지정할 것이다. 위크 블록(Weak block)에 대한 에러 비트의 검출은 랜덤하게 또는 일정한 주기로 발생할 수 있다. 본 발명의 에러 비트 검출 방식에 따르면, 정정 불가 에러(Uncorrectable Error)가 발생하기 전에 위크 블록에 대한 리드 리클레임 지정이 가능하다.

[0018] 메모리 컨트롤러(110)는 리드 리클레임 매니저(112)와 더불어 비선택 읽기 매니저(114, USR Manager)를 포함할 수 있다. 비선택 읽기 매니저(114)는 불휘발성 메모리 장치(120)의 메모리 블록들(BLK0-BLK<sub>i</sub>) 각각에 대한 에러 비트 수를 모니터링할 수 있다. 즉, 비선택 읽기 매니저(114)는 호스트로부터 메모리 블록에서 선택된 페이지에 대한 읽기 요청이 발생하면, 선택되지 않은 인접한 페이지에 대한 읽기 동작을 동시에 또는 백그라운드 동작으로 수행할 수 있다. 이러한 읽기 동작을 이하에서는 비선택 읽기 동작(Unselected Read Operation)이라 칭하기로 한다. 이러한 선택되지 않은 페이지에 대한 읽기는 랜덤한 읽기 카운트(Read Count: 이하, RC)에서 수행될 수 있다. 하지만, 랜덤 읽기 동작은 랜덤한 읽기 카운트에서 수행되는 것으로 설명되었지만, 특정 읽기 카운트 주기로 수행될 수도 있음은 잘 이해될 것이다. 즉, 위크 블록에 대해서는 에러 비트의 수가 기준치를 초과하면, 랜덤한 읽기 카운트에서 수행되는 비선택 읽기 동작은 일정한 주기로 수행될 수 있다.

[0019] 비선택 읽기 매니저(114)에 의해서 카운트된 에러 비트의 수는 읽기 카운트에 대한 메모리 블록의 에러 비트 수의 증가율을 계산하는 정보로 사용될 수 있다. 즉, 카운트된 에러 비트의 수는 리드 리클레임 매니저(112)에 의한 위크 블록의 선택 정보로 사용될 것이다. 더불어, 위크 블록에 대해서 수행되는 일정한 주기의 비선택 읽기 동작의 결과에 따라 해당 위크 블록이 리드 리클레임 블록으로 지정될 수 있을 것이다. 상술한 리드 리클레임 매니저(112) 또는 비선택 읽기 매니저(114)는 메모리 컨트롤러(110) 내에서 하드웨어로 구성되거나, 펌웨어 형태의 소프트웨어 블록으로 제공될 수 있다.

[0020] 불휘발성 메모리 장치(120)는 메모리 컨트롤러(110)의 제어에 따라 메모리 컨트롤러(110)로부터 수신된 데이터를 저장하거나 또는 저장된 데이터를 메모리 컨트롤러(110)로 전송할 수 있다. 불휘발성 메모리 장치(120)는 복수의 메모리 블록들(BLK0-BLK<sub>i</sub>)을 포함할 수 있다. 특히, 하나의 메모리 블록은 복수의 페이지들(Pages)을 포함할 수 있다. 어느 하나의 페이지가 반복적으로 읽혀지는 경우, 동일 블록 내의 다른 페이지들의 워드 라인에는 비선택 읽기 전압(Vread)이 제공될 것이다. 비선택 읽기 전압(Vread)은 비선택된 메모리 셀들을 턴온 시키기 위한 전압으로 통상의 읽기 전압들보다 높은 레벨을 갖는다. 따라서, 비선택된 메모리 셀들에 반복적으로 비선택 읽기 전압(Vread)이 인가되면, 메모리 셀들에 주입된 전하의 양은 간섭에 의해서 영향을 받게 된다. 이러한, 간섭의 효과를 읽기 교란(Read Disturbance)이라 한다. 예를 들면, 페이지(Page<sub>i</sub>)가 읽기 동작을 위해 반복적으로 선택되는 경우, 주변의 페이지들(Page<sub>i-1</sub>, Page<sub>i+1</sub>) 또는 동일 블록 내의 나머지 페이지들에는 읽기 교란의 영향을 받게 된다.

[0021] 본 발명의 실시 예에 따른 읽기 비선택 읽기 매니저(114)에 의한 랜덤한 읽기 카운트에서의 비선택된 페이지들에 대한 랜덤 읽기 동작은 이러한 읽기 교란의 영향을 감소시킬 수 있다. 더불어, 비선택 읽기 매니저(114)에 의해서 비선택된 페이지들에 대한 에러 비트 수의 변화도 모니터링될 수 있다. 이러한 비선택된 페이지들에 대한 에러 비트 수는 메모리 블록의 에러 비트 수의 증가율(EBIR)을 계산하는 정보로 사용될 수 있다. 본 발명에 따른 메모리 컨트롤러(110)는 리드 리클레임 동작을 수행하도록 불휘발성 메모리 장치(120)를 제어할 수 있다. 리드 리클레임 동작은 불휘발성 메모리 장치(120)로부터 독출된 데이터에 포함된 에러 비트 수가 기준치 이상인 경우, 독출된 데이터가 저장된 메모리 셀들이 포함된 메모리 블록, 또는 메모리 블록의 일부의 데이터를 다른



메모리 블록으로 이동시키는 동작을 말한다. 즉, 리드 리클레임 동작은 다수의 에러 비트를 포함하는 데이터 또는 추후에 에러 비트의 수가 에러 정정 블록(117, 도 2 참조)의 에러 정정 능력을 초과할 가능성이 있는 데이터의 신뢰성을 유지하기 위해 데이터를 다른 메모리 블록으로 이동시키는 동작이다. 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)로부터 데이터가 독출되는 경우 에러 정정 블록(117)을 통해 에러를 탐지 및 정정하고 에러가 정정된 데이터를 호스트(미도시) 또는 불휘발성 메모리 장치(120)로 전송할 수 있다. 이때, 상술한 바와 같이 불휘발성 메모리 장치(120)로부터 독출된 데이터의 에러 비트 수가 설정된 기준치 이상인 경우 메모리 컨트롤러(110)는 리드 리클레임 동작을 수행하도록 불휘발성 메모리 장치(120)를 제어할 수 있다.

[0022] 본 발명에 따른 메모리 컨트롤러(110)는 메모리 블록의 에러 비트 증가율에 따라 메모리 블록에 대한 에러 비트 검출 주기를 가변할 수 있다. 예를 들면, 에러 비트 증가율이 기준 증가율보다 큰 위크 블록(Weak Block)에 대해서는 랜덤한 읽기 카운트가 아닌 고정된 검출 주기로 에러 비트 수를 검출할 수 있을 것이다. 바람직하게는, 이전의 랜덤 읽기 동작에서의 평균 읽기 주기보다 더 짧은 에러 비트 검출 주기에 비선택된 페이지들에 대한 에러 비트 체크를 수행할 수 있다. 이러한, 동작을 통해서 저장된 데이터에 정정 불가 에러(Uncorrectable Error)가 발생하기 전에 위크 블록이 리드 리클레임 블록으로 지정될 수 있다.

[0023] 이상의 본 발명의 실시 예에 따르면, 스토리지 장치(100)는 메모리 블록의 에러 특성에 따른 리드 리클레임 블록을 지정할 수 있다. 즉, 에러 비트 증가율이 큰 메모리 블록에 대해서 에러 비트를 검출하기 위한 주기를 랜덤한 값이 아닌 고정된 값으로 설정하여, 정정 불가 에러가 발생하기 전에 리드 리클레임 블록으로 지정할 수 있다. 따라서, 본 발명의 리드 리클레임 방법을 적용하면, 스토리지 장치(100)의 데이터 신뢰성 및 동작 성능을 높일 수 있다.

[0024] 도 2는 도 1에 도시된 메모리 컨트롤러의 구성을 예시적으로 보여주는 블록도이다. 도 2를 참조하면, 본 발명의 메모리 컨트롤러(110)는 프로세싱 유닛(111), 워킹 메모리(113), 호스트 인터페이스(115), 에러 정정 블록(117), 그리고 메모리 인터페이스(119)를 포함한다. 하지만, 메모리 컨트롤러(110)의 구성 요소들이 앞서 언급된 구성 요소들에 국한되지 않음은 잘 이해될 것이다. 예를 들면, 메모리 컨트롤러(110)는 초기 부팅(Booting) 동작에 필요한 코드 데이터(Code data)를 저장하는 ROM(Read Only Memory) 등을 더 포함할 수 있다.

[0025] 프로세싱 유닛(111)은 중앙 처리 장치(Central Processing Unit) 또는 마이크로프로세서(Micro-processor)를 포함할 수 있다. 프로세싱 유닛(111)은 메모리 컨트롤러(110)의 제반 동작을 주관한다. 프로세싱 유닛(111)은 메모리 컨트롤러(110)를 구동하기 위한 펌웨어(Firmware)를 구동하도록 구성된다. 이러한 펌웨어는 워킹 메모리(113)에 로딩>Loading)되고, 프로세싱 유닛(111)에 호출되어 구동된다.

[0026] 워킹 메모리(113)에는 메모리 컨트롤러(110)를 제어하기 위한 소프트웨어(또는, 펌웨어)나 데이터가 로딩된다. 저장된 소프트웨어 및 데이터는 프로세싱 유닛(111)에 의해 구동되거나 처리된다. 워킹 메모리(113)는 캐시(Cache) 메모리, DRAM, SRAM, PRAM, 플래시 메모리 장치들 중 적어도 하나를 포함할 것이다. 본 발명의 실시 예에 따르면, 워킹 메모리(113)에는 리드 리클레임 매니저(112) 및 비선택 읽기 매니저(114)를 포함할 수 있다. 도시되지는 않았지만, 워킹 메모리(113)에는 플래시 변환 계층(FTL) 등이 로드될 수 있음은 잘 이해될 것이다.

[0027] 호스트 인터페이스(115)는 호스트와 메모리 컨트롤러(110) 사이의 인터페이스를 제공한다. 호스트와 메모리 컨트롤러(110)는 다양한 표준 인터페이스들(Standardized Interfaces) 중 하나를 통해 연결될 수 있다. 다른 예로써, 호스트와 메모리 컨트롤러(110)는 다양한 표준 인터페이스들 적어도 하나를 통해 연결될 수 있다. 여기에서, 표준 인터페이스들은 ATA(Advanced Technology Attachment), SATA(Serial ATA), e-SATA(external SATA), SCSI(Small Computer Small Interface), SAS(Serial Attached SCSI), PCI(Peripheral component Interconnection), PCI-E(PCI Express), USB(Universal Serial Bus), IEEE 1394, UFS(Universal Flash Storage), Card 인터페이스 등과 같은 다양한 인터페이스 방식들을 포함한다.

[0028] 에러 정정 블록(117)은 다양한 원인으로 인해 손상되는 데이터의 에러를 정정할 수 있다. 예를 들면, 에러 정정 블록(117)은 불휘발성 메모리 장치(120)로부터 읽혀진 데이터의 에러를 검출 및 정정하기 위한 연산을 수행할 것이다. 특히, 에러 정정 블록(117)은 비선택 읽기 매니저(114)의 요청에 따라 읽혀진 데이터의 에러 비트 수를 검출할 수 있다. 검출된 에러 비트 수(nEB)는 리드 리클레임 매니저(112)에 제공될 것이다. 리드 리클레임 매니저(112)는 선택된 메모리 영역의 에러 비트 수를 참조하여 해당 메모리 블록의 에러 비트 증가율을 계산할 수 있다. 그리고 리드 리클레임 매니저(112)는 에러 비트 증가율을 기반으로 대응하는 메모리 블록이 위크 블록(Weak Block)인지 결정할 수 있다. 비선택 읽기 매니저(114)는 위크 블록(Weak Block)으로 결정된 메모리 블록에 대해서는 에러 비트 수의 검출 주기를 고정하여 관리할 수 있다. 또는, 리드 리클레임 매니저(112)는 위크 블록(Weak Block)으로 지정된 블록을 리클레임 블록으로 지정하기 위한 에러 비트 수나 읽기 카운트(Read

Count)를 정상적인 메모리 블록과 다르게 관리할 수 있다.

- [0029] 메모리 인터페이스(119)는 메모리 컨트롤러(110)와 불휘발성 메모리 장치(120) 사이의 인터페이스를 제공한다. 예를 들면, 프로세싱 유닛(111)에 의해서 처리된 데이터가 메모리 인터페이스(119)를 통해 불휘발성 메모리 장치(120)에 저장된다. 다른 예로써, 불휘발성 메모리 장치(120)에 저장된 데이터는 메모리 인터페이스(119)를 통해 프로세싱 유닛(111)에 제공된다.
- [0030] 이상에서 예시적으로 설명된 메모리 컨트롤러(110)의 구성들 설명되었다. 본 발명의 메모리 컨트롤러(110)에 의해서 에러 특성에 따라 각각의 메모리 블록들은 리드 리클레임 블록으로 선택되기 위한 리드 리클레임 기준(RR Reference)이 다양하게 가변될 수 있다. 즉, 에러 특성에 따라 각각의 메모리 블록들이 리드 리클레임 블록으로 지정되기 위한 에러 비트 검출 주기, 에러 비트 수, 그리고 읽기 카운트(Read count) 등이 가변될 수 있음을 의미한다.
- [0031] 도 3은 본 발명의 실시 예에 따른 스토리지 컨트롤러의 기능을 보여주는 블록도이다. 도 3을 참조하면, 메모리 컨트롤러(110)는 리드 리클레임 매니저(112), 비선택 읽기 매니저(114) 및 퍼블록 에러 비트 테이블(116)을 포함할 수 있다. 여기서, 퍼블록 에러 비트 테이블(116)은 워킹 메모리(113, 도 2 참조) 상에서 구현되며, 주기적으로 또는 읽기 카운트(RC)의 증가가 발생하면 불휘발성 메모리 장치(120)에 저장될 수 있다. 여기서, 리드 리클레임 매니저(112)는 플래시 변환 계층(FTL)이나 읽기 실패(Read fail) 발생시 구동되는 코드의 일부로 제공될 수 있을 것이다.
- [0032] 리드 리클레임 매니저(112)는 호스트로부터 읽기 요청(Read request)을 수신할 수 있다. 리드 리클레임 매니저(112)는 퍼블록 에러 비트 테이블(116)에 저장된 워크 블록 리스트(116')와 비선택 읽기 매니저(114)의 에러 비트 검출 결과를 참조하여 리드 리클레임 블록(RR Block)을 지정할 수 있다. 특히, 리드 리클레임 매니저(112)는 워크 블록들의 경우에는 정상적인 블록들에 비해서 다른 기준에 따라 리드 리클레임 블록으로 지정할 수 있다.
- [0033] 비선택 읽기 매니저(114)는 선택된 메모리 블록에 대한 비선택 읽기 동작을 수행할 수 있다. 비선택 읽기 매니저(114)는 비선택 읽기 동작을 수행하기 위하여 랜덤수 발생기(114a)와 읽기 카운터(114b)를 포함할 수 있다. 비선택 읽기 매니저(114)는 읽기 요청이 발생하면, 선택된 메모리 블록에 대한 읽기 카운트(RC)를 증가시킨다. 그리고 증가된 읽기 카운트(RC)가 랜덤수 발생기(114a)에 의해서 생성된 수와 일치하는 경우, 선택된 메모리 블록의 비선택된 페이지들에 대한 비선택 읽기 동작을 수행할 수 있다. 비선택 읽기 동작에 의해서 카운트된 에러 비트의 수는 퍼블록 에러 비트 테이블(116)에 업데이트된다.
- [0034] 리드 리클레임 매니저(112)는 메모리 블록들 각각에 대해서 발생하는 비선택 읽기 동작시, 읽기 카운트(RC)에 대응하는 에러 비트의 수를 퍼블록 에러 비트 테이블(116)에 저장하고 유지할 것이다.
- [0035] 리드 리클레임 매니저(112)는 퍼블록 에러 비트 테이블(116)에 저장된 메모리 블록들 각각의 읽기 카운트(RC) 및 에러 비트 수(nEB)를 참조하여 메모리 블록이 워크 블록(WB)인지 판단할 것이다. 즉, 리드 리클레임 매니저(112)는 읽기 횟수에 따라 증가하는 에러 비트의 증가율이 기준 증가율보다 큰 경우에는 신뢰성이 낮은 메모리 블록, 즉 워크 블록(Weak Block)으로 분류한다. 리드 리클레임 매니저(112)는 읽기 횟수에 따라 증가하는 에러 비트의 증가율이 기준 증가율과 같거나 작은 경우에는 신뢰성이 상대적으로 높은 메모리 블록을 노말 블록(Normal Block)으로 분류할 수 있다.
- [0036] 일단 메모리 블록이 워크 블록(116)으로 분류되면, 리드 리클레임 매니저(112)는 해당 메모리 블록을 워크 블록 리스트(116')에 등록한다. 그러면, 비선택 읽기 매니저(114)는 워크 블록에 대한 비선택 읽기 동작을 랜덤 수와는 관계없이 일정한 주기로 수행하게 될 것이다. 바람직하게는, 고정된 비선택 읽기 동작의 주기는 이전의 랜덤한 비선택 읽기 동작의 평균 주기보다 감소된 값일 것이다. 리드 리클레임 매니저(112)는 감소된 고정 주기로 워크 블록의 에러 비트의 변화 추이를 검출할 것이다. 그리고 리드 리클레임 매니저(112)는 워크 블록에서 검출된 에러 비트 수가 리드 리클레임 블록으로 지정하기 위한 값에 도달한 것으로 판단되면, 대응하는 워크 블록을 리드 리클레임 블록(RR Block)으로 지정할 것이다. 이때, 리드 리클레임 블록으로 지정하기 위한 에러 비트의 수는 워크 블록이나 노말 블록에 동일하게 적용될 것이다.
- [0037] 다른 실시 예에서, 리드 리클레임 매니저(112)는 노말 블록과 워크 블록에 대해 리드 리클레임 블록으로 지정하기 위한 에러 비트의 기준을 다르게 적용할 수 있다. 즉, 워크 블록의 리드 리클레임을 위한 에러 비트 수의 기준을 노말 블록의 리드 리클레임을 위한 에러 비트 수의 기준보다 낮게 할당할 수 있을 것이다. 이 경우, 에러 비트의 수를 검출하기 위한 주기의 고정은 적용되지 않을 수 있다.

- [0038] 다른 실시 예에서, 리드 리클레임 매니저(112)는 노말 블록과 워크 블록에 대해 리드 리클레임 블록으로 지정하기 위한 읽기 카운트(RC)의 기준을 다르게 적용할 수 있다. 즉, 워크 블록의 리드 리클레임을 위한 읽기 카운트(RC) 기준을 노말 블록의 리드 리클레임을 위한 읽기 카운트(RC) 기준보다 낮게 할당할 수 있을 것이다. 이 경우에도, 에러 비트의 수를 검출하기 위한 주기의 고정은 적용되지 않을 수 있다.
- [0039] 다른 실시 예에서, 리드 리클레임 매니저(112)는 노말 블록과 워크 블록에 대해 리드 리클레임 블록으로 지정하기 위한 에러 비트 기준과 읽기 카운트(RC)의 기준을 복합적으로 적용할 수 있을 것이다. 즉, 워크 블록에 대해 에러 비트 기준과 읽기 카운트 기준 중 어느 하나라도 먼저 도달하면, 해당 워크 블록은 리드 리클레임 블록으로 지정될 수 있을 것이다.
- [0040] 이상에서는 본 발명의 리드 리클레임 매니저(112), 비선택 읽기 매니저(114)와 퍼블록 에러 비트 테이블(116)의 기능에 대해서 간략히 설명되었다. 이러한 구성들을 통해서 본 발명의 스토리지 장치(100)는 메모리 블록의 특성에 따른 효율적인 리드 리클레임 동작을 수행할 수 있다.
- [0041] 도 4는 본 발명의 실시 예에 따른 불휘발성 메모리 장치를 보여주는 블록도이다. 도 4를 참조하면, 불휘발성 메모리 장치(120)는 셀 어레이(121), 디코더(122), 페이지 버퍼(123), 제어 로직(124), 그리고 전압 발생기(125)를 포함한다.
- [0042] 셀 어레이(121)는 워드 라인들(WLs) 또는 선택 라인들(SSL, GSL)을 통해 디코더(122)에 연결된다. 셀 어레이(121)는 비트 라인들(BLs)을 통해서 페이지 버퍼(123)에 연결된다. 셀 어레이(121)는 복수의 메모리 블록들(BLK1~BLKi)을 포함한다. 각각의 메모리 블록들은 복수의 낸드형 셀 스트링들(NAND Cell Strings)을 포함한다. 셀 어레이(121)에는 페이지 단위로 데이터가 기입될 수 있다. 소거 동작은 메모리 블록 단위로 수행될 것이다. 복수의 메모리 블록들(BLK1~BLKi) 각각은 다양한 원인들에 의해서 에러 비트 특성이 다르게 나타날 수 있다. 즉, 동일한 바이어스 하에서 동일한 데이터가 각각의 메모리 블록에 기입된 상태라 하더라도, 독출된 데이터의 에러 비트의 수(nEB)는 달라질 수 있다.
- [0043] 본 발명의 개념에 따른 실시 예로서, 셀 어레이(121)는 3차원 메모리 어레이로 제공될 수 있다. 3차원 메모리 어레이는, 실리콘 기판 및 메모리 셀들의 동작에 연관된 회로의 위에 배치되는 활성 영역을 갖는 메모리 셀들의 어레이들의 하나 또는 그 이상의 물리 레벨들에 모놀리식(monolithically) 형성될 수 있다. 메모리 셀들의 동작에 연관된 회로는 기판 내에 또는 기판 위에 위치할 수 있다. 모놀리식(monolithical)이란 용어는, 3차원 어레이의 각 레벨의 층들이 3차원 어레이의 하위 레벨의 층들 위에 직접 증착됨을 의미한다.
- [0044] 본 발명의 개념에 따른 실시 예로서, 3차원 메모리 어레이는 수직의 방향성을 가져, 적어도 하나의 메모리 셀이 다른 하나의 메모리 셀 위에 위치하는 수직 NAND 스트링들을 포함한다. 적어도 하나의 메모리 셀은 전하 트랩 층을 포함한다. 각각의 수직 NAND 스트링은 메모리 셀들 위에 위치하는 적어도 하나의 선택 트랜지스터를 포함할 수 있다. 적어도 하나의 선택 트랜지스터는 메모리 셀들과 동일한 구조를 갖고, 메모리 셀들과 함께 모놀리식으로 형성될 수 있다.
- [0045] 3차원 메모리 어레이가 복수의 레벨들로 구성되고, 레벨들 사이에 공유된 워드 라인들 또는 비트 라인들을 갖고, 3차원 메모리 어레이에 적합한 구성은 미국등록특허공보 제7,679,133호, 미국등록특허공보 제8,553,466호, 미국등록특허공보 제8,654,587호, 미국등록특허공보 제8,559,235호, 그리고 미국공개특허공보 제2011/0233648호에 개시되어 있으며, 본 발명의 레퍼런스로 포함된다.
- [0046] 디코더(122)는 어드레스(ADD)에 응답하여 셀 어레이(121)의 메모리 블록들 중 어느 하나를 선택할 수 있다. 디코더(122)는 선택된 메모리 블록의 워드 라인에 동작 모드에 대응하는 워드 라인 전압(VWL)을 제공할 수 있다. 예를 들면, 프로그램 동작시 디코더(122)는 선택 워드 라인(Selected WL)에 프로그램 전압(Vpgm\_i)과 검증 전압(Vvf\_i)을, 비선택 워드 라인(Unselected WL)에는 패스 전압(Vpass)을 전달한다. 그리고 디코더(122)는 선택 라인들(SSL, GSL)에 선택 신호를 제공하여 메모리 블록을 선택할 수 있다. 읽기 동작시, 메모리 블록의 선택 워드 라인으로는 읽기 전압(Vrd\_i)을 제공한다. 그리고 읽기 동작시, 메모리 블록의 비선택 워드 라인들로는 패스 읽기 전압(Vread\_i)을 제공할 수 있다.
- [0047] 페이지 버퍼(123)는 동작 모드에 따라 기입 드라이버로서 또는 감지 증폭기로서 동작한다. 프로그램 동작시, 페이지 버퍼(123)는 셀 어레이(121)의 비트 라인으로 프로그램될 데이터에 대응하는 비트 라인 전압을 전달한다. 읽기 동작시, 페이지 버퍼(123)는 선택된 메모리 셀에 저장된 데이터를 비트 라인을 통해서 감지한다. 페이지 버퍼(123)는 감지된 데이터를 래치하여 외부에 전달한다.

- [0048] 제어 로직(124)은 외부로부터 전달되는 명령어(CMD)에 응답하여 페이지 버퍼(123)와 디코더(122)를 제어한다.
- [0049] 전압 발생기(125)는 제어 로직(124)의 제어에 따라 각각의 워드 라인들로 공급될 다양한 종류의 워드 라인 전압들과, 메모리 셀들이 형성된 벌크(예를 들면, 웰 영역)로 공급될 전압을 발생한다. 각각의 워드 라인들로 공급될 워드 라인 전압들로는 프로그램 전압(Vpgrm\_i), 패스 전압(Vpass), 읽기 전압(Vrd\_i), 패스 읽기 전압(Vread\_i) 등이 있다. 전압 발생기(125)는 읽기 동작 및 프로그램 동작시에 선택 라인들(SSL, GSL)에 제공되는 선택 라인 전압(VSSL, VGSL)을 생성할 수 있다.
- [0050] 도 5는 본 발명의 실시 예에 따른 퍼블록 에러 비트 테이블을 예시적으로 보여주는 도면이다. 도 5를 참조하면, 퍼블록 에러 비트 테이블(116)은 복수의 블록들 각각에 대한 읽기 카운트(RC), 에러 비트 수(nEB), 에러 비트 증가율(EBIR), 그리고 블록 분류(BLK Classification) 항목들을 포함할 수 있다.
- [0051] 읽기 카운트(RC)는 각각의 메모리 블록들(BLK0-BLKm)에 대한 읽기 횟수를 나타낸다. 여기서, 읽기 카운트는 호스트(Host)의 요청에 따른 읽기 및 비선택 읽기 동작의 횟수를 모두 포함할 수 있다. 읽기 카운트(RC)는 호스트로부터 읽기 요청이 발생하거나, 비선택 읽기 동작이 수행되면 카운트업될 것이다.
- [0052] 에러 비트 수(nEB)는 해당 메모리 블록에서 호스트에 의해 또는 비선택 읽기 동작을 통해서 검출된 에러 비트의 수를 나타낸다. 예를 들면, 에러 비트 수(nEB)는 어느 하나의 페이지에서 발생하는 에러 비트의 수를 나타낼 수 있다. 비선택 읽기 동작 시에는 비선택 페이지에서 읽기 교란의 영향에 의해서 발생하는 에러 비트의 수가 에러 비트 수(nEB)로 나타날 수 있을 것이다. 예시적으로, 메모리 블록(BLK1)에 대한 읽기 카운트(N-2)에서 검출된 에러 비트 수(nEB)는 '2' 비트에 해당한다. 반면, 메모리 블록(BLK0)과 같이, 읽기 카운트(3N)에서 에러 비트가 검출되지 않을 수도 있다.
- [0053] 에러 비트 증가율(EBIR)은 읽기 카운트(RC)와 에러 비트 수(nEB)에 근거하여 계산될 수 있다. 즉, 에러 비트 증가율(EBIR)은 특정 읽기 카운트 동안 증가한 에러 비트의 수를 나타낸다. 예를 들면, 메모리 블록들 각각의 에러 비트 증가율(EBIR)은 최초 비선택 읽기 동작이 시작된 후로부터 N회의 읽기 카운트의 증가 구간에서 검출된 에러 비트의 변화를 계산하여 구할 수도 있을 것이다. 이러한 에러 비트 증가율(EBIR)은 특정 읽기 카운트 구간에 대한 에러 비트 수의 변화로 계산될 수 있다. 또는, 다양한 통계적인 방법에 의해서 읽기 카운트의 증가에 대한 에러 비트의 증가를 계산할 수도 있을 것이다.
- [0054] 블록 분류(BLK Classification)는 에러 비트 증가율(EBIR)에 따라 해당 블록이 워크 블록인지의 여부를 나타낸다. 만일, 에러 비트 증가율(EBIR)의 검출이 읽기 카운트(RC)의 증가가 시작된지 N회까지 수행되는 것으로 가정할 경우, 메모리 블록(BLK2)이 워크 블록(WB)으로 분류될 수 있다. 왜냐하면, 메모리 블록(BLK2)의 에러 비트 증가율( $\alpha$ )이 기준 증가율(R)보다 크기 때문이다. 메모리 블록들(BLK0, BLK3, BLK4, BLKm) 각각의 에러 비트 증가율( $\beta, \gamma, \delta, \epsilon$ )은 기준 증가율(R)보다 작기 때문에, 이들 블록들은 노말 블록(NB)으로 분류될 것이다. 하지만, 메모리 블록(BLK1)은 에러 비트 증가율(EBIR)을 결정하기 위한 읽기 카운트(N)에 미치지 못했기 때문에 미결정 상태이다. 여기서, 메모리 블록들은 둘 이상의 다양한 그룹들로 분류될 수 있음은 잘 이해될 것이다.
- [0055] 도 6은 본 발명의 실시 예에 따른 워크 블록에 대한 리드 리클레임 방법을 예시적으로 보여주는 그래프이다. 도 6을 참조하면, 읽기 카운트(RC)에 대한 에러 비트 수(nEB)를 나타내는 직선이 워크 블록(WB)과 노말 블록(NB) 각각에 대해서 예시적으로 도시되어 있다. 워크 블록(WB)의 에러 비트 증가율은 노말 블록(NB)의 에러 비트 증가율보다 높다. 즉, 워크 블록(WB)을 나타내는 직선의 기울기가 노말 블록(NB)을 나타내는 직선의 기울기보다 크다.
- [0056] 먼저, 선택된 어느 하나의 메모리 블록에 데이터가 기입되면 해당 메모리 블록에 대한 읽기 카운트(RC) 및 에러 비트의 수(nEB)를 관리하기 위한 퍼블록 에러 비트 테이블(116)이 생성될 것이다. 그리고 에러 비트 증가율을 검출하기 위한 읽기 카운트(RC)가 채워지면, 에러 비트의 증가율(EBIR)이 계산될 수 있다. 에러 비트 증가율(EBIR)에 따라서, 메모리 블록이 워크 블록(WB)인지의 여부가 결정될 수 있다.
- [0057] 그래프에서 워크 블록(WB)으로 판단된 메모리 블록은 에러 비트의 수(nEB)가 문턱치(TH0) 이상인 시점부터 고정된 주기(m)마다 비선택 읽기 동작이 수행될 수 있다. 즉, 워크 블록(WB)으로 판단된 메모리 블록의 경우, 매 m 회의 읽기 카운트 증가시마다 에러 비트의 수(nEB)가 검출될 것이다. 워크 블록(WB)에 있어서, 에러 비트의 수(nEB)가 문턱치(TH0)보다 적은 시점에서는 랜덤한 읽기 카운트에서 비선택 읽기 동작이 수행된다. 하지만, 워크 블록(WB)의 에러 비트의 수(nEB)가 문턱치(TH0) 이상에 도달하면, 고정된 주기(m)마다 비선택 읽기 동작이 수행되고, 에러 비트의 수가 검출될 것이다. 바람직하게, 고정된 주기(m)는 랜덤한 읽기 카운트의 평균 주기보다 적은 값으로 설정될 것이다. 따라서, 이때의 에러 비트의 모니터링을 파인 모니터링(Fine Monitoring) 구간이라

칭하기로 한다.

- [0058] 이러한 에러 비트 수의 검출이 워크 블록(WB)에 대해서는 고정된 주기(m 회)로 수행되면, 워크 블록(WB)에 대한 리드 리클레임 지정을 적절한 시점에 수행할 수 있다. 워크 블록(WB)에 대한 에러 비트의 검출 주기를 랜덤한 읽기 카운트에서 수행하는 경우, 최악의 상황에서는 워크 블록(WB)은 리드 리클레임 블록으로 지정되지 못하고 정정 불가 에러를 갖는 블록으로 처리될 수도 있을 것이다. 하지만, 워크 블록(WB)에 대해서는 고정된 주기(m 회)로 에러 비트 수(nEB)의 검출이 수행되면, 에러 비트 수(nEB)가 문턱치(TH1)보다 많아지는 것으로 검출되는 읽기 카운트(RN5+4m)에서 리드 리클레임 블록으로 지정될 수 있다.
- [0059] 도 7은 도 6에서 도시된 본 발명의 리드 리클레임 방법을 보여주는 순서도이다. 도 7을 참조하면, 본 발명의 리드 리클레임 방법은 워크 블록에 대한 검출, 그리고 검출된 워크 블록에 대해 고정된 에러 비트 검출 주기를 특징으로 한다.
- [0060] S10 단계에서, 워크 블록(WB)에 대한 검출이 수행된다. 기입된 데이터에 대한 읽기 요청이 발생하는 메모리 블록들 각각에 대한 읽기 카운트(RC) 및 랜덤한 읽기 카운트에서 검출된 에러 비트 수(nEB)가 퍼블록 에러 비트 테이블(116)에 저장될 것이다. 그리고 저장된 읽기 카운트(RC) 및 에러 비트 수(nEB)에 따라 에러 비트 증가율이 기준 증가율보다 큰 메모리 블록은 워크 블록(WB)으로 지정될 수 있다. 여기서, 워크 블록(WB)을 선택하기 위한 에러 비트 증가율(EBIR)의 기준 증가율은 퍼블록 에러 비트 테이블(116)에서 관리하는 메모리 블록들 전체의 에러 비트 증가율의 평균치가 사용될 수도 있다. 또는, 에러 비트 증가율의 기준값은 실험치에 근거한 고정된 에러 비트 증가율을 사용할 수도 있을 것이다.
- [0061] S20 단계에서, 검출된 워크 블록(WB)에 대해서는 고정된 주기로 에러 비트의 수(nEB)가 검출될 것이다. 예를 들면, 워크 블록(WB)으로 결정되기 전에는 랜덤한 읽기 카운트(RC)에서 에러 비트의 수를 검출하기 위한 비선택 읽기 동작이 수행되었다고 가정하자. 하지만, 워크 블록(WB)으로 결정된 메모리 블록에 대해서는 이후 매 2회의 읽기 카운트 증가시마다 1회의 에러 비트 수의 검출을 위한 비선택 읽기 동작이 수행될 수 있을 것이다. 하지만, 워크 블록(WB)이나 노말 블록(NB) 모두 리드 리클레임 블록으로 할당하기 위한 에러 비트 수의 문턱치(TH1)는 동일하게 적용될 것이다.
- [0062] S30 단계에서, 고정된 주기로 워크 블록(WB)에 대해 검출된 에러 비트 수(nEB)가 리드 리클레임 블록으로 할당하기 위한 에러 비트 수(nEB)의 문턱치(TH1)에 도달했는지 판단된다. 만일, 검출된 에러 비트의 수(nEB)가 문턱치(TH1)보다 크지 않은 경우(No 방향), 절차는 지속적으로 고정된 주기로 에러 비트 수를 체크하기 위한 S20 단계로 복귀한다. 반면, 검출된 에러 비트의 수(nEB)가 문턱치(TH1)보다 큰 것으로 판단되면(Yes 방향), 절차는 대응하는 워크 블록(WB)을 리드 리클레임 블록으로 지정하기 위한 S40 단계로 이동한다.
- [0063] S40 단계에서, 고정된 주기로 에러 비트 수를 검출한 워크 블록(WB)을 리드 리클레임 블록으로 지정한다. 그리고 설명되지는 않았지만, 리드 리클레임 블록으로 지정된 워크 블록(WB)에 저장된 데이터는 다른 정상 메모리 블록으로 카피(Copy)되고, 워크 블록(WB)에 대한 소거 절차가 진행될 수 있다.
- [0064] 이상에서는 워크 블록(WB)의 검출 및 검출된 워크 블록(WB)에 대해 고정된 주기로 에러 비트 수(nEB)를 검출하여 리드 리클레임 블록으로 지정하는 본 발명의 리드 리클레임 방법이 간략히 설명되었다. 이러한 워크 블록(WB)의 검출 및 에러 비트 수(nEB)의 검출 주기 고정을 통해서 에러 비트 증가율(EBIR)이 큰 워크 블록들에 대해서 리드 리클레임 블록으로의 지정을 명확히 할 수 있다. 즉, 에러 비트 증가율이 상대적으로 큰 워크 블록들로부터 정정 불가 에러가 발생하는 상황은 본 발명의 관리 방법에 따라 차단될 수 있다.
- [0065] 도 8a 및 도 8b는 본 발명의 리드 리클레임 방법에 대한 좀더 구체적인 예를 도시한 순서도들이다. 도 8a를 참조하여, 워크 블록(WB)에 대한 고정된 주기로 에러 비트를 체크하기 위한 비선택 읽기 동작을 수행하는 절차가 설명될 것이다. 그리고 도 8b에서는 랜덤한 읽기 카운트(RC)에서 비선택 읽기 동작을 수행하는 방법이 설명될 것이다.
- [0066] 도 8a를 참조하면, 워크 블록(WB)에서 에러 비트 수(nEB)가 문턱치(TH0)를 초과하면, 이후에는 고정된 주기에서 에러 비트 수를 검출하기 위한 비선택 읽기 동작이 수행될 것이다. 좀더 자세히 설명하면 다음과 같다.
- [0067] S110 단계에서, 메모리 컨트롤러(110, 도 1 참조)는 호스트로부터 읽기 요청을 수신할 것이다. 메모리 컨트롤러(110)의 리드 리클레임 매니저(112)는 데이터가 기입된 제반 메모리 블록들 각각에 대한 읽기 카운트(RC) 및 에러 비트 수(nEB)를 관리하기 위한 퍼블록 에러 비트 테이블(116)을 구성하고 유지 및 업데이트할 수 있다.
- [0068] S120 단계에서, 메모리 컨트롤러(110)는 읽기 요청된 메모리 블록이 워크 블록(WB)인지 판단할 것이다. 메모리

컨트롤러(110)는 퍼블록 에러 비트 테이블(116)로부터 읽기 요청된 메모리 블록이 워크 블록 리스트(116')에 포함되는지 체크할 수 있다. 만일, 선택된 메모리 블록이 워크 블록(WB)이 아닌 경우(No 방향), 절차는 'A'로 이동한다. 도 8b의 순서도에서 'A'에 해당하는 비선택 읽기 동작이 설명될 것이다. 반면, 선택된 메모리 블록이 워크 블록(WB)인 경우(Yes 방향), 절차는 S130 단계로 이동한다.

- [0069] S130 단계에서, 메모리 컨트롤러(110)는 선택된 워크 블록(WB)에서 가장 최근에 카운트된 에러 비트의 수(nEB)를 체크한다. 만일, 가장 최근의 에러 비트의 수가 문턱치(TH0)보다 많은 경우, 절차는 S140으로 이동한다. 반면, 가장 최근에 카운트된 에러 비트의 수(nEB)가 문턱치(TH0)보다 많지 않은 경우, 절차는 'A'로 이동할 것이다.
- [0070] S140 단계에서, 읽기 요청이 발생한 메모리 블록에 대한 읽기 카운트(RC)를 증가시키고, 증가된 읽기 카운트값을 퍼블록 에러 비트 테이블(116)에 업데이트한다. 이때, 퍼블록 에러 비트 테이블(116)에 유지되는 값은 주기적으로 또는 필요시에 불휘발성 메모리 장치(120)의 특정 영역에 저장될 것이다. 따라서, 전원이 제거된 이후에도 데이터가 기입된 메모리 블록들 각각에 대한 읽기 카운트(RC) 및 에러 비트 수(nEB)에 대한 정보가 유지될 수 있을 것이다.
- [0071] S150 단계에서, 메모리 컨트롤러(110)는 업데이트된 읽기 카운트(RC)가 고정된 주기(도 6의 m)에 일치하는지 판단한다. 만일, 읽기 요청된 메모리 블록의 읽기 카운트(RC)가 고정된 주기(m)에 해당하지 않는 경우(No 방향), 절차는 비선택 읽기 동작의 수행없이 선택된 페이지를 읽기 위한 S170 단계로 이동할 것이다. 반면, 읽기 카운트(RC)가 고정된 주기(m)에 대응하는 경우(Yes 방향), 절차는 선택된 페이지와 함께 비선택 페이지를 읽기 위한 S160 단계로 이동한다.
- [0072] S160 단계에서, 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)의 선택된 메모리 블록으로부터 호스트가 요청한 페이지의 데이터를 독출하고, 독출된 데이터를 출력할 것이다. 더불어, 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)의 선택된 메모리 블록으로부터 호스트가 요청하지 않은 비선택 페이지의 데이터를 독출하고, 독출된 데이터에 대한 에러 비트를 검출할 것이다.
- [0073] S170 단계에서, 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)의 선택된 메모리 블록으로부터 호스트가 요청한 페이지의 데이터만을 독출하고, 독출된 데이터를 호스트로 출력할 것이다.
- [0074] S180 단계에서, 메모리 컨트롤러(110)는 S160 단계에서 비선택 페이지로부터 독출된 데이터의 에러 비트 수(nEB)가 문턱치(TH1)보다 큰지 판단한다. 만일, 현재 검출된 에러 비트 수(nEB)가 문턱치(TH1)보다 큰 경우, 절차는 S190으로 이동할 것이다. 반면, 현재 검출된 에러 비트 수(nEB)가 문턱치(TH1)보다 크지 않은 경우, 현재의 읽기 요청에 대한 제반 리드 리클레임을 위한 동작은 종료될 것이다.
- [0075] S190 단계에서, 메모리 컨트롤러(110)는 검출된 에러 비트 수(nEB)가 문턱치(TH1)보다 커진 워크 블록(WB)에 대한 리드 리클레임 절차를 진행할 것이다. 문턱치(TH1)는 리드 리클레임 블록으로 지정하기 위한 에러 비트 수의 기준에 대응한다. 메모리 컨트롤러(110)에 의해서 리드 리클레임 블록(RR Block)으로 지정되면, 이후에 리드 리클레임 매니저(112)에 의한 데이터 카피 및 소거 절차가 실행될 것이다.
- [0076] 이상에서는 본 발명의 실시 예에 메모리 컨트롤러(110)에서 수행되는 다른 리드 리클레임 방법이 예시적으로 설명되었다.
- [0077] 도 8b는 도 8a의 'A'의 절차를 보여주는 순서도이다. 도 8b를 참조하면, 읽기 요청된 메모리 블록이 워크 블록이 아닌 경우 및 워크 블록(WB)이라 하더라도 가장 최근에 검출된 에러 비트 수(nEB)가 문턱치(TH0)보다 많지 않은 경우의 동작 절차가 설명될 것이다.
- [0078] S210 단계에서, 선택된 메모리 블록에 대한 읽기 카운트(RC)가 카운트업된다. 읽기 카운트(RC)는 앞서 설명된 퍼블록 에러 비트 테이블(116) 상에서 유지 및 관리될 수 있다.
- [0079] S220 단계에서, 메모리 컨트롤러(110)는 랜덤 수(Random Number: 이하, RN)를 생성할 수 있다. 하지만, 랜덤 수(RN)는 복수의 값들로 미리 생성되고, 저장된 값일 수도 있음은 잘 이해될 것이다.
- [0080] S230 단계에서, 카운트업된 읽기 카운트(RC)와 랜덤 수(RN)가 비교된다. 만일, 읽기 카운트(RC)와 랜덤 수(RN)가 동일한 경우(Yes 방향), 절차는 S240 단계로 이동한다. 하지만, 읽기 카운트(RC)와 랜덤 수(RN)가 다른 값인 경우(No 방향), 절차는 S250 단계로 이동한다.
- [0081] S240 단계에서, 메모리 컨트롤러(110)는 선택된 페이지 이외에도 비선택 페이지에 대한 비선택 읽기 동작을 수

행할 것이다.

- [0082] S250 단계에서, 메모리 컨트롤러(110)는 선택된 페이지만을 선택된 메모리 블록으로부터 독출할 것이다.
- [0083] S260 단계에서, 메모리 컨트롤러(110)는 비선택 읽기 동작을 통해서 독출된 페이지에 대한 에러를 검출할 것이다.
- [0084] S270 단계에서, 메모리 컨트롤러(110)는 비선택 읽기 동작을 통해서 검출된 에러 비트 수(nEB)를 업데이트할 것이다. 더불어, 검출된 에러 비트 수를 참조하여 메모리 블록이 워크 블록(WB)인지 여부를 결정할 수 있을 것이다.
- [0085] 이상의 도 8a 및 도 8b를 통해서 본 발명의 비선택 읽기 동작과, 워크 블록(WB)에 대해서 수행되는 고정된 주기의 에러 비트 검출 동작이 설명되었다.
- [0086] 도 9는 본 발명의 다른 실시 예에 따른 워크 블록에 대한 리드 리클레임 방법을 예시적으로 보여주는 그래프이다. 도 9를 참조하면, 읽기 카운트(RC)에 대한 에러 비트 수(nEB)를 나타내는 직선이 워크 블록(WB)과 노말 블록(NB) 각각에 대해서 예시적으로 도시되어 있다. 워크 블록(WB)의 에러 비트 증가율은 노말 블록(NB)의 에러 비트 증가율보다 높다. 즉, 워크 블록(WB)을 나타내는 직선의 기울기가 노말 블록(NB)을 나타내는 직선의 기울기보다 크다.
- [0087] 먼저, 선택된 어느 하나의 메모리 블록에 데이터가 기입되면 해당 메모리 블록에 대한 읽기 카운트(RC) 및 에러 비트의 수(nEB)를 관리하기 위한 퍼블록 에러 비트 테이블(116)이 생성될 것이다. 그리고 최소 2 회 이상의 읽기 동작을 수행하면 에러 비트의 증가율이 검출될 수 있다. 에러 비트 증가율에 따라서, 메모리 블록이 워크 블록인지의 여부가 결정될 수 있다.
- [0088] 그래프에서 워크 블록(WB)으로 판단된 메모리 블록은 에러 비트의 수가 문턱치(TH0) 이상인 시점이나 또는 특정 읽기 카운트(5N) 이후 시점부터 감소된 주기에 따라 체크된다. 즉, 워크 블록(WB)으로 판단된 메모리 블록이 경우 매 m회의 읽기 카운트 증가시마다 에러 비트의 수가 검출될 것이다. 특정 읽기 카운트(5N) 이전 또는 에러 비트의 수가 문턱치(TH0)보다 적은 시점에서는 매 N회의 읽기 카운트 증가시에 에러 비트의 수가 검출되었다(N > m). 즉, 워크 블록(WB)에 대해서는 특정 읽기 카운트(5N) 이후나 에러 비트의 수가 문턱치(TH0) 이상인 시점부터는 에러 비트 수의 검출 주기가 감소될 것이다.
- [0089] 여기서, 어느 하나의 블록에 대한 에러 비트가 검출된다는 의미는 호스트에 의해서 요청되지 않은 주변의 메모리 영역에 대한 읽기 및 에러 검출이 수행된다는 의미이다. 즉, 에러 비트가 검출된다는 것은 비선택 읽기 동작이 수행된다는 의미이다. 하지만, 랜덤한 읽기 카운트(RC)가 아닌 주기(예를 들면, N)로 비선택 읽기 동작이 수행된다는 점에서 도 6의 에러 비트 체크 방식과 차별화될 수 있다. 호스트가 어느 하나의 메모리 블록에 포함되는 특정 페이지에 대한 읽기 요청을 전달하는 경우, 특정 읽기 카운트 주기(N 또는 m)마다 읽기 요청된 페이지의 주변 페이지에 대한 읽기 및 에러 검출이 수행된다.
- [0090] 이러한 에러 비트 수의 검출이 워크 블록(WB)에 대해서는 감소된 주기(m 회)로 에러 비트 수(nEB)의 검출이 수행되면, 워크 블록(WB)에 대한 리드 리클레임 지정을 적절한 시점에 수행할 수 있다. 워크 블록(WB)에 대한 에러 비트의 검출 주기를 일정한 읽기 카운트(N)로 유지되는 경우, 최악의 상황에서는 워크 블록(WB)은 리드 리클레임 블록으로 지정되지 못하고 정정 불가 에러를 갖는 블록으로 처리될 수도 있을 것이다. 하지만, 워크 블록(WB)에 대해서는 감소된 주기(m 회)로 에러 비트 수(nEB)의 검출이 수행되면, 에러 비트 수(nEB)가 문턱치(TH1)보다 많아지는 것으로 검출되는 읽기 카운트(6N)에서 리드 리클레임 블록으로 지정될 수 있다.
- [0091] 도 10은 본 발명의 리드 리클레임 방법을 보여주는 순서도이다. 도 10을 참조하면, 본 발명의 리드 리클레임 방법은 워크 블록(WB)에 대한 검출, 그리고 검출된 워크 블록(WB)에 대해 감소된 에러 비트 검출 주기를 특징으로 한다.
- [0092] S310 단계에서, 워크 블록(WB)에 대한 검출이 수행된다. 기입된 데이터에 대한 읽기 요청이 발생하는 메모리 블록들 각각에 대한 읽기 카운트(RC) 및 매 읽기 카운트에서 검출된 에러 비트 수가 퍼블록 에러 비트 테이블(116)에 저장될 것이다. 그리고 저장된 읽기 카운트(RC) 및 에러 비트 수(nEB)에 따라 에러 비트 증가율이 기준치보다 큰 메모리 블록을 워크 블록으로 지정할 수 있다. 여기서, 워크 블록(WB)을 선택하기 위한 에러 비트 증가율의 기준치는 퍼블록 에러 비트 테이블(116)에서 관리하는 메모리 블록들 전체의 에러 비트 증가율 평균 증가율이 될 수도 있다. 또는, 에러 비트 증가율의 기준치는 실험치에 근거한 고정된 에러 비트 증가율을 사용할 수도 있을 것이다.

- [0093] S320 단계에서, 워크 블록(WB)에 대해서는 워크 블록 검출 기간에 수행된 에러 비트 검출 주기보다 감소된 주기로 에러 비트의 수가 검출될 것이다. 예를 들면, 에러 비트 검출 구간에서는 에러 비트가 10회 읽기 카운트 증가시에 1회의 에러 비트 수가 검출되었다고 가정하자. 그러면 워크 블록(WB)으로 판단된 메모리 블록에 대해서는 이후 매 2회의 읽기 카운트 증가시마다 1회의 에러 비트 수의 검출이 수행될 수 있을 것이다. 하지만, 워크 블록(WB)이나 노말 블록(NB) 모두 리드 리클레임 블록으로 할당하기 위한 에러 비트 수의 문턱치(TH1)는 동일하게 적용될 것이다.
- [0094] S330 단계에서, 감소된 주기로 워크 블록(WB)에 대해 검출된 에러 비트 수가 리드 리클레임 블록으로 할당하기 위한 에러 비트 수의 문턱치(TH1)에 도달했는지 결정된다. 만일, 검출된 에러 비트의 수(nEB)가 문턱치(TH1)보다 크지 않은 경우(No 방향), 절차는 지속적으로 감소된 주기로 에러 비트 수를 체크하기 위한 S320 단계로 복귀한다. 반면, 검출된 에러 비트의 수(nEB)가 문턱치(TH1)보다 큰 것으로 판단되면(Yes 방향), 절차는 대응하는 워크 블록(WB)을 리드 리클레임 블록으로 지정하기 위한 S340 단계로 이동한다.
- [0095] S340 단계에서, 감소된 주기로 에러 비트 수를 검출한 워크 블록(WB)을 리드 리클레임 블록으로 지정한다. 그리고 설명되지는 않았지만, 리드 리클레임 블록으로 지정된 워크 블록(WB)에 저장된 데이터는 다른 정상 메모리 블록으로 카피되고, 워크 블록에 대한 소거 절차가 진행될 수 있다.
- [0096] 이상에서는 워크 블록의 검출 및 검출된 워크 블록에 대해 검출 주기보다 감소된 주기로 에러 비트 수를 검출하여 리드 리클레임 블록으로 지정하는 본 발명의 리드 리클레임 방법이 간략히 설명되었다. 이러한 워크 블록의 검출 및 에러 비트 수의 검출 주기 감소를 통해서 에러 비트 증가율이 큰 워크 블록들에 대해서 리드 리클레임 블록으로의 지정을 명확히 할 수 있다. 즉, 에러 비트 증가율이 상대적으로 큰 워크 블록들이 리드 리클레임 절차없이 정정 불가 에러가 발생하는 상황은 본 발명의 관리 방법에 따라 차단될 수 있다.
- [0097] 도 11은 본 발명의 리드 리클레임 방법에 대한 좀더 구체적인 예를 도시한 순서도이다. 도 11을 참조하면, 워크 블록의 검출 구간에서는 N회의 읽기 카운트 증가시에 에러 비트 수가 검출되고, 검출된 워크 블록(WB)에 대해서는 감소된 m회의 읽기 카운트 증가시에 에러 비트 수가 검출될 것이다. 좀더 자세히 설명하면 다음과 같다.
- [0098] S410 단계에서, 메모리 컨트롤러(110, 도 1 참조)는 호스트로부터 읽기 요청을 수신한다. 메모리 컨트롤러(110)의 리드 리클레임 매니저(112)는 데이터가 기입된 제반 메모리 블록들 각각에 대한 읽기 카운트(RC) 및 에러 비트 수를 관리하기 위한 퍼블록 에러 비트 테이블(116)을 구성하고 유지 및 업데이트할 수 있다.
- [0099] S420 단계에서, 메모리 컨트롤러(110)는 읽기 요청이 발생한 메모리 블록에 대한 읽기 카운트(RC)를 증가시키고, 증가된 읽기 카운트값을 퍼블록 에러 비트 테이블(116)에 업데이트한다. 이때, 퍼블록 에러 비트 테이블(116)에 유지되는 값은 주기적으로 또는 필요시에 불휘발성 메모리 장치(120)의 특정 영역에 저장될 것이다. 따라서, 전원이 제거된 이후에도 데이터가 기입된 메모리 블록들 각각에 대한 읽기 카운트(RC) 및 에러 비트 수(nEB)에 대한 정보가 유지될 수 있을 것이다.
- [0100] S430 단계에서, 업데이트된 읽기 카운트(RC)가 워크 블록(WB)을 검출하기 위한 에러 비트 검출 주기(N)인지 판단될 것이다. 만일, 읽기 요청된 블록의 읽기 카운트(RC)가 에러 비트 검출 주기(N)에 해당하지 않는 경우(No 방향), 절차는 추후의 읽기 요청을 검출하기 위한 S410 단계로 복귀할 것이다. 반면, 읽기 카운트(RC)가 에러 비트 검출 주기(N의 배수)에 대응하는 경우(Yes 방향), 절차는 에러 검출을 위한 S440 단계로 이동한다.
- [0101] S440 단계에서, 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)의 선택된 메모리 블록으로부터 데이터를 독출하고, 독출된 데이터에 대한 에러 검출 연산을 수행할 것이다. 이때, 에러 검출 연산은 메모리 컨트롤러(110)의 에러 정정 블록(117)에서 수행될 것이다.
- [0102] S450 단계에서, 메모리 컨트롤러(110)는 에러 정정 및 데이터 출력과는 독립적으로 데이터가 독출된 메모리 블록이 워크 블록(WB)인지 판단할 것이다. 즉, 읽기 카운트에 대한 에러 비트 수의 증가율이 계산되면, 메모리 블록이 워크 블록(WB)인지의 여부가 판단될 수 있다. 에러 비트 증가율이 기준치보다 큰 것으로 계산된 메모리 블록은 워크 블록(WB)으로 지정될 수 있다. 에러 비트가 검출된 메모리 블록이 워크 블록(WB)이 아닌 것으로 판단되면(No 방향), 절차는 S460 단계로 이동한다. 반면, 에러 비트 증가율의 계산 결과, 메모리 블록이 워크 블록(WB)인 것으로 판단되면(Yes 방향), 절차는 S470 단계로 이동한다.
- [0103] S460 단계에서, 에러 비트 증가율에 의거하여 노말 블록(NB)인 것으로 판단된 메모리 블록의 에러 비트 수(nEB)가 퍼블록 에러 비트 테이블(116)에 업데이트될 것이다. 이어서, 절차는 읽기 요청을 수신하기 위한 S410 단계로 복귀할 것이다.



- [0104] S470 단계에서, 워크 블록(WB)에 대한 관리 절차가 시작된다. 즉, 워크 블록(WB)에 대해서 감소된 읽기 카운트 주기(m)로 에러 비트의 수(nEB)가 검출될 수 있다. 여기서, 감소된 읽기 카운트 주기(m)는 호스트로부터의 읽기 요청에 대해서 적용될 수도 있다. 또는, 감소된 읽기 카운트 주기(m)는 호스트의 읽기 요청과는 별도로 메모리 컨트롤러(110)에서 주도적으로 워크 블록(WB)에 대해서 데이터를 읽고, 읽혀진 데이터에 대해 에러 검출이 수행될 수도 있을 것이다. 여기서, 감소된 읽기 카운트 주기(m)는 앞서 설명된 워크 블록(WB)의 검출 주기(N)보다 작은 값이다.
- [0105] S480 단계에서, 워크 블록(WB)에서 검출된 에러 비트 수(nEB)가 리드 리클레임 블록으로 지정하기 위한 문턱치(TH1)보다 큰지 검출될 것이다. 즉, 워크 블록(WB)에 대해 검출된 에러 비트 수(nEB)가 리드 리클레임 문턱치(TH1)보다 큰 것으로 판단되면(Yes 방향), 절차는 S490 단계로 이동한다. 반면, 워크 블록(WB)에 대해 검출된 에러 비트 수(nEB)가 리드 리클레임 문턱치(TH1)와 같거나 작은 것으로 판단되면(No 방향), 절차는 S470 단계로 복귀하여 감소된 주기로 에러 비트 수(nEB)의 검출이 수행될 것이다.
- [0106] S490 단계에서, 메모리 컨트롤러(110)는 검출된 에러 비트 수(nEB)가 리드 리클레임 지정 문턱치(TH1)보다 커진 워크 블록(WB)에 대한 리드 리클레임 절차를 진행할 것이다. 메모리 컨트롤러(110)에 의해서 리드 리클레임 블록(RR Block)으로 지정되면, 이후에 리드 리클레임 매니저(112)에 의한 데이터 카피 및 소거 절차가 실행될 것이다.
- [0107] 이상에서는 본 발명의 실시 예에 따른 리드 리클레임 방법이 예시적으로 설명되었다.
- [0108] 도 12는 본 발명의 실시 예에 따른 리드 리클레임 방법의 다른 예를 보여주기 위한 그래프이다. 도 12를 참조하면, 메모리 블록들은 에러 비트 증가율에 따라 적어도 2개 이상의 그룹으로 분류될 수 있고, 각각의 그룹에 대해 서로 다른 리드 리클레임 기준이 적용될 수 있다.
- [0109] 메모리 블록들의 읽기 카운트(RC) 및 검출된 에러 비트 수(nEB)가 검출될 것이다. 즉, 에러 비트 수(nEB)는 특정 읽기 카운트(예를 들면, 랜덤 읽기 카운트)마다 검출될 수 있고, 퍼블록 에러 비트 테이블(116, 도 2 참조)에 업데이트될 것이다. 메모리 블록들에 데이터가 기입된 이후, 읽기 카운트(RC)에 대한 에러 비트 증가율이 특정 구간( $\Delta K$ ) 동안 검출 및 계산될 수 있다. 에러 비트 증가율이 계산된 메모리 블록은 에러 특성에 따라 적어도 2개의 그룹으로 분류될 수 있다. 이 실시 예에서는 예시적으로 3개의 그룹들(WB, NB, SB)로 분류되는 것으로 가정하기로 한다. 하지만, 메모리 블록들은 에러 비트 증가율의 크기에 따라 2개나 4개 이상의 그룹으로 분류될 수 있음은 잘 이해될 것이다.
- [0110] 읽기 카운트(RC)에 대한 에러 비트 증가율은 3개의 메모리 블록들에 대해서 다른 크기로 나타날 수 있다. 그래프의 직선들 각각은 에러 비트 증가율( $\alpha$ )을 갖는 워크 블록(WB), 에러 비트 증가율( $\beta$ ,  $\alpha > \beta$ )의 노말 블록(NB), 그리고 에러 비트 증가율( $\gamma$ ,  $\beta > \gamma$ )을 갖는 스트롱 블록(SB)에 대응할 수 있다. 이들 블록들의 분류는 에러 비트 증가율을 계산하기 위한 구간( $\Delta K$ )에서 수행될 것이다.
- [0111] 에러 특성에 따라 메모리 블록들이 분류가 완료되면, 워크 블록(WB), 노말 블록(NB), 그리고 스트롱 블록(SB)들 각각에 대한 서로 다른 크기의 리드 리클레임 기준들(EB0, EB1, EB2)이 적용될 것이다. 즉, 워크 블록(WB)의 경우, 에러 비트 수(nEB)가 제 1 기준치(EB0) 이상으로 증가하면 리드 리클레임 블록으로 지정될 것이다. 노말 블록(NB)의 경우, 에러 비트 수(nEB)가 제 2 기준치(EB1) 이상으로 증가하면 리드 리클레임 블록으로 지정될 것이다. 스트롱 블록(SB)의 경우, 에러 비트 수(nEB)가 제 3 기준치(EB2) 이상으로 증가하면 리드 리클레임 블록으로 지정될 것이다.
- [0112] 요약하면, 이 실시 예에서는 에러 특성이 다른 메모리 블록들 각각에 대해서 리드 리클레임 블록으로 지정하기 위한 에러 비트 수의 기준치를 다르게 제공할 수 있음을 의미한다. 상술한 리드 리클레임 기준들(EB0, EB1, EB2)을 분류된 그룹에 따라 적용하면, 워크 블록(WB)은  $RN_i$ ( $i$ 는 자연수)번째 읽기 카운트(RC)에서 에러 비트 수가 검출될 것이다. 그리고 이때 검출된 에러 비트의 수가 제 1 기준치(EB0) 이상으로 도달할 것이다. 따라서, 워크 블록(WB)은 읽기 카운트(RC)  $RN_i$ 에서 리드 리클레임 블록으로 지정될 것이다. 반면, 노말 블록(NB)의 에러 비트 수는  $RN_j$ ( $j$ 는 자연수) 번째 읽기 카운트(RC)에서 제 2 기준치(EB1)에 도달할 것이다. 따라서, 노말 블록(NB)은 읽기 카운트(RC)  $RN_j$ 에서 리드 리클레임 블록으로 지정될 것이다. 그리고 스트롱 블록(SB)의 에러 비트 수는  $RN_k$ ( $k$ 는 자연수)번째 읽기 카운트(RC)에서 제 3 기준치(EB2)에 도달할 것이다. 따라서, 노말 블록(NB)은 읽기 카운트(RC)  $RN_k$ 에서 리드 리클레임 블록으로 지정될 것이다.
- [0113] 이상에서는 메모리 블록들 각각에 대한 에러 특성에 따라 리드 리클레임 블록으로 지정하기 위한 기준을 다르게 적용할 수 있음이 설명되었다. 이러한 실시 예에서는 선택된 페이지 이외의 페이지들에 대한 에러 비트 검출 주

기는 변화하지 않는다. 다만, 에러 특성이 나쁜 메모리 블록에 대한 리드 리클레임 기준을 엄밀하게 적용하여 워크 블록의 리드 리클레임 블록으로의 지정 시간을 상대적으로 당길 수 있다.

- [0114] 도 13은 도 12의 실시 예에 따른 리드 리클레임 방법을 보여주는 순서도이다. 도 13을 참조하면, 메모리 블록들의 에러 특성에 따른 분류와, 그리고 각각의 메모리 블록들에 대한 서로 다른 크기의 에러 비트 수를 리드 리클레임 기준으로 적용할 수 있다.
- [0115] S510 단계에서, 데이터가 저장된 메모리 블록의 읽기 카운트(RC)에 대한 에러 비트 증가율(EBIR)이 계산될 것이다. 이러한 에러 비트 증가율(EBIR)은 적어도 2회의 읽기 동작이 발생하면 계산될 수 있다. 하지만, 정확도를 높이기 위하여 3회 이상의 읽기 동작에서 검출된 에러 비트의 수를 참조하여 에러 비트 증가율(EBIR)이 계산될 수 있을 것이다.
- [0116] S520 단계에서, 에러 비트 증가율(EBIR)에 따른 동작 분기가 발생한다. 에러 비트 증가율(EBIR)에 따라 메모리 블록이 워크 블록(WB)으로 분류되면, 절차는 S530 단계로 이동한다. 에러 비트 증가율(EBIR)에 따라 메모리 블록이 노말 블록(NB)으로 분류되면, 절차는 S540 단계로 이동한다. 에러 비트 증가율(EBIR)에 따라 메모리 블록이 스트롱 블록(SB)으로 분류되면, 절차는 S550 단계로 이동한다.
- [0117] S530 단계에서, 리드 리클레임 매니저(112)는 워크 블록(WB)으로 분류된 메모리 블록에 특정된 리드 리클레임 기준을 적용할 것이다. 즉, 워크 블록(WB)으로 분류된 메모리 블록은 에러 비트 수(nEB)가 제 1 기준치(EBO) 이상으로 검출되는 시점에 리드 리클레임 블록으로 지정될 것이다.
- [0118] S540 단계에서, 리드 리클레임 매니저(112)는 노말 블록(NB)으로 분류된 메모리 블록에 특정된 리드 리클레임 기준을 적용할 것이다. 즉, 노말 블록(NB)으로 분류된 메모리 블록은 에러 비트 수(nEB)가 제 2 기준치(EB1) 이상으로 검출되는 시점에 리드 리클레임 블록으로 지정될 것이다.
- [0119] S550 단계에서, 리드 리클레임 매니저(112)는 스트롱 블록(SB)으로 분류된 메모리 블록에 특정된 리드 리클레임 기준을 적용할 것이다. 즉, 스트롱 블록(SB)으로 분류된 메모리 블록은 에러 비트 수(nEB)가 제 3 기준치(EB2) 이상으로 검출되는 시점에 리드 리클레임 블록으로 지정될 것이다.
- [0120] 이상에서는 에러 특성에 따라 메모리 블록들에 대해 서로 다른 리드 리클레임 기준을 적용하는 예가 설명되었다. 이러한 리드 리클레임 방법에 따르면, 에러 비트 증가율이 큰 워크 블록(WB)의 경우 상대적으로 적은 읽기 카운트(RC)에서 리드 리클레임 블록으로 지정될 수 있다. 따라서, 워크 블록(WB)에 대한 읽기 동작시 정정 불가 에러(Uncorrectable Error)의 발생 가능성이 현저히 감소할 것이다.
- [0121] 도 14는 본 발명의 실시 예에 따른 리드 리클레임 방법의 또 다른 예를 보여주기 위한 그래프이다. 도 14를 참조하면, 메모리 블록들은 에러 비트 증가율에 따라 적어도 2개 이상의 그룹으로 분류될 수 있다. 그리고 각각의 그룹들에 대해 리드 리클레임을 위한 서로 다른 읽기 카운트(RC) 기준이 적용될 수 있다.
- [0122] 메모리 블록들에 대한 에러 비트 증가율을 이용한 분류 방법은 도 12에서 상세히 설명되었으므로 이하에서는 생략하기로 한다. 도 12에 설명된 방식에 따라 메모리 블록은 복수의 그룹으로 분류될 수 있다. 이 실시 예에서는 예시적으로 3개의 그룹들(WB, NB, SB)으로 분류되는 것으로 가정하기로 한다.
- [0123] 에러 특성에 따라 메모리 블록들이 분류가 완료되면, 워크 블록(WB), 노말 블록(NB), 그리고 스트롱 블록(SB)들 각각에 대한 서로 다른 크기의 리드 리클레임 기준들(i, j, k)이 적용될 수 있다. 즉, 워크 블록(WB)은 읽기 카운트(RC)가 제 1 읽기 카운트(i) 이상으로 증가한 시점부터 리드 리클레임 블록으로 지정될 수 있다. 노말 블록(NB)의 경우, 읽기 카운트(RC)의 크기가 제 2 읽기 카운트(j) 이상으로 증가하면 리드 리클레임 블록으로 지정될 것이다. 스트롱 블록(SB)의 경우, 읽기 카운트(RC)의 크기가 제 2 읽기 카운트(j) 이상으로 증가하면 리드 리클레임 블록으로 지정될 것이다.
- [0124] 요약하면, 이 실시 예에서는 에러 특성이 다른 메모리 블록들 각각에 대해서 리드 리클레임 블록으로 지정하기 위한 읽기 카운트의 크기를 다르게 제공할 수 있음을 의미한다. 상술한 리드 리클레임을 위한 읽기 카운트 기준들(i, j, k)을 분류된 그룹에 따라 적용하면, 워크 블록(WB)에 대한 리드 리클레임 지정이 상대적으로 빨라질 수 있다. 따라서, 에러 특성이 나쁜 블록에 대해서 정정 불가 에러(Uncorrectable Error)에 의한 읽기 오류의 발생을 방지할 수 있다.
- [0125] 도 15는 도 14의 실시 예에 따른 리드 리클레임 방법을 보여주는 순서도이다. 도 15를 참조하면, 메모리 블록들의 에러 특성에 따른 분류와, 그리고 분류된 메모리 블록들에 대한 서로 다른 크기의 리드 리클레임 기준이 적

용될 수 있다.

- [0126] S610 단계에서, 데이터가 저장된 메모리 블록의 읽기 카운트(RC)에 대한 에러 비트 증가율(Rate of Increase in Error Bit: 이하, EBIR)이 계산될 것이다. 이러한 에러 비트 증가율(EBIR)은 적어도 2회의 읽기 동작이 발생하면 계산될 수 있다. 하지만, 정확도를 높이기 위하여 3회 이상의 읽기 동작에서 검출된 에러 비트의 수를 참조하여 에러 비트 증가율(EBIR)이 계산될 수 있을 것이다.
- [0127] S620 단계에서, 에러 비트 증가율(EBIR)에 따른 동작 분기가 발생한다. 에러 비트 증가율(EBIR)에 따라 메모리 블록이 워크 블록(WB)으로 분류되면, 절차는 S630 단계로 이동한다. 에러 비트 증가율(EBIR)에 따라 메모리 블록이 노말 블록(NB)으로 분류되면, 절차는 S640 단계로 이동한다. 에러 비트 증가율(EBIR)에 따라 메모리 블록이 스트롱 블록(SB)으로 분류되면, 절차는 S650 단계로 이동한다.
- [0128] S630 단계에서, 리드 리클레임 매니저(112)는 워크 블록(WB)으로 분류된 메모리 블록에 특정된 리드 리클레임 기준을 적용할 것이다. 즉, 워크 블록(WB)으로 분류된 메모리 블록은 읽기 카운트(RC)의 크기가 제 1 읽기 카운트(i, 도 14 참조) 이상으로 검출되는 시점에 리드 리클레임 블록으로 지정될 것이다.
- [0129] S640 단계에서, 리드 리클레임 매니저(112)는 노말 블록(NB)으로 분류된 메모리 블록에 특정된 리드 리클레임 기준을 적용할 것이다. 즉, 노말 블록(NB)으로 분류된 메모리 블록은 읽기 카운트(RC)의 크기가 제 2 읽기 카운트(j, 도 14 참조) 이상으로 검출되는 시점에 리드 리클레임 블록으로 지정될 것이다.
- [0130] S650 단계에서, 리드 리클레임 매니저(112)는 스트롱 블록(SB)으로 분류된 메모리 블록에 특정된 리드 리클레임 기준을 적용할 것이다. 즉, 스트롱 블록(SB)으로 분류된 메모리 블록은 읽기 카운트(RC)의 크기가 제 3 읽기 카운트(k, 도 14 참조) 이상으로 검출되는 시점에 리드 리클레임 블록으로 지정될 것이다.
- [0131] 이상에서는 에러 특성에 따라 메모리 블록들에 대해 서로 다른 리드 리클레임 기준을 적용하는 예가 설명되었다. 이러한 리드 리클레임 방법에 따르면, 에러 비트 증가율이 큰 워크 블록(WB)의 경우 상대적으로 적은 읽기 카운트(RC)에서 리드 리클레임 블록으로 지정될 수 있다. 따라서, 워크 블록(WB)에 대한 읽기 동작시 정정 불가 에러(Uncorrectable Error)의 발생 가능성이 현저히 감소할 수 있다.
- [0132] 앞서 설명된 도 12에서는 리드 리클레임 블록으로 지정하기 위한 에러 비트의 수를 메모리 블록의 특성에 따라 다르게 적용하는 예가 설명되었다. 그리고 도 14에서는 메모리 블록들 각각의 에러 특성에 따라 리드 리클레임 블록으로 지정하기 위한 읽기 카운트의 크기를 다르게 적용하는 예가 설명되었다. 바람직하게는 도 12의 방식이나 도 14의 방식을 혼합하여 리드 리클레임 블록의 지정이 이루어질 수도 있음은 잘 이해될 것이다.
- [0133] 도 16은 본 발명의 다른 실시 예에 따른 스토리지 장치를 간략히 보여주는 블록도이다. 도 16을 참조하면, 스토리지 장치(200)는 메모리 컨트롤러(210)와 불휘발성 메모리 장치(220)를 포함한다. 불휘발성 메모리 장치(220)는 실질적으로 도 1의 불휘발성 메모리 장치(120)와 동일하므로 이것에 대한 구체적인 설명은 생략하기로 한다.
- [0134] 메모리 컨트롤러(210)는 에러 비트 증가율이 큰 워크 블록(WB)에 대한 정보를 생성 및 유지할 수 있다. 더불어, 메모리 컨트롤러(210)는 워크 블록(WB)에 대해서 도 1 내지 도 15에서 설명한 리드 리클레임 방식에 따라 관리할 수도 있을 것이다. 특히, 메모리 컨트롤러(210)는 워크 블록(WB)에 대한 정보를 사용하여 쓰기 요청되는 데이터의 패턴에 따라 메모리 블록을 할당할 수 있다.
- [0135] 메모리 컨트롤러(210)는 앞서 설명한 메모리 컨트롤러(110)와 실질적으로 동일한 방식에 따라 메모리 블록들의 에러 특성을 검출할 수 있다. 특히, 에러 비트 증가율(EBIR)의 검출에 따라 워크 블록(WB)이 결정될 수 있다. 메모리 컨트롤러(210)는 워크 블록에 대한 정보(215)를 리드 리클레임 동작 이외의 동작에서도 사용할 수 있다. 예를 들면, 메모리 컨트롤러(210)는 데이터 쓰기 동작에서 특정 쓰기 패턴의 데이터를 워크 블록에 기입하도록 블록 할당을 수행할 수 있을 것이다. 동일한 논리 어드레스로 빈번하게 업데이트되거나 기입되는 데이터를 핫 데이터(Hot data)라 칭하기로 하자. 메모리 컨트롤러(210)는 이러한 핫 데이터를 워크 블록(WB)에 기입되도록 블록 할당 또는 어드레스 매핑을 수행할 수 있을 것이다.
- [0136] 도 17은 워크 블록 정보를 사용한 데이터 쓰기 방법을 간략히 보여주는 순서도이다. 도 17을 참조하면, 워크 블록(WB)은 특정 패턴(예를 들면, 핫 데이터)의 데이터를 기입하기 위한 메모리 블록으로 할당될 수 있다.
- [0137] S710 단계에서, 메모리 컨트롤러(210)는 호스트로부터 쓰기 요청을 수신할 것이다.
- [0138] S720 단계에서, 메모리 컨트롤러(210)는 쓰기 요청된 데이터의 속성 또는 패턴을 결정할 것이다. 메모리 컨트롤러(210)는 쓰기 요청된 논리 어드레스(Logical Address)를 참조하여, 쓰기 요청된 데이터의 패턴이나 속성을 결

정할 수 있다. 예를 들면, 빈번하게 업데이트되거나 정정되는 데이터들은 핫 데이터로 판단될 수 있다. 이러한 핫 데이터(Hot data)와 콜드 데이터(Cold data)의 식별 기준은 데이터 속성을 결정하기 위한 다양한 알고리즘에 따라 변경될 수 있을 것이다.

- [0139] S730 단계에서, 데이터의 속성에 따라 동작 분기가 발생할 수 있다. 만일, 쓰기 요청된 데이터가 핫 데이터(Hot data)로 판단된 경우라면(Yes 방향), 절차는 S740 단계로 이동한다. 반면, 쓰기 요청된 데이터가 핫 데이터(Hot data)가 아닌 것으로 판단된 경우라면(No 방향), 절차는 S750 단계로 이동할 것이다.
- [0140] S740 단계에서, 메모리 컨트롤러(210)는 쓰기 요청된 데이터를 기입하기 위한 메모리 블록으로 워크 블록(WB)을 할당할 수 있다. 워크 블록(WB)에 대한 어드레스 정보는 메모리 컨트롤러(210)에서 지속적으로 유지 또는 업데이트될 것이다.
- [0141] S750 단계에서, 메모리 컨트롤러(210)는 쓰기 요청된 데이터를 기입하기 위한 메모리 블록으로 워크 블록(WB)이 아닌 노말 블록(NB)이나 스트롱 블록(SB)을 할당할 수 있다.
- [0142] 이상에서는 워크 블록(WB) 정보를 사용한 데이터 쓰기 방법이 설명되었다. 메모리 컨트롤러(210)에 의해서 쓰기 요청된 데이터의 속성이나 패턴이 검출되고, 특정 속성이나 패턴의 데이터가 워크 블록(WB)에 저장될 수 있을 것이다. 빈번하게 변경되는 핫 데이터(Hot data)가 저장되는 경우, 덮어쓰기 불가능 플래시 메모리 장치의 특성에 따라 소거 시점이 빨라질 것이다. 따라서, 핫 데이터를 워크 블록에 기입하는 경우, 읽기 교란(Read disturbance)과 같은 문제로 야기되는 에러 비트 증가를 고려할 필요가 없어지게 된다.
- [0143] 도 18은 워크 블록 정보를 사용한 데이터 쓰기 방법의 다른 예를 보여주는 순서도이다. 도 18을 참조하면, 워크 블록(WB)은 특정 속성의 데이터(예를 들면, 메타 데이터)를 기입하기 위한 메모리 블록으로 할당될 수 있다. 그리고 선택된 워크 블록에는 싱글 레벨 셀(Single Level Cell: SLC) 방식에 따라 데이터가 기입될 수 있을 것이다.
- [0144] S810 단계에서, 메모리 컨트롤러(210)는 호스트로부터 쓰기 요청을 수신할 것이다.
- [0145] S820 단계에서, 메모리 컨트롤러(210)는 쓰기 요청된 데이터의 속성을 결정할 것이다. 메모리 컨트롤러(210)는 쓰기 요청된 데이터의 속성을 다양한 정보를 참조하여 결정할 수 있다. 예를 들면, 메모리 컨트롤러(210)는 호스트로부터 제공되는 태그(Tag)나, 다양한 속성 정보를 참조하여 데이터 속성을 검출할 수 있다. 이하에서는 메타 데이터(Meta data)인지의 여부를 데이터 속성의 예로 사용하기로 한다.
- [0146] S830 단계에서, 데이터의 속성에 따라 동작 분기가 발생할 수 있다. 만일, 쓰기 요청된 데이터가 메타 데이터(Meta data)로 판단된 경우라면(Yes 방향), 절차는 S840 단계로 이동한다. 반면, 쓰기 요청된 데이터가 메타 데이터(Meta data)가 아닌 것으로 판단된 경우라면(No 방향), 절차는 S860 단계로 이동할 것이다.
- [0147] S840 단계에서, 메모리 컨트롤러(210)는 쓰기 요청된 데이터를 기입하기 위한 메모리 블록으로 워크 블록(WB)을 할당할 수 있다. 워크 블록(WB)에 대한 어드레스 정보는 메모리 컨트롤러(210)에서 지속적으로 유지 또는 업데이트될 것이다.
- [0148] S850 단계에서, 메모리 컨트롤러(210)는 쓰기 요청된 데이터를 선택된 워크 블록(WB)에 SLC 쓰기 모드로 기입한다.
- [0149] S860 단계에서, 메모리 컨트롤러(210)는 쓰기 요청된 데이터를 기입하기 위한 메모리 블록으로 노말 블록(NB)이나 스트롱 블록(SB)을 할당할 수 있다.
- [0150] S870 단계에서, 메모리 컨트롤러(210)는 쓰기 요청된 데이터를 선택된 메모리 블록에 MLC(Multi-Level Cell) 쓰기 모드로 기입한다.
- [0151] 도 19는 워크 블록 정보를 사용한 데이터 쓰기 방법의 다른 예를 보여주는 순서도이다. 도 19를 참조하면, 메모리 컨트롤러(210)는 프리 블록(Free block)의 수가 부족한 경우, 긴급하게 가비지 컬렉션이나 머지 동작(Merge operation)을 수행해야 하는 상황에서 우선적으로 워크 블록이 머지 대상으로 제공될 수 있다. 좀더 구체적으로 설명하면 다음과 같다.
- [0152] S910 단계에서, 메모리 컨트롤러(210)는 호스트로부터 쓰기 요청을 수신할 것이다.
- [0153] S920 단계에서, 메모리 컨트롤러(210)는 쓰기 요청된 데이터를 기입할 메모리 블록을 선택하기 위해, 프리 블록들의 상태를 체크할 것이다. 예를 들면, 메모리 컨트롤러(210)는 프리 블록 풀(Free block pool)에 즉시 사용

가능한 프리 블록이 충분한지 검출할 수 있다.

- [0154] S930 단계에서, 메모리 컨트롤러(210)는 가비지 컬렉션(Garbage Collection: 이하, GC)이 필요한지 판단한다. 예를 들면, 가용한 프리 블록의 수가 충분하지 못한 경우에는 프리 블록의 수를 확보하기 위한 신속한 가비지 컬렉션이 수행되어야 한다. 만일, 가비지 컬렉션(GC)이 필요한 것으로 판단되면, 절차는 S940 단계로 이동한다. 반면, 프리 블록의 수가 충분한 것으로 판단되면, 절차는 S960 단계로 이동한다.
- [0155] S940 단계에서, 메모리 컨트롤러(210)는 가비지 컬렉션을 위해 머지할 메모리 블록의 후보로 워크 블록(WB)을 우선적으로 할당할 것이다.
- [0156] S950 단계에서, 메모리 컨트롤러(210)는 가비지 컬렉션을 위해서 선택된 워크 블록에 저장된 데이터를 카피하고, 워크 블록에 대한 소거 동작을 수행할 수 있다. 그리고 소거된 워크 블록(WB)을 프리 블록(Free block)으로 지정할 것이다.
- [0157] S960 단계에서, 메모리 컨트롤러(210)는 가비지 컬렉션(GC)의 수행없이 프리 블록 풀(Free block pool)에 존재하는 임의의 블록을 데이터를 기입할 메모리 블록으로 선택할 것이다.
- [0158] 이상의 도 16 내지 도 19를 통해서 워크 블록 정보를 활용하는 다양한 실시 예들이 설명되었다. 하지만, 워크 블록 정보의 활용 예는 여기에만 국한되지 않으며 다양한 변경이 가능함을 잘 이해될 것이다.
- [0159] 도 20은 본 발명의 또 다른 실시 예에 따른 스토리지 장치를 간략히 보여주는 블록도이다. 도 20을 참조하면, 스토리지 장치(300)는 메모리 컨트롤러(310)와 불휘발성 메모리 장치(320)를 포함한다. 불휘발성 메모리 장치(320)는 실질적으로 도 1 또는 도 16의 불휘발성 메모리 장치(120, 220)와 동일하므로 이것에 대한 구체적인 설명은 생략하기로 한다.
- [0160] 메모리 컨트롤러(310)는 에러 비트 증가율(EBIR)이 큰 워크 블록(WB)에 대한 어드레스 정보를 생성 및 유지할 수 있다. 메모리 컨트롤러(310)는 워크 블록(WB)에 대해서 도 1 내지 도 15에서 설명한 방식들 중 어느 하나에 따라 리드 리클레임 동작을 수행할 수 있다. 특히, 메모리 컨트롤러(310)는 쓰기 요청된 데이터의 속성에 따라 워크 블록 또는 노말 블록을 할당할 수 있다. 데이터의 속성은 호스트로부터 제공되는 데이터 태그(Tag)에 포함될 수 있을 것이다.
- [0161] 메모리 컨트롤러(310)는 호스트로부터 제공되는 쓰기 요청 또는 명령어에 포함되는 데이터 태그(Tag)를 참조하여 데이터의 속성이나 패턴 정보를 획득할 수 있다. 메모리 컨트롤러(310)는 데이터 태그(Tag)를 통해서 검출된 데이터 속성 또는 데이터 패턴에 따라 쓰기 요청된 데이터를 기입할 메모리 블록을 선택할 수 있다. 이때, 데이터 태그(Tag)에 담긴 데이터의 속성 또는 패턴은 핫 데이터인지의 여부 또는 시퀀셜 패턴인지 또는 랜덤 패턴인지의 정보일 수 있을 것이다. 하지만, 데이터 태그(Tag)에 담긴 정보는 여기의 개시에만 국한되는 것은 아니며, 다양한 정보가 포함될 수 있음은 잘 이해될 것이다.
- [0162] 예를 들어, 데이터 태그(Tag)에 쓰기 요청된 데이터의 속성이 핫 데이터인 경우, 메모리 컨트롤러(310)는 쓰기 요청된 데이터를 저장하기 위한 메모리 블록으로 워크 블록(WB)을 선택할 수 있을 것이다.
- [0163] 도 21은 호스트의 힌트 정보를 참조한 메모리 블록의 할당 방법을 보여주는 순서도이다. 도 21을 참조하면, 호스트로부터 제공되는 데이터 태그(Data Tag)를 참조하여 워크 블록(WB) 또는 노말 블록(NB)을 할당할 수 있다.
- [0164] S1010 단계에서, 메모리 컨트롤러(310)는 호스트로부터 쓰기 요청을 수신할 것이다. 이때, 호스트로부터 제공되는 쓰기 명령어나 어드레스 또는 데이터에는 쓰기 요청된 데이터의 속성이나 패턴을 규정한 데이터 태그(Data Tag)가 포함될 수 있을 것이다.
- [0165] S1020 단계에서, 메모리 컨트롤러(310)는 쓰기 요청된 데이터의 속성 또는 패턴을 데이터 태그(Data tag)를 통해서 결정할 것이다.
- [0166] S1030 단계에서, 데이터의 속성에 따라 동작 분기가 발생할 수 있다. 만일, 쓰기 요청된 데이터가 핫 데이터(Hot data)로 판단된 경우라면(Yes 방향), 절차는 S1040 단계로 이동한다. 반면, 쓰기 요청된 데이터가 핫 데이터(Hot data)가 아닌 것으로 판단된 경우라면(No 방향), 절차는 S1050 단계로 이동할 것이다.
- [0167] S1040 단계에서, 메모리 컨트롤러(310)는 쓰기 요청된 데이터를 기입하기 위한 메모리 블록으로 워크 블록(WB)을 할당할 수 있다. 워크 블록(WB)에 대한 어드레스 정보는 메모리 컨트롤러(310)에서 지속적으로 유지 또는 업데이트될 것이다.

- [0168] S1050 단계에서, 메모리 컨트롤러(310)는 쓰기 요청된 데이터를 기입하기 위한 메모리 블록으로 워크 블록(WB)이 아닌 노말 블록(NB)이나 스트롱 블록(SB)을 할당할 수 있다.
- [0169] 이상에서는 워크 블록(WB) 정보를 사용한 데이터 쓰기 방법이 설명되었다. 호스트로부터 제공되는 데이터 태그(Data tag)를 참조하여 쓰기 요청된 데이터의 속성이나 패턴이 검출되고, 특정 속성이나 패턴의 데이터가 워크 블록(WB)에 저장될 수 있을 것이다.
- [0170] 도 22는 본 발명의 다른 실시 예에 따른 사용자 시스템을 보여주는 블록도이다. 도 22를 참조하면, 사용자 시스템(400)은 호스트(410) 및 불휘발성 메모리 장치(420)를 포함한다. 호스트(410)는 코어(412), 워킹 메모리(414), 그리고 메모리 인터페이스(416)를 포함할 수 있다. 저장 장치(420)는 마이크로 컨트롤러(422) 및 불휘발성 메모리 장치(424)를 포함할 수 있다. 여기서, 저장 장치는 PPN(Perfect Page New) 장치로 제공될 수 있을 것이다.
- [0171] 호스트(410)의 코어(412)는 워킹 메모리(414)에 로드된 다양한 응용 프로그램이나 데이터를 처리할 수 있다. 워킹 메모리(414)에는 응용 프로그램 및 운영체제와 같은 소프트웨어가 로드된다. 특히, 워킹 메모리(414)에 로드되는 운영체제 상에는 본 발명의 리드 리클레임 매니저(415)와 비선택 읽기 매니저(417)와 같은 알고리즘 또는 소프트웨어 모듈들이 로드될 수 있다.
- [0172] 메모리 인터페이스(416)는 코어(412)에 의해서 접근 요청되는 메모리 주소를 물리 주소로 변경할 수 있다. 메모리 인터페이스(416)는 예를 들면 플래시 변환 계층(FTL)의 기능을 수행할 수 있을 것이다.
- [0173] 리드 리클레임 매니저(415) 및 비선택 읽기 매니저(417)에 의해서 호스트(410)는 저장 장치(420)의 메모리 블록들을 에러 비트 증가율에 따라 분류할 수 있다. 그리고 워크 블록으로 분류된 메모리 블록에 대해서 고정된 에러 비트 검출 주기로 관리하고, 특정 문턱치를 이상의 에러 비트 수가 검출되면, 리드 리클레임 블록으로 지정할 수 있다.
- [0174] 저장 장치(420)는 마이크로 컨트롤러(422)와 불휘발성 메모리 장치(424)를 포함할 수 있다. 마이크로 컨트롤러(422)는 호스트(410)로부터 제공되는 명령어(CMD), 주소(ADDR), 제어 신호들(CTRLs), 그리고 데이터(Data)를 불휘발성 메모리 장치(424)에 전달할 수 있다.
- [0175] 도 23은 도 1, 도 4, 도 16, 도 20, 그리고 도 22의 메모리 셀 어레이에 포함된 메모리 블록들 중 제 1 메모리 블록(BLK1)의 예를 보여주는 회로도이다. 예시적으로, 도 23을 참조하여 3차원 구조의 제 1 메모리 블록(BLK1)이 설명된다. 그러나, 본 발명의 범위가 이에 한정되는 것은 아니며, 불휘발성 메모리 장치들(120, 220, 320, 420) 각각에 포함된 다른 메모리 블록들 또한 제 1 메모리 블록(BLK1)과 유사한 구조를 가질 수 있다.
- [0176] 도 23을 참조하면, 제 1 메모리 블록(BLK1)은 복수의 셀 스트링들(CS11, CS12, CS21, CS22)을 포함한다. 복수의 셀 스트링들(CS11, CS12, CS21, CS22)은 행 방향(row direction) 및 열 방향(column direction)을 따라 배치되어 행들 및 열들을 형성할 수 있다.
- [0177] 예를 들어, 셀 스트링들(CS11, CS12)은 스트링 선택 라인들(SSL1a, SSL1b)와 연결되어, 제 1 행을 형성할 수 있다. 셀 스트링들(CS21, CS22)은 스트링 선택 라인들(SSL2a, SSL2b)과 연결되어 제 2 행을 형성할 수 있다. 예를 들어, 셀 스트링들(CS11, CS21)은 제 1 비트 라인(BL1)과 연결되어 제 1 열을 형성할 수 있다. 셀 스트링들(CS12, CS22)은 제 2 비트 라인(BL2)과 연결되어 제 2 열을 형성할 수 있다.
- [0178] 복수의 셀 스트링들(CS11, CS12, CS21, CS22) 각각은 복수의 셀 트랜지스터들을 포함한다. 예를 들어, 복수의 셀 스트링들(CS11, CS12, CS21, CS22) 각각은 스트링 선택된 트랜지스터들(SSTa, SSTb), 복수의 메모리 셀들(MC1~MC8), 접지 선택된 트랜지스터들(GSTa, GSTb), 및 더미 메모리 셀들(DMC1, DMC2)을 포함할 수 있다. 예시적으로, 복수의 셀 스트링들(CS11, CS12, CS21, CS22)에 포함된 복수의 셀 트랜지스터들 각각은 전하 트랩형 플래시(CTF; charge trap flash) 메모리 셀일 수 있다.
- [0179] 복수의 메모리 셀들(MC1~MC8)은 직렬 연결되며, 행 방향 및 열 방향에 의해 형성된 평면에 수직 방향인 높이 방향(height direction)으로 적층된다. 스트링 선택된 트랜지스터들(SSTa, SSTb)은 직렬 연결되고, 직렬 연결된 스트링 선택된 트랜지스터들(SSTa, SSTb)은 복수의 메모리 셀들(MC1~MC8) 및 비트 라인(BL) 사이에 제공된다. 접지 선택된 트랜지스터들(GSTa, GSTb)은 직렬 연결되고, 직렬 연결된 접지 선택된 트랜지스터들(GSTa, GSTb)은 복수의 메모리 셀들(MC1~MC8) 및 공통 소스 라인(CSL) 사이에 제공된다.
- [0180] 예시적으로, 복수의 메모리 셀들(MC1~MC8) 및 접지 선택된 트랜지스터들(GSTa, GSTb) 사이에 제 1 더미 메모리 셀(DMC1)이 제공될 수 있다. 예시적으로, 복수의 메모리 셀들(MC1~MC8) 및 스트링 선택된 트랜지스터들(SSTa,

SSTb) 사이에 제 2 더미 메모리 셀(DMC2)이 제공될 수 있다.

- [0181] 셀 스트링들(CS11, CS12, CS21, CS22)의 접지 선택된 트랜지스터들(GSTa, GSTb)은 접지 선택 라인(GSL)에 공통으로 연결될 수 있다. 예시적으로, 동일한 행의 접지 선택된 트랜지스터들은 동일한 접지 선택 라인에 연결될 수 있고, 다른 행의 접지 선택된 트랜지스터들은 다른 접지 선택 라인에 연결될 수 있다. 예를 들어, 제 1 행의 셀 스트링들(CS11, CS12)의 제 1 접지 선택된 트랜지스터들(GSTa)은 제 1 접지 선택 라인에 연결될 수 있고, 제 2 행의 셀 스트링들(CS21, CS22)의 제 1 접지 선택된 트랜지스터들(GSTa)은 제 2 접지 선택 라인에 연결될 수 있다.
- [0182] 예시적으로, 도면에 도시되지는 않았으나, 기판(미도시)으로부터 동일한 높이에 제공되는 접지 선택된 트랜지스터들은 동일한 접지 선택 라인에 연결될 수 있고, 다른 높이에 제공되는 접지 선택된 트랜지스터들은 다른 접지 선택 라인에 연결될 수 있다. 예를 들어, 셀 스트링들(CS11, CS12, CS21, CS22)의 제 1 접지 선택된 트랜지스터들(GSTa)은 제 1 접지 선택 라인에 연결되고, 제 2 접지 선택 트랜지스터들(GSTb)은 제 2 접지 선택 라인에 연결될 수 있다.
- [0183] 기판(또는 접지 선택된 트랜지스터(GSTa, GSTb)로부터 동일한 높이의 메모리 셀들은 동일한 워드 라인에 공통으로 연결되고, 서로 다른 높이의 메모리 셀들은 서로 다른 워드 라인에 연결된다. 예를 들어, 셀 스트링들(CS11, CS12, CS21, CS22)의 제 1 내지 제 8 메모리 셀들(MC8)은 제 1 내지 제 8 워드 라인들(WL1~WL8)에 각각 공통으로 연결된다.
- [0184] 동일한 높이의 제 1 스트링 선택된 트랜지스터들(SSTa) 중 동일한 행의 스트링 선택된 트랜지스터들은 동일한 스트링 선택 라인에 연결되고, 다른 행의 스트링 선택된 트랜지스터들은 다른 스트링 선택 라인에 연결된다. 예를 들어, 제 1 행의 셀 스트링들(CS11, CS12)의 제 1 스트링 선택된 트랜지스터들(SSTa)은 스트링 선택 라인(SSL1a)과 공통으로 연결되고, 제 2 행의 셀 스트링들(CS21, CS22)의 제 1 스트링 선택된 트랜지스터들(SSTa)은 스트링 선택 라인(SSL1a)과 공통으로 연결된다.
- [0185] 마찬가지로, 동일한 높이의 제 2 스트링 선택된 트랜지스터들(SSTb) 중 동일한 행의 스트링 선택된 트랜지스터들은 동일한 스트링 선택 라인에 연결되고, 다른 행의 스트링 선택된 트랜지스터들은 다른 스트링 선택 라인에 연결된다. 예를 들어, 제 1 행의 셀 스트링들(CS11, CS12)의 제 2 스트링 선택된 트랜지스터들(SSTb)은 스트링 선택 라인(SSL1b)과 공통으로 연결되고, 제 2 행의 셀 스트링들(CS21, CS22)의 제 2 스트링 선택된 트랜지스터들(SSTb)은 스트링 선택 라인(SSL2b)과 공통으로 연결된다.
- [0186] 비록 도면에 도시되지는 않았으나, 동일한 행의 셀 스트링들의 스트링 선택된 트랜지스터들은 동일한 스트링 선택 라인에 공통으로 연결될 수 있다. 예를 들어, 제 1 행의 셀 스트링들(CS11, CS12)의 제 1 및 제 2 스트링 선택된 트랜지스터들(SSTa, SSTb)은 동일한 스트링 선택 라인에 공통으로 연결될 수 있다. 제 2 행의 셀 스트링들(CS21, CS22)의 제 1 및 제 2 스트링 선택된 트랜지스터들(SSTa, SSTb)은 동일한 스트링 선택 라인에 공통으로 연결될 수 있다.
- [0187] 예시적으로, 동일한 높이의 더미 메모리 셀들은 동일한 더미 워드 라인에 연결되고, 다른 높이의 더미 메모리 셀들은 다른 더미 워드 라인에 연결된다. 예를 들어, 제 1 더미 메모리 셀들(DMC1)은 제 1 더미 워드 라인(DWL1)과 연결되고, 제 2 더미 메모리 셀들(DMC2)은 제 2 더미 워드라인(DWL2)과 연결된다.
- [0188] 제 1 메모리 블록(BLK1)에서, 읽기 및 쓰기는 행 단위로 수행될 수 있다. 예를 들어, 스트링 선택 라인들(SSL1a, SSL1b, SSL2a, SSL2b)에 의해 메모리 블록(BLK1)의 하나의 행이 선택될 수 있다. 예를 들어, 스트링 선택 라인들(SSL1a, SSL1b)이 턴-온 전압이 공급되고 스트링 선택 라인들(SSL2a, SSL2b)에 턴-오프 전압이 공급될 때, 제 1 행의 셀 스트링들(CS11, CS12)이 비트 라인들(BL1, BL2)에 연결된다. 스트링 선택 라인들(SSL2a, SSL2b)에 턴-온 전압이 공급되고 스트링 선택 라인들(SSL1a, SSL1b)에 턴-오프 전압이 공급될 때, 제 2 행의 셀 스트링들(CS21, CS22)이 비트 라인들(BL1, BL2)에 연결되어 구동된다. 워드 라인을 구동함으로써 구동되는 행의 셀 스트링의 메모리 셀들 중 동일한 높이의 메모리 셀들이 선택된다. 선택된 메모리 셀들에서 읽기 및 쓰기 동작이 수행될 수 있다. 선택된 메모리 셀들은 물리 페이지 단위를 형성할 수 있다.
- [0189] 제 1 메모리 블록(BLK1)에서, 소거는 메모리 블록 단위 또는 서브 블록의 단위로 수행될 수 있다. 메모리 블록 단위로 소거가 수행될 때, 제 1 메모리 블록(BLK1)의 모든 메모리 셀들(MC)이 하나의 소거 요청에 따라 동시에 소거될 수 있다. 서브 블록의 단위로 수행될 때, 제 1 메모리 블록(BLK1)의 메모리 셀들(MC) 중 일부는 하나의 소거 요청에 따라 동시에 소거되고, 나머지 일부는 소거 금지될 수 있다. 소거되는 메모리 셀들에 연결된 워드 라인에 저전압(예를 들어, 접지 전압)이 공급되고, 소거 금지된 메모리 셀들에 연결된 워드 라인은 플로팅될 수

있다.

- [0190] 도 23에 도시된 제 1 메모리 블록(BLK1)은 예시적인 것이며, 셀 스트링들의 개수는 증가 또는 감소할 수 있으며, 셀 스트링들의 개수에 따라 셀 스트링들이 구성하는 행들 및 열들의 개수는 증가 또는 감소할 수 있다. 또한, 제 1 메모리 블록(BLK1)의 셀 트랜지스터들(GST, MC, DMC, SST 등)의 개수들은 각각 증가 또는 감소될 수 있으며, 셀 트랜지스터들의 개수들에 따라 제 1 메모리 블록(BLK1)의 높이가 증가 또는 감소할 수 있다. 또한, 셀 트랜지스터들의 개수들에 따라 셀 트랜지스터들과 연결된 라인들(GSL, WL, DWL, SSL 등)의 개수들이 증가 또는 감소될 수 있다.
- [0191] 제 1 메모리 블록(BLK1)의 워드 라인(WL5)에 연결된 메모리 셀들이 선택되면, 주변의 워드 라인들(WL1~WL4, WL6~WL8) 중 적어도 하나에 대해서는 비선택 읽기 동작이 적용될 수 있다. 특히, 선택 워드 라인(WL5)에 인접한 워드 라인들에는 상대적으로 높은 레벨의 비선택 읽기 전압(Vread2>Vread1)이 제공됨에 따라 더 큰 읽기 교란의 영향을 받을 수 있다. 본 발명의 리드 리클레임 방법에 따르면, 제 1 메모리 블록(BLK1)이 워크 블록으로 체크 되면, 제 1 메모리 블록(BLK1)에 대한 비선택 읽기 동작의 주기는 랜덤 주기에서 고정 주기로 변경될 것이다. 또는, 제 1 메모리 블록(BLK1)에 대한 리드 리클레임 기준이 다른 노말 블록과는 다르게 관리될 수 있다.
- [0192] 도 24는 본 발명의 실시 예들에 따른 불휘발성 메모리 시스템이 적용된 메모리 카드 시스템을 보여주는 블록도이다. 도 17을 참조하면, 메모리 카드 시스템(1000)은 메모리 컨트롤러(1100), 불휘발성 메모리(1200), 및 커넥터(1300)를 포함한다.
- [0193] 메모리 컨트롤러(1100)는 불휘발성 메모리(1200)와 연결된다. 메모리 컨트롤러(1100)는 불휘발성 메모리(1200)를 액세스하도록 구성된다. 예를 들어, 메모리 컨트롤러(1100)는 불휘발성 메모리(1200)의 읽기, 쓰기, 소거, 그리고 배경(background) 동작을 제어하도록 구성된다. 배경(background) 동작은 마모도 관리, 가비지 콜렉션 등과 같은 동작들을 포함한다. 예시적으로, 메모리 컨트롤러(1100)는 도 1 내지 도 21을 참조하여 설명된 메모리 컨트롤러(110, 210, 310)와 동일한 제어 동작을 수행할 수 있다. 즉, 메모리 컨트롤러(1100)는 불휘발성 메모리 장치(1200)의 메모리 블록들의 읽기 카운트(RC)에 따른 에러 비트 증가율을 계산하여 워크 블록을 선택할 수 있다. 그리고 메모리 컨트롤러(1100)는 선택된 워크 블록에 대해서 다른 메모리 블록과는 다른 기준(에러 비트 수 또는 읽기 카운트)에 따라 리드 리클레임 블록으로 지정할 수 있을 것이다.
- [0194] 메모리 컨트롤러(1100)는 불휘발성 메모리(1200) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 메모리 컨트롤러(1100)는 불휘발성 메모리(1200)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다. 예시적으로, 메모리 컨트롤러(1100)는 램(RAM, Random Access Memory), 프로세싱 유닛(processing unit), 호스트 인터페이스(host interface), 메모리 인터페이스(memory interface), 에러 정정부와 같은 구성 요소들을 포함할 수 있다.
- [0195] 메모리 컨트롤러(1100)는 커넥터(1300)를 통해 외부 장치와 통신할 수 있다. 메모리 컨트롤러(1100)는 특정한 통신 규격에 따라 외부 장치(예를 들어, 호스트)와 통신할 수 있다. 예시적으로, 메모리 컨트롤러(1100)는 USB (Universal Serial Bus), MMC (multimedia card), eMMC(embedded MMC), PCI (peripheral component interconnection), PCI-E (PCI-express), ATA (Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI (small computer small interface), ESDI (enhanced small disk interface), IDE (Integrated Drive Electronics), 파이어와이어(Firewire), UFS(Universal Flash Storage), NVMe (Nonvolatile Memory express) 등과 같은 다양한 통신 규격들 중 적어도 하나를 통해 외부 장치와 통신하도록 구성된다. 예시적으로, 상술된 통신 규격들에 의해 정의된 쓰기 커맨드는 쓰기 데이터의 사이즈 정보를 포함할 수 있다.
- [0196] 불휘발성 메모리(1200)는 EPROM (Electrically Erasable and Programmable ROM), 낸드 플래시 메모리, 노어 플래시 메모리, PRAM (Phase-change RAM), ReRAM (Resistive RAM), FRAM (Ferroelectric RAM), STT-MRAM(Spin-Torque Magnetic RAM) 등과 같은 다양한 불휘발성 메모리 소자들로 구현될 수 있다.
- [0197] 예시적으로, 메모리 컨트롤러(1100) 및 불휘발성 메모리(1200)는 하나의 반도체 장치로 집적될 수 있다. 예시적으로, 메모리 컨트롤러(1100) 및 불휘발성 메모리(1200)는 하나의 반도체 장치로 집적되어 솔리드 스테이트 드라이브(SSD, Solid State Drive)를 구성할 수 있다. 메모리 컨트롤러(1100) 및 불휘발성 메모리(1200)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 메모리 컨트롤러(1100) 및 불휘발성 메모리(1200)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro, eMMC), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억장치(UFS) 등과 같은 메



모리 카드를 구성할 수 있다.

- [0198] 도 25는 본 발명에 따른 불휘발성 메모리 시스템이 적용된 SSD(Solid State Drive) 시스템을 예시적으로 보여주는 블록도이다. 도 25를 참조하면, SSD 시스템(2000)은 호스트(2100) 및 SSD(2200)를 포함한다. SSD(2200)는 신호 커넥터(2001)를 통해 호스트(2100)와 신호(SIG)를 주고 받고, 전원 커넥터(2002)를 통해 전원(PWR)을 입력 받는다. SSD(2200)는 SSD 컨트롤러(2210), 복수의 플래시 메모리들(2221~222n), 보조 전원 장치(2230), 및 버퍼 메모리(2240)를 포함한다.
- [0199] SSD 컨트롤러(2210)는 호스트(2100)로부터 수신된 신호(SIG)에 응답하여 복수의 플래시 메모리들(2221~222n)을 제어할 수 있다. 예시적으로, SSD 컨트롤러(2210)는 도 1 내지 도 21를 참조하여 설명된 메모리 컨트롤러(110, 210, 310)와 동일한 제어 동작을 수행할 수 있다. 즉, SSD 컨트롤러(2210)는 복수의 플래시 메모리들(2221~222n)의 메모리 블록들의 읽기 카운트(RC)에 따른 에러 비트 증가율을 계산하여 워크 블록을 선택할 수 있다. 그리고 SSD 컨트롤러(2210)는 선택된 워크 블록에 대해서 다른 메모리 블록과는 다른 기준(에러 비트 수 또는 읽기 카운트)에 따라 리드 리클레임 블록으로 지정할 수 있을 것이다.
- [0200] 보조 전원 장치(2230)는 전원 커넥터(2002)를 통해 호스트(2100)와 연결된다. 보조 전원 장치(2230)는 호스트(2100)로부터 전원(PWR)을 입력받고, 충전할 수 있다. 보조 전원 장치(2230)는 호스트(2100)로부터의 전원 공급이 원활하지 않을 경우, SSD 시스템(2000)의 전원을 제공할 수 있다. 예시적으로, 보조 전원 장치(2230)는 SSD(2200) 내에 위치할 수도 있고, SSD(2200) 밖에 위치할 수도 있다. 예를 들면, 보조 전원 장치(2230)는 메인 보드에 위치하며, SSD(2200)에 보조 전원을 제공할 수도 있다.
- [0201] 버퍼 메모리(2240)는 SSD(2200)의 버퍼 메모리로 동작한다. 예를 들어, 버퍼 메모리(2240)는 호스트(2100)로부터 수신된 데이터 또는 복수의 플래시 메모리들(2221~222n)로부터 수신된 데이터를 임시 저장하거나, 플래시 메모리들(2221~222n)의 메타 데이터(예를 들어, 매핑 테이블)를 임시 저장할 수 있다. 버퍼 메모리(2240)는 DRAM, SDRAM, DDR SDRAM, LPDDR SDRAM, SRAM 등과 같은 휘발성 메모리 또는 FRAM ReRAM, STT-MRAM, PRAM 등과 같은 불휘발성 메모리들을 포함할 수 있다.
- [0202] 도 26은 본 발명에 따른 불휘발성 메모리 시스템이 적용된 사용자 시스템을 보여주는 블록도이다. 도 26을 참조하면, 사용자 시스템(3000)은 애플리케이션 프로세서(3100), 메모리 모듈(3200), 네트워크 모듈(3300), 스토리지 모듈(3400), 및 사용자 인터페이스(3500)를 포함한다.
- [0203] 애플리케이션 프로세서(3100)는 사용자 시스템(3000)에 포함된 구성 요소들, 운영체제(OS; Operating System)를 구동시킬 수 있다. 예시적으로, 애플리케이션 프로세서(3100)는 사용자 시스템(3000)에 포함된 구성 요소들을 제어하는 컨트롤러들, 인터페이스들, 그래픽 엔진 등을 포함할 수 있다. 애플리케이션 프로세서(3100)는 시스템-온-칩(SoC; System-on-Chip)으로 제공될 수 있다.
- [0204] 메모리 모듈(3200)은 사용자 시스템(3000)의 주메모리, 동작 메모리, 버퍼 메모리 또는 캐시 메모리로 동작할 수 있다. 메모리 모듈(3200)은 DRAM, SDRAM, DDR SDRAM, DDR2 SDRAM, DDR3 SDRAM, LPDDR SDRAM, LPDDR3 SDRAM, LPDDR3 SDRAM 등과 같은 휘발성 랜덤 액세스 메모리 또는 PRAM, ReRAM, MRAM, FRAM 등과 같은 불휘발성 랜덤 액세스 메모리를 포함할 수 있다.
- [0205] 네트워크 모듈(3300)은 외부 장치들과 통신을 수행할 수 있다. 예시적으로, 네트워크 모듈(3300)은 CDMA(Code Division Multiple Access), GSM(Global System for Mobile communication), WCDMA(wideband CDMA), CDMA-2000, TDMA(Time Division Multiple Access), LTE(Long Term Evolution), Wimax, WLAN, UWB, 블루투스, WI-DI 등과 같은 무선 통신을 지원할 수 있다. 예시적으로, 네트워크 모듈(3300)은 애플리케이션 프로세서(3100)에 포함될 수 있다.
- [0206] 스토리지 모듈(3400)은 데이터를 저장할 수 있다. 예를 들어, 스토리지 모듈(3400)은 애플리케이션 프로세서(3100)로부터 수신한 데이터를 저장할 수 있다. 또는 스토리지 모듈(3400)은 스토리지 모듈(3400)에 저장된 데이터를 애플리케이션 프로세서(3100)로 전송할 수 있다. 예시적으로, 스토리지 모듈(3400)은 PRAM(Phase-change RAM), MRAM(Magnetic RAM), RRAM(Resistive RAM), NAND flash, NOR flash, 3차원 구조의 NAND 플래시 등과 같은 불휘발성 반도체 메모리 소자로 구현될 수 있다.
- [0207] 예시적으로, 스토리지 모듈(3400)은 도 1 및 도 21를 참조하여 설명된 리드 리클레임 방식에 따라 복수의 불휘발성 메모리 장치를 제어할 수 있을 것이다.
- [0208] 사용자 인터페이스(3500)는 애플리케이션 프로세서(3100)에 데이터 또는 명령어를 입력하거나 또는 외부 장치로

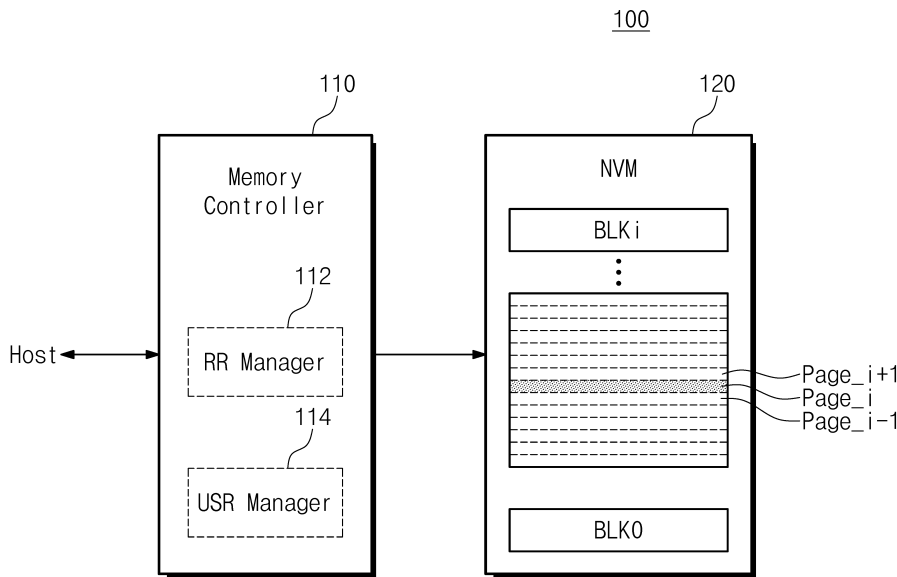
데이터를 출력하는 인터페이스들을 포함할 수 있다. 예시적으로, 사용자 인터페이스(3500)는 키보드, 키패드, 버튼, 터치 패널, 터치 스크린, 터치 패드, 터치 볼, 카메라, 마이크, 자이로스코프 센서, 진동 센서, 압전 소자 등과 같은 사용자 입력 인터페이스들을 포함할 수 있다. 사용자 인터페이스(3500)는 LCD (Liquid Crystal Display), OLED (Organic Light Emitting Diode) 표시 장치, AMOLED (Active Matrix OLED) 표시 장치, LED, 스피커, 모터 등과 같은 사용자 출력 인터페이스들을 포함할 수 있다.

[0209] 본 발명에 따른 메모리 카드, 불휘발성 메모리 장치, 카드 컨트롤러는 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 본 발명에 따른 플래시 메모리 장치 그리고/또는 메모리 컨트롤러는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP), 등과 같은 패키지들을 이용하여 실장될 수 있다.

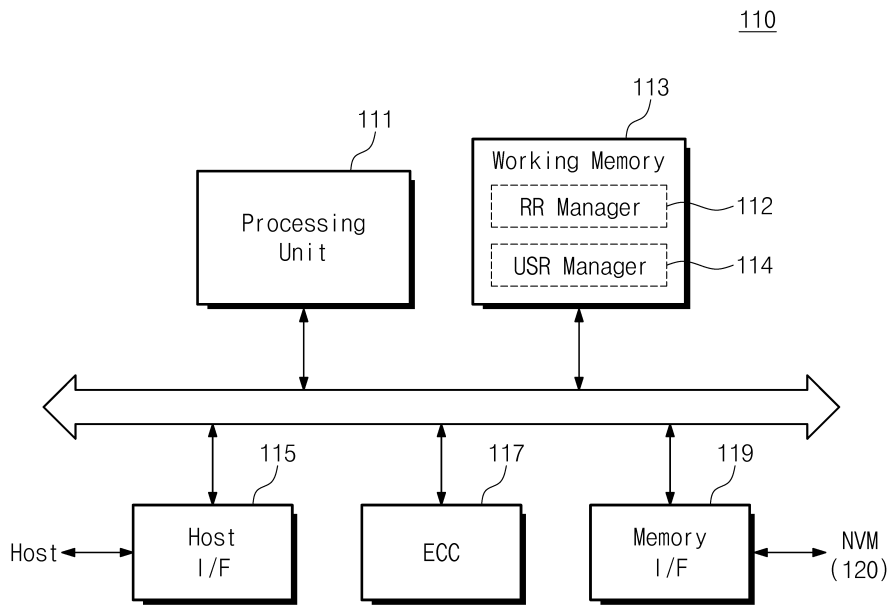
[0210] 이상에서와 같이 도면과 명세서에서 실시 예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**도면**

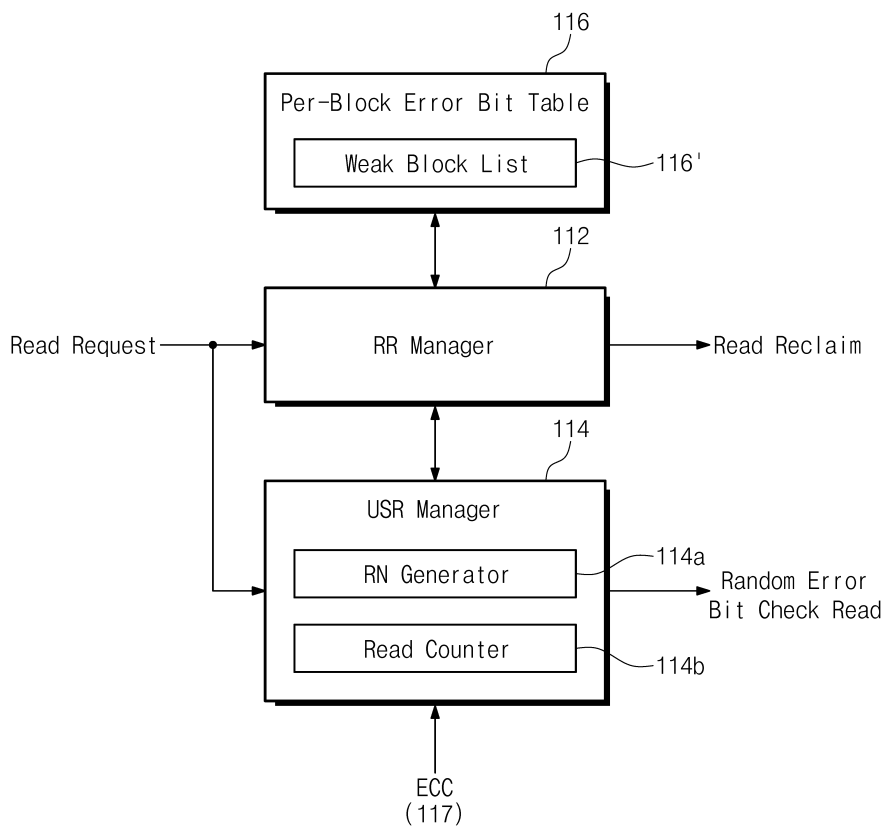
**도면1**



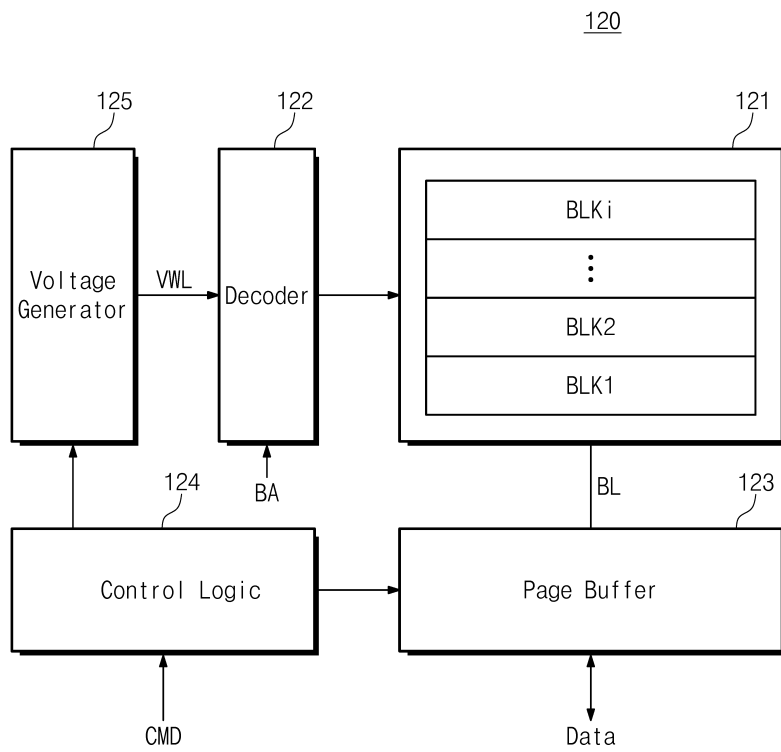
도면2



도면3



도면4

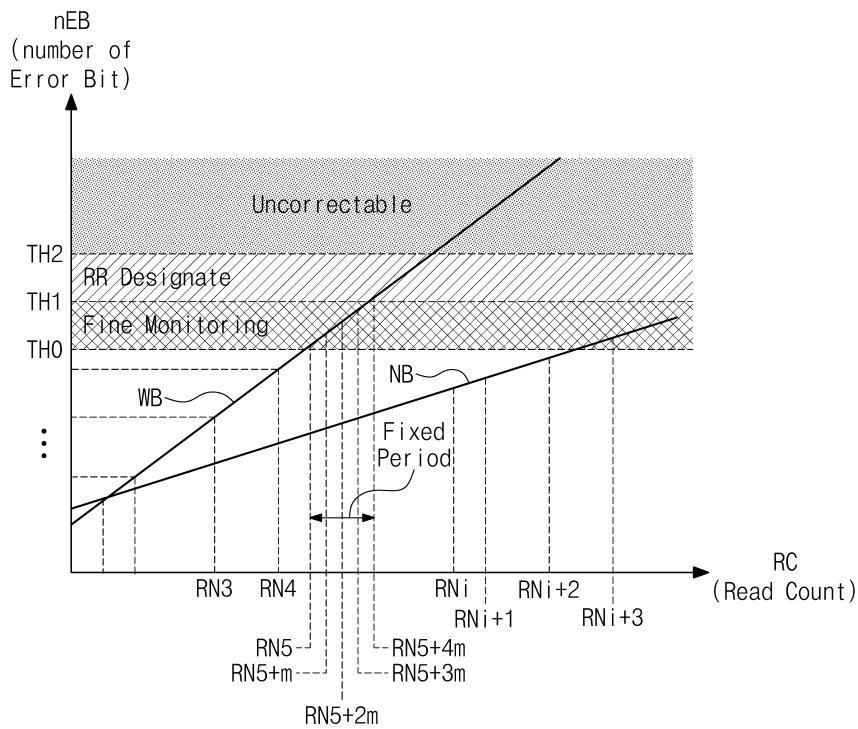


도면5

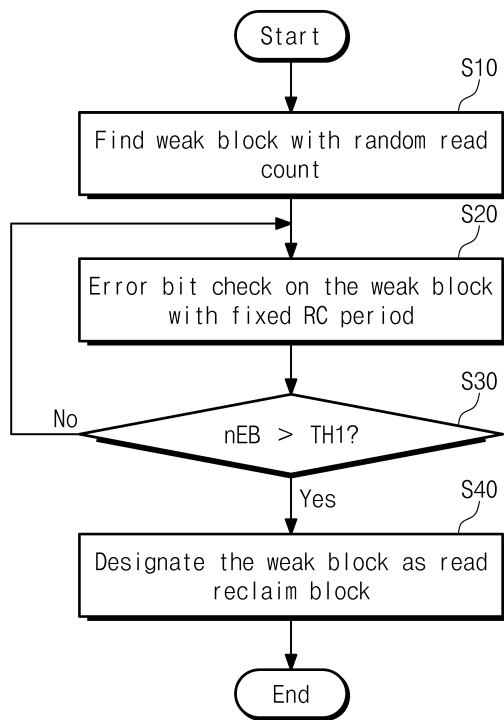
116

BLK Add	RC (Read Count)	nEB	EB Increase Rate	BLK Classification
BLK0	3N	0	$\beta$ ( $\beta < R$ )	NB
BLK1	N-2	2	-	Not decided
BLK2	3N+1	TH0-2	$\alpha$ ( $\alpha > R$ )	WB
BLK3	4N+5	5	$\gamma$ ( $\gamma < R$ )	NB
BLK4	4N+3	1	$\delta$ ( $\delta < R$ )	NB
...	...	...	...	...
BLKm	6N_1	6	$\varepsilon$ ( $\varepsilon < R$ )	NB

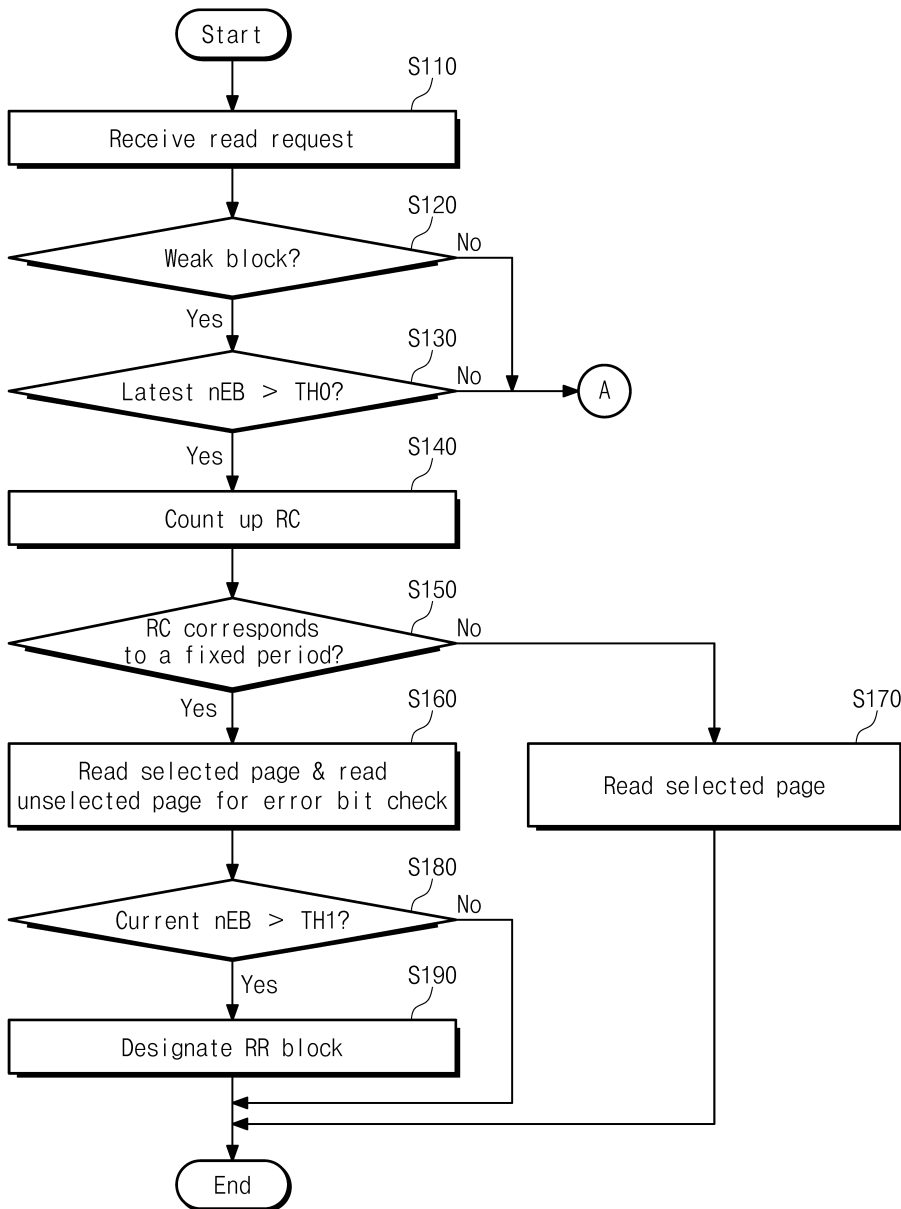
도면6



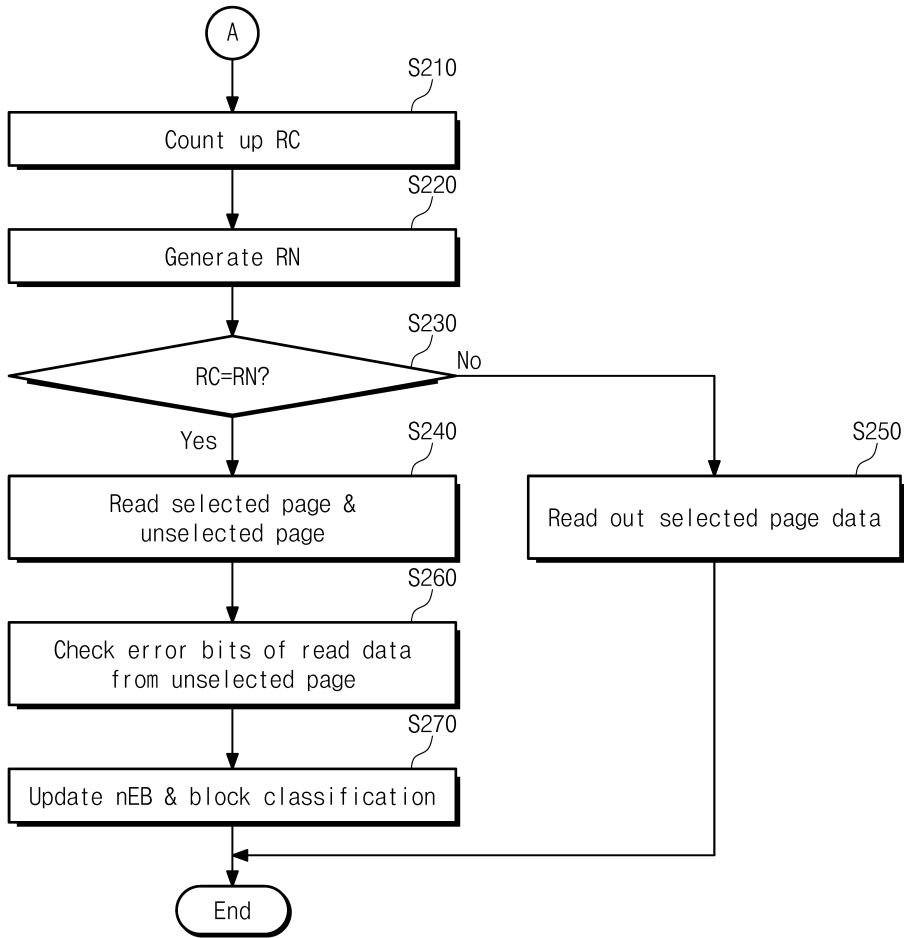
도면7



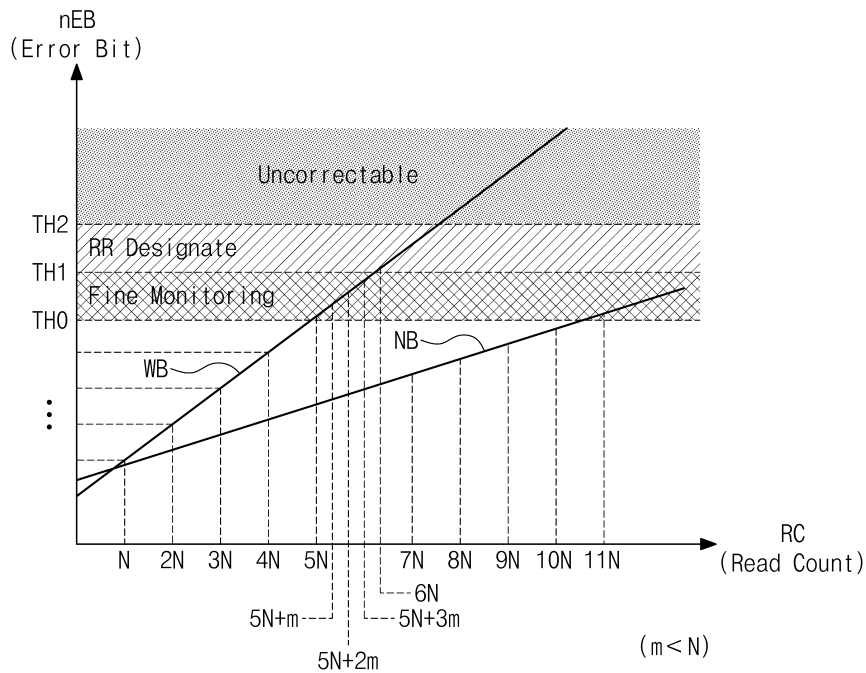
도면 8a



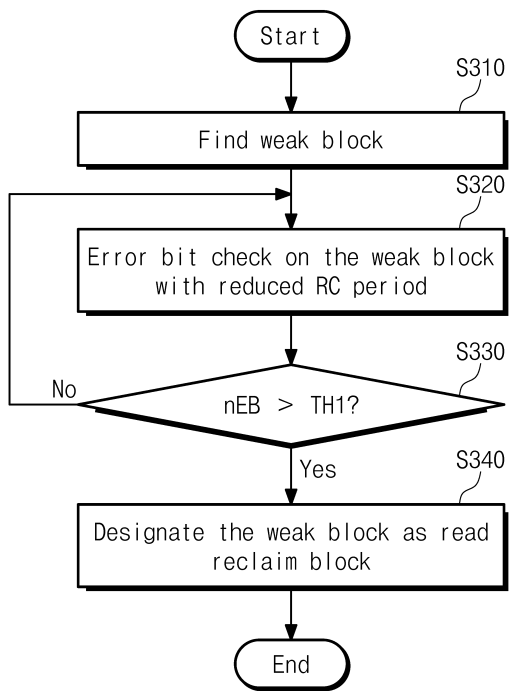
도면8b



도면9

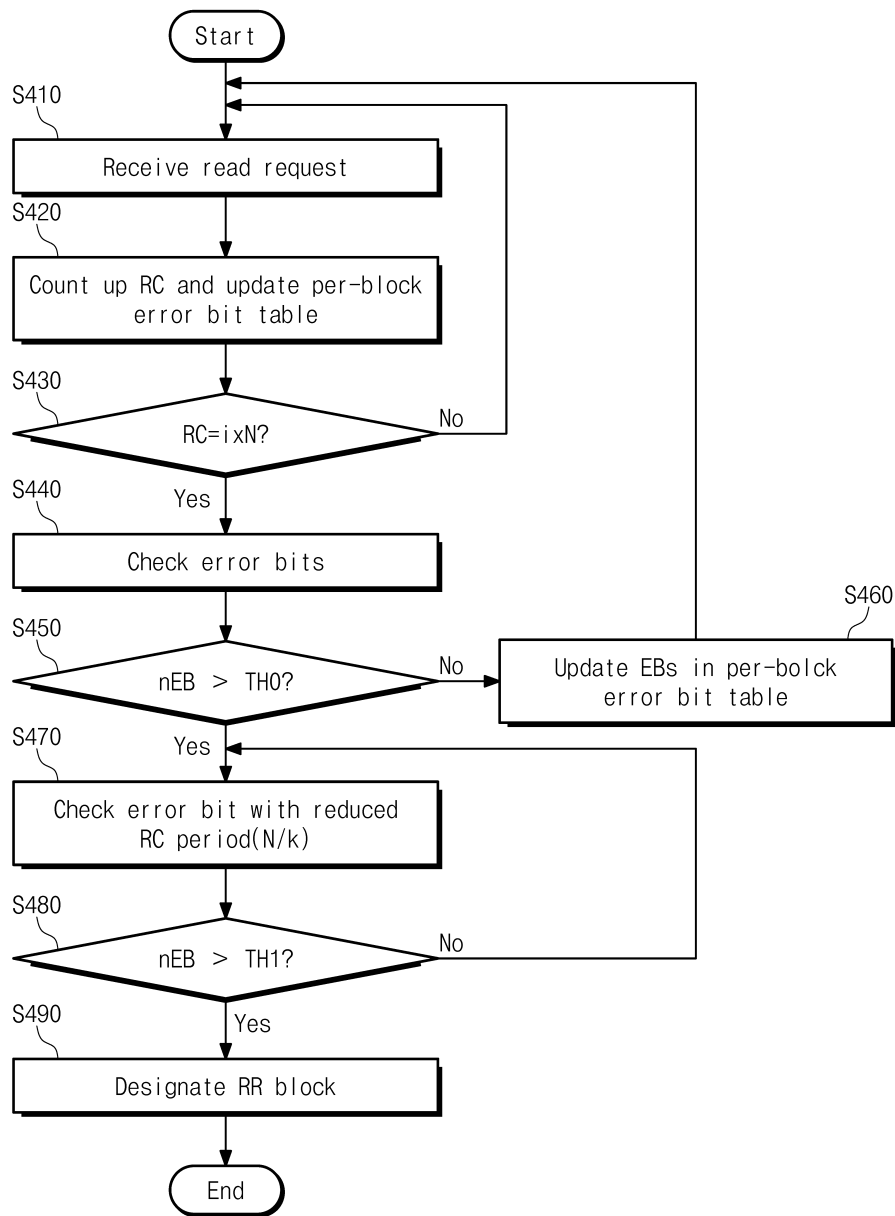


도면10

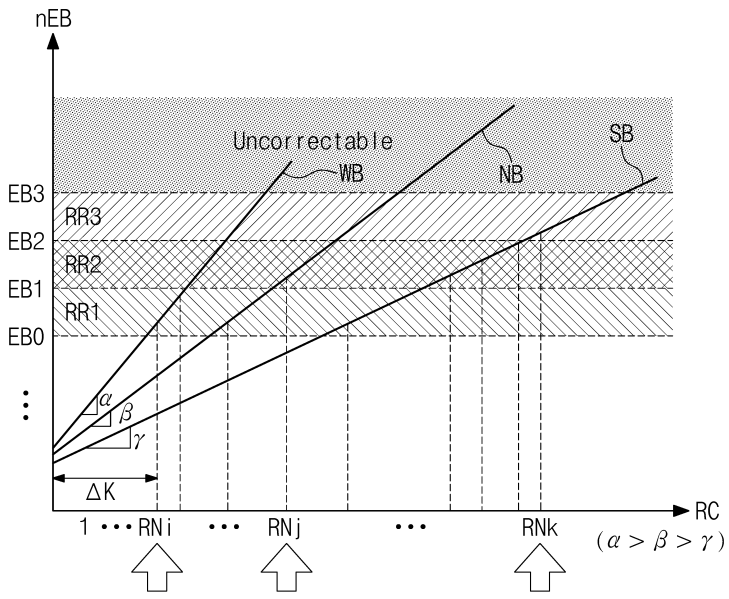




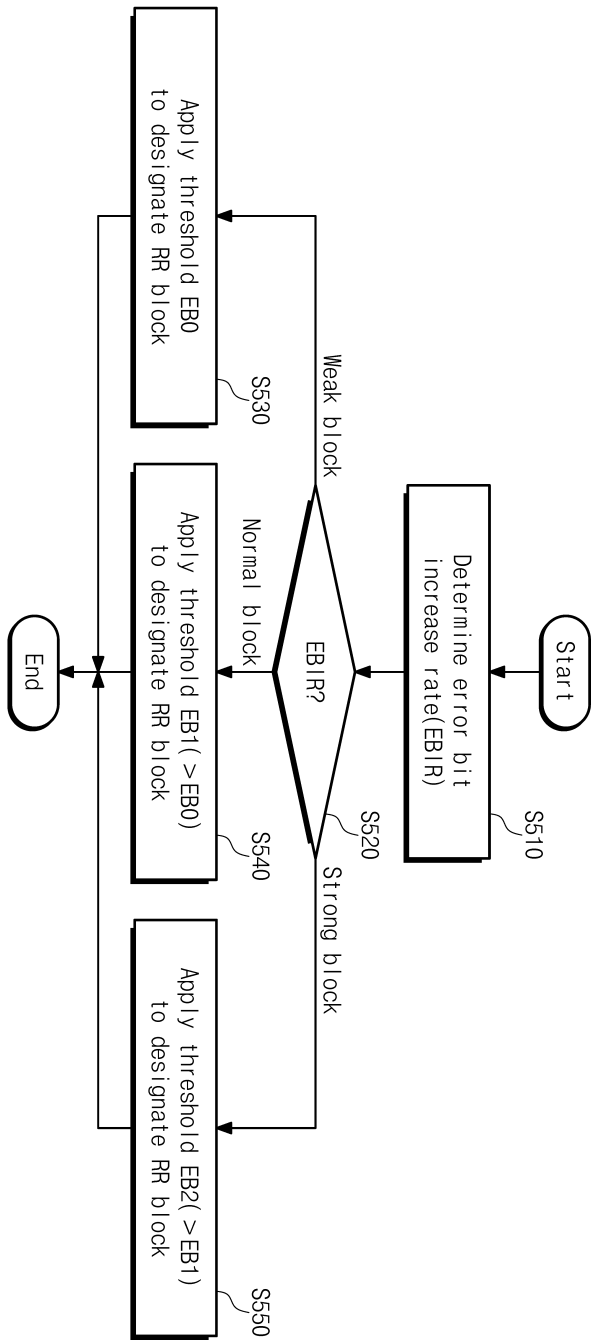
도면11



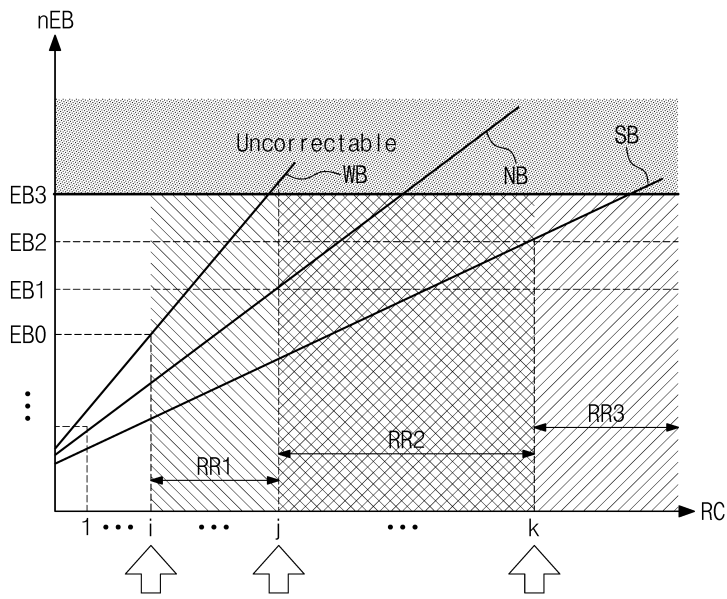
도면12



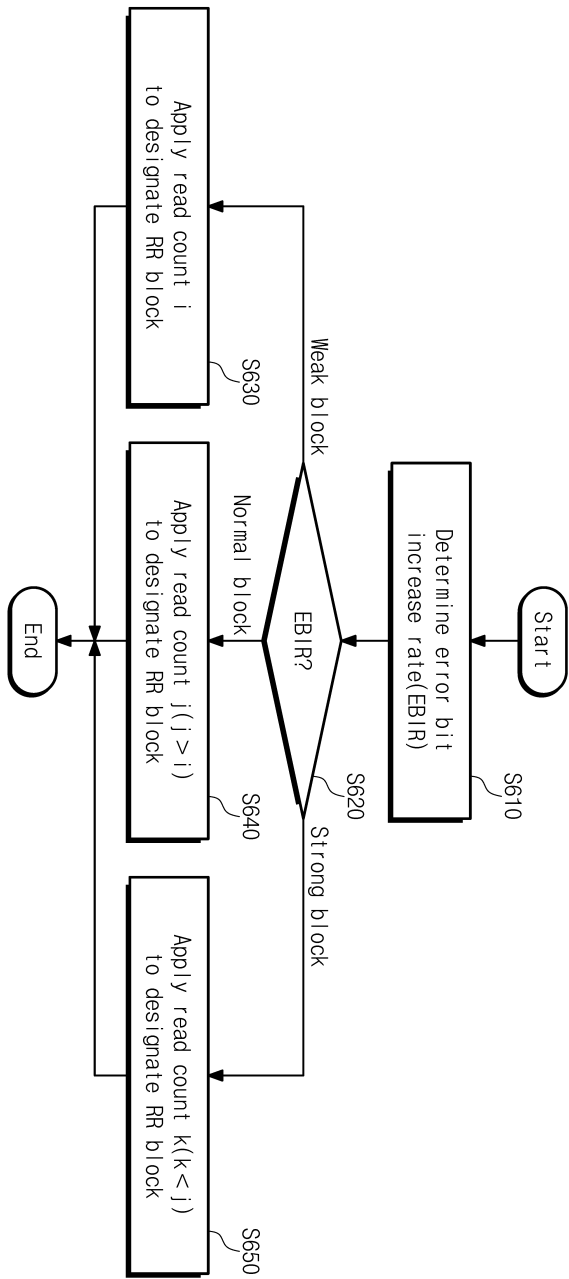
도면13



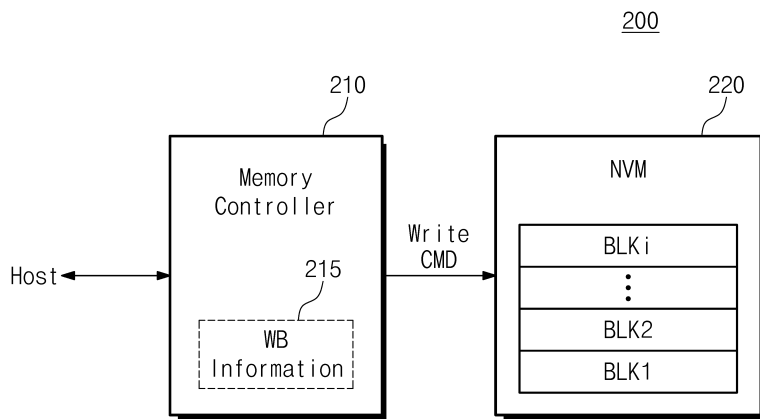
도면14



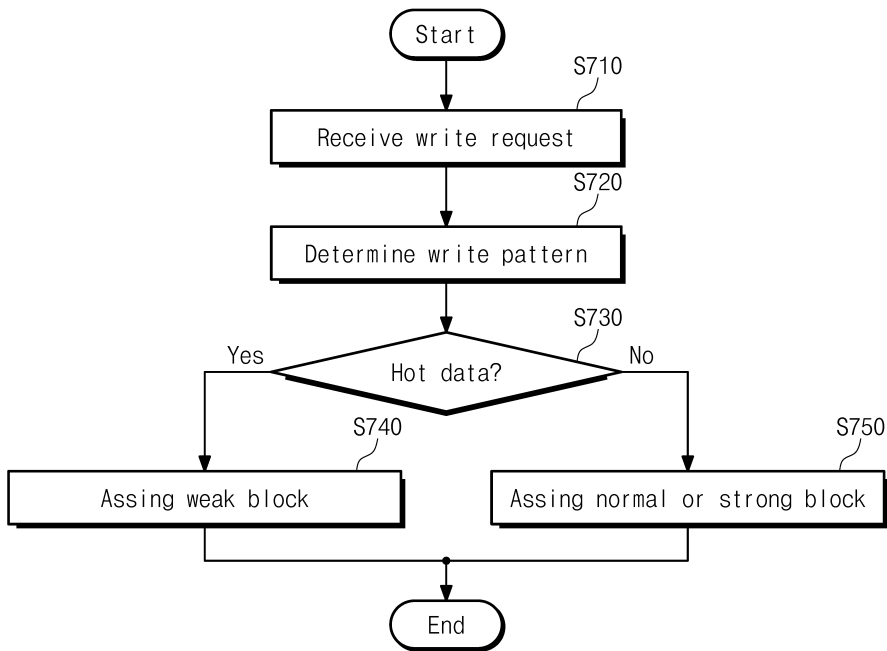
도면15



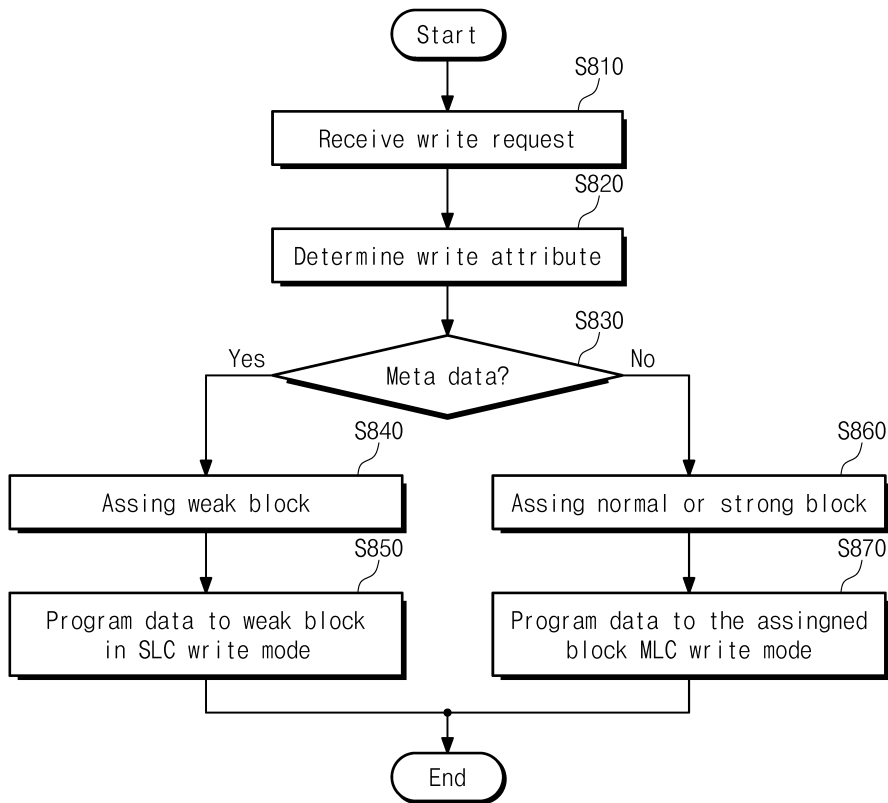
도면16



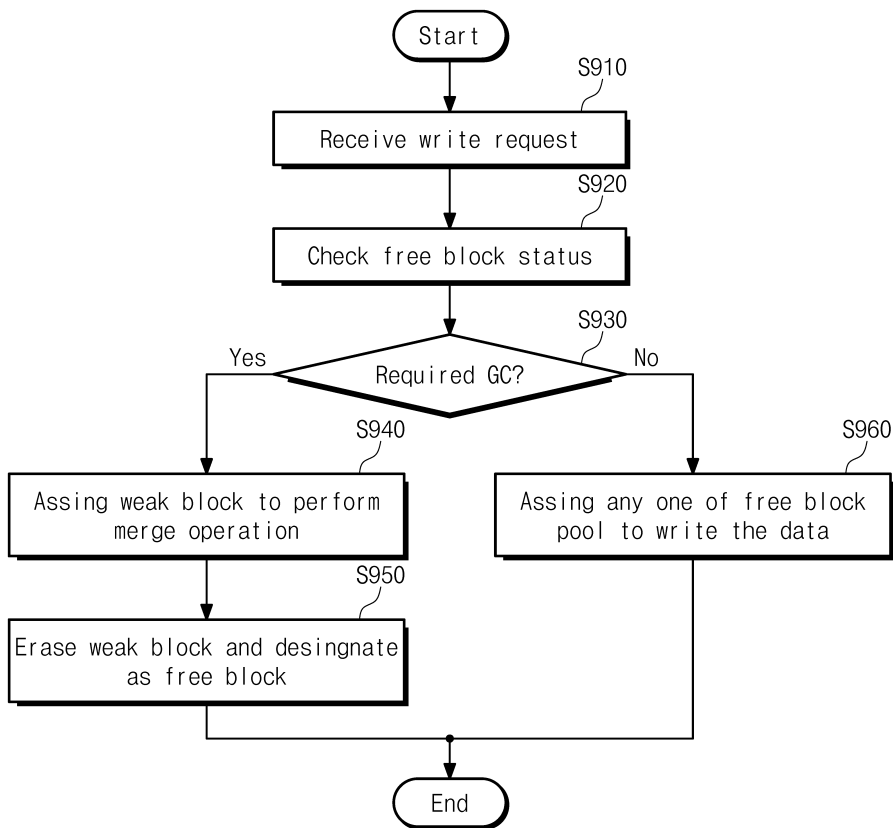
도면17



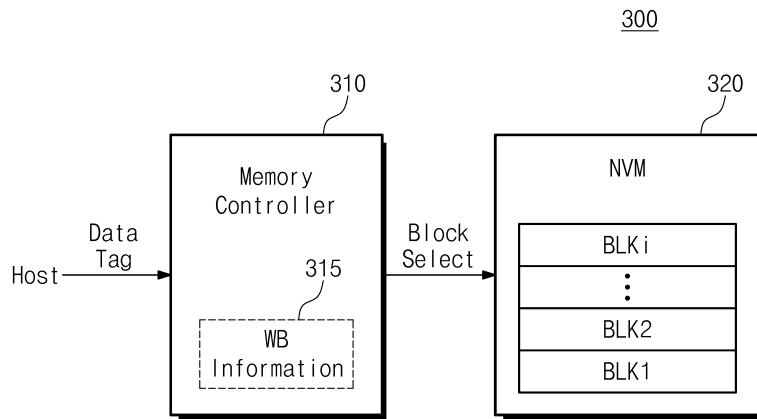
도면18



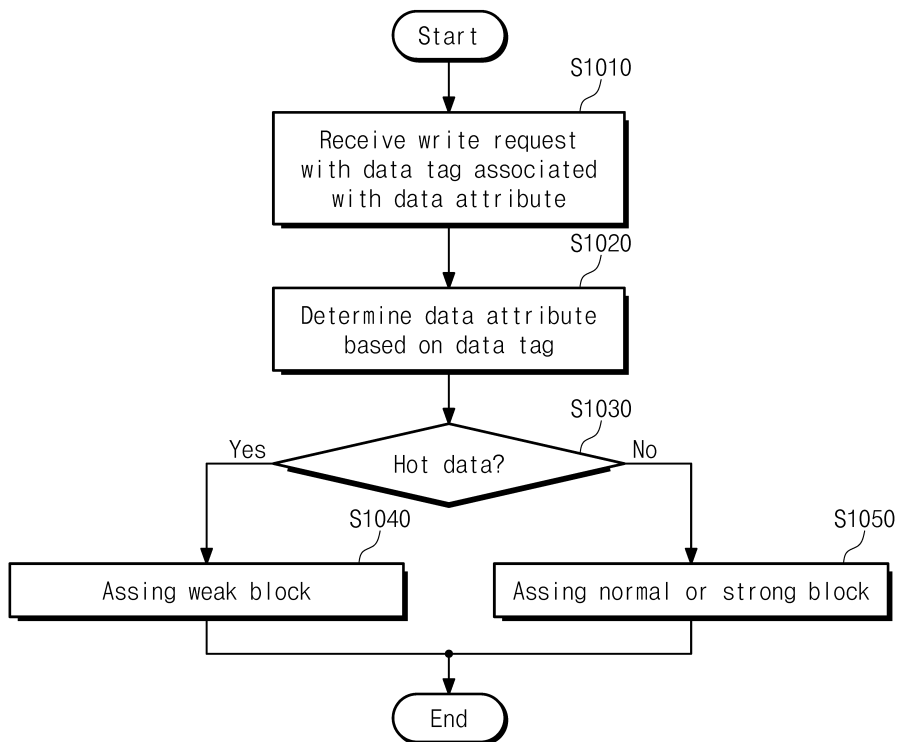
도면19



도면20

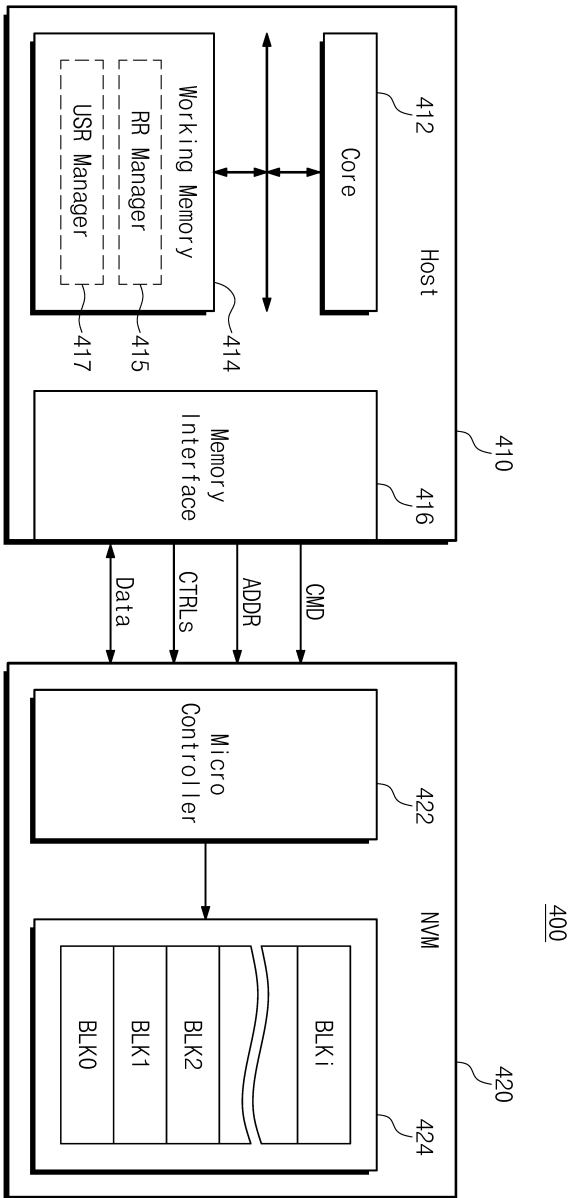


도면21

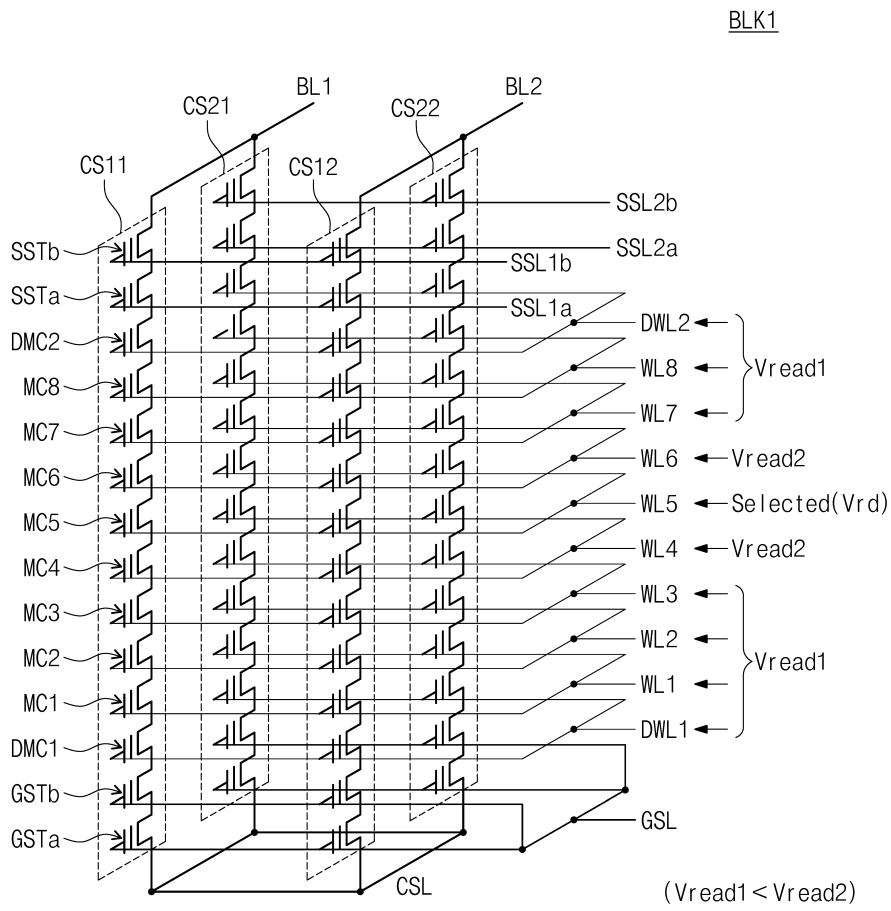




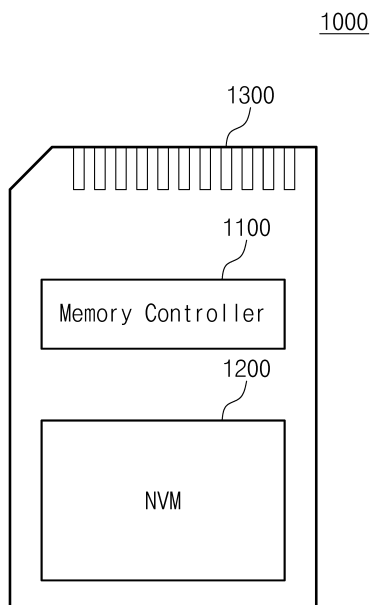
도면22



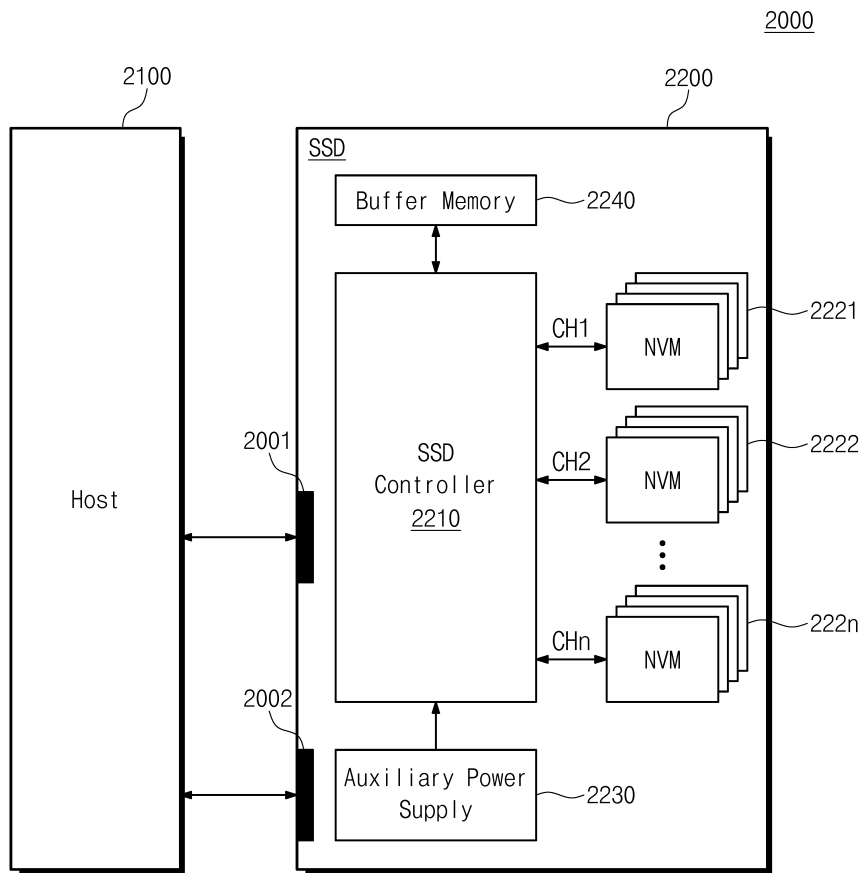
도면23



도면24



도면25



도면26

