



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년01월27일
(11) 등록번호 10-2208684
(24) 등록일자 2021년01월22일

(51) 국제특허분류(Int. Cl.)
H01L 33/22 (2010.01) H01L 33/00 (2010.01)
H01L 33/24 (2010.01) H01L 33/32 (2010.01)
H01L 33/50 (2010.01)
(52) CPC특허분류
H01L 33/22 (2013.01)
H01L 33/005 (2013.01)
(21) 출원번호 10-2016-7004348
(22) 출원일자(국제) 2014년07월25일
심사청구일자 2019년05월09일
(85) 번역문제출일자 2016년02월19일
(65) 공개번호 10-2016-0037948
(43) 공개일자 2016년04월06일
(86) 국제출원번호 PCT/JP2014/069705
(87) 국제공개번호 WO 2015/016150
국제공개일자 2015년02월05일
(30) 우선권주장
JP-P-2013-158300 2013년07월30일 일본(JP)
(56) 선행기술조사문헌
KR1020130054041 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
코쿠리츠켄큐카이하츠호진 죠호츠신켄큐키코
일본 도쿄도 고가네이시 누쿠이키타마치 4-2-1
스탠리 일렉트릭 컴퍼니, 리미티드
일본, 도쿄, 메구로-구, 나가메구로 2-쫘메, 9-13
(72) 발명자
이노우에 신이치로
일본 도쿄도 고가네이시 누쿠이키타마치 4-2-1 도
쿠리츠교세이호진 죠호츠신켄큐키코 내
타마리 나오키
일본 야마구치켄 슈난시 미카게쫘 1-1 가부시끼가
이샤 도꾸야마 내
(74) 대리인
최달용

전체 청구항 수 : 총 10 항

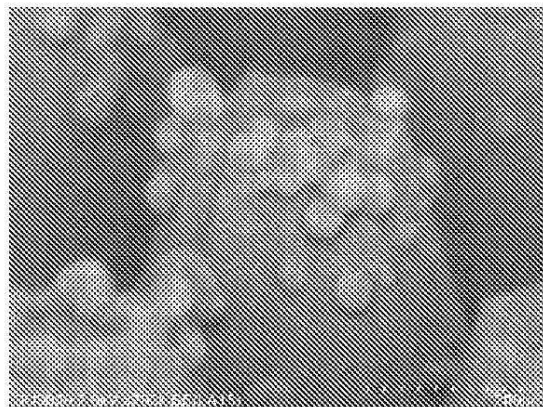
심사관 : 김동우

(54) 발명의 명칭 **반도체 발광 소자 및 그 제조 방법**

(57) 요약

발광 파장이 단파장이라도 높은 광 취출 효율, 균일한 광출력을 얻을 수 있는 반도체 발광 소자, 및 당해 반도체 발광 소자를 재현성, 생산성이 높게 제조 가능한 반도체 발광 소자의 제조 방법을 제공한다. 반도체 발광 소자는, 발광층을 포함하는 반도체층을 구비한 반도체 발광 소자로서, 반도체 발광 소자의 표면은 광 취출면을 포함한다. 광 취출면 및 반도체 발광 소자 내에서 서로 굴절률이 다른 2개의 층의 계면의 적어도 어느 일방에는, 발광층부터 출사되는 광의 파장의 0.5배를 초과하는 주기를 갖는 주기요철(周期凹凸) 구조와, 주기요철 구조의 표면상에 위치하고, 광의 파장의 0.5배 이하인 평균 직경을 갖는 미세요철 구조가 형성되어 있다.

대표도 - 도16



(52) CPC특허분류

H01L 33/24 (2013.01)

H01L 33/32 (2013.01)

H01L 33/50 (2013.01)

H01L 2924/12041 (2013.01)

명세서

청구범위

청구항 1

발광층을 포함하는 반도체층을 구비한 반도체 발광 소자로서,

상기 반도체 발광 소자의 표면은 광 취출면을 포함하고,

상기 광 취출면 및 상기 반도체 발광 소자 내에서 서로 굴절률이 다른 2개의 층의 계면의 적어도 어느 일방에는, 상기 발광층부터 출사되는 광의 파장의 0.5배를 초과하는 주기를 갖는 주기요철 구조와, 상기 주기요철 구조의 표면상에 위치하고, 상기 광의 파장의 0.5배 이하인 평균 직경을 갖는 미세요철 구조가 형성되어 있으며,

상기 주기요철 구조의 오목부상에 형성되는 상기 미세요철 구조의 미세요철의 밀도는 상기 주기요철 구조의 볼록부상에 형성되는 상기 미세요철 구조의 상기 미세요철의 밀도보다 큰 것을 특징으로 하는 반도체 발광 소자.

청구항 2

제 1항에 있어서,

상기 주기요철 구조의 배열 패턴은 삼각격자형상인 것을 특징으로 하는 반도체 발광 소자.

청구항 3

제 1항 또는 제 2항에 있어서,

상기 주기요철 구조는, 공기보다 굴절률이 높은 고굴절률 재료부를 포함하고,

상기 발광층에서 상기 광 취출면을 향하는 방향에 대해 수직한 면에서의 상기 고굴절률 재료부의 단면적은, 상기 발광층부터 떨어질수록 작아지는 것을 특징으로 하는 반도체 발광 소자.

청구항 4

제 3항에 있어서,

상기 고굴절률 재료부는, 공기보다 굴절률이 높은 고굴절률 재료로 이루어지는 볼록부를 포함하고,

상기 볼록부의 형상은, 추체 형상 또는 반타원구 형상인 것을 특징으로 하는 반도체 발광 소자.

청구항 5

제 1항 또는 제 2항에 있어서,

상기 발광층은 III족 질화물 반도체를 포함하고,

상기 반도체층은,

도전형이 n형인 n형 III족 질화물 반도체층과,

상기 발광층에서 보아 상기 n형 III족 질화물 반도체층과 반대측에 위치하고, 도전형이 p형인 p형 III족 질화물 반도체층을 포함하는 것을 특징으로 하는 반도체 발광 소자.

청구항 6

제 1항 또는 제 2항에 있어서,

상기 발광층으로부터 보아 상기 광 취출면의 측에 배치되고, 상기 발광층부터 출사되는 상기 광에 대해 투명성을 갖는 투명성 기관을 구비하는 것을 특징으로 하는 반도체 발광 소자.

청구항 7

제 6항에 있어서,

상기 투명성 기관이, 질화알루미늄 기관인 것을 특징으로 하는 반도체 발광 소자.

청구항 8

제1항 또는 제2항에 있어서,

상기 주기요철 구조는, 상기 광의 상기 파장을 초과하는 상기 주기를 가지며,

상기 광의 상기 파장은 350nm 이하인 것을 특징으로 하는 반도체 발광 소자.

청구항 9

제 1항 또는 제 2항에 있어서,

상기 주기요철 구조의 높이는, 상기 주기요철 구조의 주기에 대해 1/3배 이상 5배 이하이고,

상기 미세요철 구조의 평균높이는, 상기 미세요철 구조의 상기 평균 직경에 대해 0.1배 이상 10배 이하인 것을 특징으로 하는 반도체 발광 소자.

청구항 10

발광층을 갖는 반도체층을 포함하는 반도체 발광 소자가 되어야 할 소자 부재를 준비하는 공정과,

상기 소자 부재에서, 상기 반도체 발광 소자의 광 취출면이 되어야 할 영역상에, 패턴을 갖는 마스크층을 형성하는 공정과,

상기 마스크층을 마스크로서 이용하여, 에칭에 의해 상기 광 취출면이 되어야 할 영역을 부분적으로 제거함에 의해, 주기요철 구조를 형성하는 공정을 구비하고,

상기 마스크층은 금속 마스크층이고,

상기 주기요철 구조를 형성하는 공정에서는, 불소계 가스를 에칭 가스로서 이용한 드라이 에칭을 행함에 의해, 상기 주기요철 구조를 형성함과 함께, 상기 주기요철 구조의 표면에 미세요철 구조를 형성하고,

상기 주기요철 구조는, 상기 발광층부터 출사되는 광의 파장의 0.5배를 초과하는 주기를 가지며,

상기 미세요철 구조는, 상기 광의 파장의 0.5배 이하인 평균 직경을 갖는 것을 특징으로 하는 반도체 발광 소자의 제조 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

발명의 설명

기술 분야

[0001] 본 발명은, 발광 다이오드(LED) 등의 반도체 발광 소자에 관한 것으로, 특히 소자 내에서 발광한 광의 외부로의 광 취출에 관해 개선을 도모한 반도체 발광 소자 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 발광 소자는, 발광층이나 n형 반도체층, p형 반도체층, 전극층, 지지 기판 등, 몇가지의 층으로 형성된다. 이 때문에, 반도체 소자 내부의 발광층에서 발광한 광은, 이들 몇가지의 층을 통과한 후에 외부로 취출된다. 그렇지만 광에 관해서는, 굴절률이 다른 매질의 경계, 즉 층 계면이나 표면 등을 통과할 때에는 반드시 일정 비율의 반사가 일어난다. 또한, 상술한 광의 파장(발광 파장)에 대해 흡수 계수를 갖는 매질층을 광이 통과 또는 반사할 때에는, 일정 비율의 광흡수가 발생한다. 이 때문에, 발광층에서 발광한 광을 반도체 발광 소자의 외부에 효율 좋게 취출하는 것은 일반적으로 곤란하다.

[0003] 특히 굴절률의 큰 매질로부터 작은 매질에 광이 진행하는 경우에는 광의 전반사가 일어나, 임계각 이상의 광은 외부로 취출할 수 가 없다. 반도체 발광 소자의 표면, 즉 공기(또는 밀봉 재료)와 반도체 소자와의 계면에서는, 양 매질 사이의 굴절률차가 커지기 때문에, 전반사가 일어나는 임계각이 작아지고, 결과적으로 계면에서 전반사되는 광의 비율은 증대한다.

[0004] 예를 들면, 사파이어 기판의 굴절률(n)은 1.8이고, 공기에 대한 임계각은 33.7도이다. 즉, 반도체 발광 소자를 구성하는 기판으로서 사파이어 기판을 이용하는 경우로서, 사파이어 기판을 통과하여 공기층으로 광을 취출하는 경우, 입사각이 33.7도 보다 큰 광은 전반사되어 외부로 취출할 수가 없다. 또한 굴절률의 큰 질화알루미늄(AIN) 기판(굴절률 n=2.29)의 경우는, 임계각이 25.9도가 되어, 더욱 적은 광밖에 외부로 취출할 수 가 없다.

[0005] 3차원 시간영역 유한차분법(Finite-difference time-domain method : FDTD법)을 이용한 광반사 전반 특성의 이론 계산을 이용하여, 예를 들면 AIN 기판상에 AlGaN층을 적층한 반도체 발광 소자에서의 광의 취출 효율을 계산하였다. 이 결과, AlGaN층 내의 발광부에서 방사된 파장 265nm의 광 중, 발광부에서 보아 AIN 기판과 반대측에 위치하는 p형 GaN층의 흡수 등도 고려하면, AIN 기판의 표면(광 취출면)측부터 취출할 수 있는 광의 취출 효율은, 약 4%로 극히 낮다.

[0006] 이와 같은 문제에 대해, 광 취출 효율을 향상시킬 목적으로, 기판 표면(광 취출면)에 나노미터 스케일의 요철 구조를 마련한 반도체 발광 소자가 제안되어 있다. 예를 들면 특허 문헌 1에서는, 발광층에서 발광되는 광의 평균광학파장의 2배 이하가 되는 평균주기를 갖는 요철 구조를, 광 취출면에 마련하는 것이 개시되어 있다. 이와 같은 요철 구성을 형성함에 의해, 광 취출면에서의 전반사되는 광의 나뉘어지는 비율을 저감하는(즉 소자 표면에서의 광의 반사를 억제하는) 방법이 제안되어 있다. 그러나, 반도체 발광 소자의 표면에 나노미터 스케일의 요철 구조를 형성하는 것은 용이하지가 않다. 또한, 요철 구조의 형상이나 발광 파장에 의해서도 광 취출 효율이 크게 변동하고, 충분한 효과를 얻을 수가 없다.

[0007] 발광 파장이 짧아지면 짧아질수록, 요구되는 요철 구조의 주기(예를 들면 철(凸) 구조인 경우, 철 구조의 정점부(頂点部)와 인접하는 철 구조의 정점부까지의 거리)는 짧아지기 때문에, 당해 요철 구조의 제작은 곤란해진다. 특히 자외·심자외(深紫外) 파장 영역의 광을 발광하는 반도체 발광 소자에서는, 당해 요철 구조의 사이즈는 광(光) 리소그래피로는 제작 곤란한 영역이 된다. 이 결과, 제작 비용의 증대, 수율, 생산성의 저하 등의 문제가 발생하기 때문에 실용적이지 않다.

[0008] 특허 문헌 1(일본 특개2005-354020호 공보)에서는, 나노미터 스케일의 주기요철(周期凹凸) 구조를 형성하기 위해, 증착한 금속을 가열하여 응집시킨 나노미터 사이즈의 미세 금속 마스크를 광 취출면에 형성하고, 당해 광 취출면의 표면을 에칭하는 방법을 개시하고 있다. 그러나 이와 같은 응집 효과를 이용한 주기 마스크는, 요철 구조의 배치가 랜덤하고, 그 형상의 불균일성이 크다. 그 때문에, 반도체 발광 소자로부터 외부에 출력되는 광의 파워의 편차가 크고, 안정하며 균질한 광을 출사하는 반도체 발광 소자를 제공하는 것은 어렵다.

[0009] 비특허 문헌 1(ISDRS 2011, December 7-9, 2011, College Park, MD, USA, WP2-04)에서는, 나노미터 스케일의 요철 구조를 형성하기 위해, 웨트 에칭에 의해 기판 표면을 조면화(粗面化)하는 방법을 개시한다. 그러나 웨트 에칭을 이용하는 수법에 의해 형성되는 요철 구조도, 형상이 불균일한 랜덤 구조로 되기 때문에, 광 취출 효율은 크게 변동하고, 또 광 취출 효율 향상의 효과도 불충분하다.

[0010] 비특허 문헌 2(Appl. Phys. Express 3 (2010) 061004)에서는, 심자외의 광을 출사하는 반도체 발광 소자에서, 리소그래피, 드라이 에칭에 의해 표면 주기요철 구조를 마련하고 있지만, 당해 요철 구조의 주기는 500nm로 발광 파장보다 2배 정도나 크고, 광 취출 효율 향상의 충분한 효과는 얻어지고 있지 않다. 또한, 광출력의 편차도

극히 크다.

선행기술문헌

특허문헌

[0011] (특허문헌 0001) 특허 문헌 1 : 일본 특개2005-354020호 공보

비특허문헌

[0012] (비특허문헌 0001) 비특허 문헌 1 : ISDRS 2011, December 7-9, 2011, College Park, MD, USA, WP2-04

(비특허문헌 0002) 비특허 문헌 2 : Appl. Phys. Express 3 (2010) 061004

발명의 내용

해결하려는 과제

[0013] 상기한 바와 같이, 기관 표면(광 취출면)에 나노미터 스케일의 요철 구조를 마련한 반도체 발광 소자가, 광 취출 효율을 향상시킬 목적으로 제안되어 있지만, 이와 같은 종래의 발광 소자에서는, 요철 구조의 주기, 요철 구조를 구성하는 볼록부(凸部)의 높이나 형상 등의 최적치가 분명하지 않고, 발광 파장이나 기관의 굴절률 등에 의해 변동하기 때문에, 충분한 효과가 발휘되지 않은 것이 현재의 상태이다. 또한, 발광 파장이 단파장이 됨에 따라, 기관 표면(광 취출면)에, 보다 작은 스케일의 요철 구조를 형성할 필요가 있기 때문에, 당해 요철 구조의 제작이 더욱더 곤란해진다. 이 때문에, 발광 파장이 단파장이라도, 광 취출 효율을 충분히 향상시키는 요철 구조를 재현성 좋게 균일하게 형성하고, 또한 반도체 발광 소자로부터 외부에 출력되는 광의 파워를 균일화, 안정화시키는 것이 큰 과제였다.

[0014] 따라서 본 발명의 목적은, 상기한 바와 같은 종래 과제의 해결을 도모하는 것으로, 발광 파장이 단파장이라도 높은 광 취출 효율, 균일한 광출력을 얻을 수 있는 반도체 발광 소자, 및 당해 반도체 발광 소자를 재현성, 생산성이 높게 제조 가능한 반도체 발광 소자의 제조 방법을 제공하는 것에 있다.

과제의 해결 수단

[0015] 본 발명에 따른 반도체 발광 소자는, 발광층을 포함하는 반도체층을 구비한 반도체 발광 소자로서, 반도체 발광 소자의 표면은 광 취출면을 포함한다. 광 취출면 및 반도체 발광 소자 내에서 서로 굴절률이 다른 2개의 층의 계면의 적어도 어느 일방에는, 발광층부터 출사되는 광의 파장의 0.5배를 초과하는 주기를 갖는 주기요철(周期凹凸) 구조와, 주기요철 구조의 표면상에 위치하고, 광의 파장의 0.5배 이하인 평균 직경을 갖는 미세요철(微細凹凸) 구조가 형성되어 있다.

발명의 효과

[0016] 본 발명에 의하면, 높은 광 취출 효율을 얻을 수 있는 반도체 발광 소자를 얻을 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명에 관한 반도체 발광 소자의 실시의 형태 1의 단면 모식도.

도 2는 도 1에 도시한 반도체 발광 소자의 광 취출면의 평면 모식도.

도 3은 도 2의 선분(III-III)에서의 부분 단면 모식도.

도 4는 도 1에 도시한 반도체 발광 소자의 변형례를 설명하기 위한 평면 모식도.

도 5는 도 1에 도시한 반도체 발광 소자의 제조 방법을 설명하기 위한 플로 차트.

도 6은 본 발명에 관한 반도체 발광 소자의 실시의 형태 2를 설명하기 위한 평면 모식도.

- 도 7은 도 6의 선분(VII-VII)에서의 부분 단면 모식도.
- 도 8은 도 6에 도시한 반도체 발광 소자의 변형례를 설명하기 위한 평면 모식도.
- 도 9는 도 6에 도시한 반도체 발광 소자의 제조 방법을 설명하기 위한 플로 차트.
- 도 10은 실시례 1의 시료로서 이용한 반도체 발광 소자의 평면 모식도.
- 도 11은 도 10의 선분(XI-XI)에서의 단면 모식도.
- 도 12는 도 10에 도시한 반도체 발광 소자의 광 취출면의 주사형 전자현미경 사진이다.
- 도 13은 도 10에 도시한 반도체 발광 소자의 광 취출면의 주사형 전자현미경 사진.
- 도 14는 실시례 1의 실험 결과를 도시하는 그래프.
- 도 15는 실시례 2의 시료로서 이용한 반도체 발광 소자의 광 취출면의 주사형 전자현미경 사진.
- 도 16은 실시례 2의 시료로서 이용한 반도체 발광 소자의 광 취출면의 주사형 전자현미경 사진.
- 도 17은 실시례 2의 시료로서 이용한 반도체 발광 소자의 광 취출면의 주사형 전자현미경 사진.
- 도 18은 실시례 2의 실험 결과를 도시하는 그래프.
- 도 19는 실시례 3의 시뮬레이션 계산 결과를 도시하는 그래프.
- 도 20은 실시례 3의 시뮬레이션 계산 결과를 도시하는 그래프.
- 도 21은 실시례 4의 시뮬레이션 계산 결과를 도시하는 그래프.
- 도 22는 실시례 4의 시뮬레이션 계산 결과를 도시하는 그래프.
- 도 23는 실시례 5의 실험 결과를 도시하는 그래프.
- 도 24는 실시례 6의 실험 결과를 도시하는 그래프.
- 도 25는 실시례 7의 실험 결과를 도시하는 그래프.
- 도 26은 실시례 8 및 실시례 9의 실험 결과를 도시하는 그래프.
- 도 27은 실시례에서의 실험치와 시뮬레이션 계산 결과를 도시하는 그래프.

발명을 실시하기 위한 구체적인 내용

- [0018] 먼저, 실시의 형태의 개요에 대해 설명한다.
- [0019] (1) 본 실시 형태에 의한 반도체 발광 소자는, 발광층(활성층(13))을 포함하는 반도체층을 구비한 반도체 발광 소자로서, 반도체 발광 소자의 표면은 광 취출면을 포함하고, 광 취출면 및 반도체 발광 소자 내에서 서로 굴절률이 다른 2개의 층의 계면의 적어도 어느 일방에는, 발광층부터 출사되는 광의 파장의 0.5배를 초과하는 주기를 갖는 주기요철 구조(21)와, 주기요철 구조(21)의 표면에 위치하고, 광의 파장의 0.5배 이하인 평균 직경을 갖는 미세요철 구조(22)가 형성되어 있다.
- [0020] 이와 같이 하면, 광 취출면에서 발광층부터 출사되는 광의 파장(발광 파장)에 응한 주기의 주기요철 구조(21) 및 당해 파장에 응한 평균 직경을 갖는 미세요철 구조(22)가 형성되어 있기 때문에, 광 취출면에 이들의 요철 구조가 없는 경우에 비하여 광 취출 효율을 확실하게 높일 수 있다. 즉, 파장보다 주기가 큰 주기요철 구조를 형성한 경우에도, 미세요철 구조와 조합시킴에 의해, 충분히 광 취출 효율을 높일 수 있다. 또한, 발광 파장이 단파장(예를 들면 450nm 이하, 또는 350nm 이하)인 경우에, 본 실시 형태에 의한 반도체 발광 소자에서는 주기요철 구조의 제조에 관한 비용의 증대를 억제한다는 효과가 현저해진다. 또한, 주기요철 구조의 발광 파장보다 큰 주기로 형성 가능해지기 때문에, 균일한 요철 구조의 형성이 용이해진다.
- [0021] (2) 상기 반도체 발광 소자에서, 주기요철 구조(21)의 배열 패턴은 삼각격자형상(三角格子狀)이라도 좋다. 이 경우, 주기요철 구조(21)의 블록형상부의 단위 면적당의 수를 용이하게 많이 할 수 있다.
- [0022] (3) 상기 반도체 발광 소자에서, 주기요철 구조(21)는, 공기보다 굴절률이 높은 고굴절률 재료로 이루어지는 블록부(블록형상부)를 포함하고 있어도 좋다. 발광층(활성층(13))으로부터 광 취출면(기판(16)의 이면(16A))을 향

하는 방향에 대해 수직한 면에서의 볼록부의 단면적은, 발광층(활성층(13))부터 떨어질수록 작게 되어 있어도 좋다. 이와 같이 하면, 광 취출면의 외부 매체가 공기인 경우에, 확실하게 광 취출면부터의 광 취출 효율을 높일 수 있다.

- [0023] (4) 상기 반도체 발광 소자에서, 볼록부의 형상은, 추체(錐體) 형상 또는 반타원구(半橢圓球) 형상이라도 좋다. 이 경우, 에칭 등의 비교적 일반적인 프로세스를 이용하여 볼록부를 용이하게 형성할 수 있다.
- [0024] (5) 상기 반도체 발광 소자에서, 발광층은 III족 질화물 반도체를 포함하고 있어도 좋다. 반도체층은, 도전형이 n형인 n형 III족 질화물 반도체층(n형 반도체층(15))과, 발광층에서 보아 n형 III족 질화물 반도체층과 반대측에 위치하고, 도전형이 p형인 p형 III족 질화물 반도체층(p형 반도체층(12))을 포함하고 있어도 좋다. 이와 같은 III족 질화물 반도체를 이용하면, 발광 파장이 450nm 이하라는 단파장의 광을 출사하는 반도체 발광 소자를 얻을 수 있다.
- [0025] (6) 상기 반도체 발광 소자는, 발광층으로부터 보아 광 취출면측에 배치되고, 발광층부터 출사되는 광에 대해 투명성을 갖는 투명성 기관을 구비하고 있어도 좋다. 이 경우, 투명성 기관의 이면(반도체층이 형성된 주표면(主表面)과 반대측의 이면)을, 광 취출면으로서 이용할 수 있다.
- [0026] (7) 상기 반도체 발광 소자에서, 투명성 기관이 질화알루미늄 기관이라도 좋다. 이 경우, III족 질화물 반도체로 이루어지는 발광층을 포함하는 반도체층의 결함 밀도를 대폭적으로 저감할 수 있다.
- [0027] (8) 상기 반도체 발광 소자에서, 발광층부터 출사되는 광의 파장은 450nm 이하라도 좋다. 이와 같은 발광 파장이 단파장인 경우에, 상술한 바와 같은 효과를 현저하게 얻을 수 있다.
- [0028] (9) 상기 반도체 발광 소자에서, 주기요철 구조(21)의 높이(H1)는, 주기요철 구조(21)의 주기(L1)에 대해 1/3배 이상 5배 이하라도 좋고, 미세요철 구조(22)의 평균높이는, 미세요철 구조(22)의 평균 직경에 대해 0.1배 이상 10배 이하라도 좋다. 이 경우, 광 취출 효율을 확실하게 향상시킬 수 있다.
- [0029] (10) 본 실시 형태에 의한 반도체 발광 소자는, 질화알루미늄으로 이루어지는 기관(16)과, 기관(16)의 주표면상에 형성된 반도체층을 구비한다. 반도체층은, III족 질화물 반도체를 포함하는 발광층(활성층(13))과, 발광층을 끼우도록 배치된, 도전형이 n형인 n형 III족 질화물 반도체층(n형 반도체층(15))과 도전형이 p형인 p형 III족 질화물 반도체층(p형 반도체층(12))을 포함한다. 발광층부터 출사하는 광의 파장은 350nm 이하이다. 기관(16)에서 주표면과 반대측에 위치하는 이면에는, 발광층부터 출사되는 광의 파장을, 기관을 구성하는 질화알루미늄의 굴절률과 기관의 외부에 위치하는 외부 매질의 굴절률과의 차(差)로 나는 값(평균치)의 1/3배 이상 5배 이하인 주기를 갖는 주기요철 구조(21)가 형성되어 있다.
- [0030] 이 경우, 발광층부터 출사되는 광의 파장(발광 파장)과, AlN으로 이루어지는 기관(16)의 굴절률과, 외부 매질의 굴절률에 의하여 주기요철 구조(21)의 주기가 결정되어 있기 때문에, 기관(16)의 이면(광 취출면)으로부터의 광 취출 효율을 확실하게 향상시킬 수 있다.
- [0031] 또한, 상기 주기는, 바람직하게는 평가치의 0.5배 이상 4배 이하, 더욱 바람직하게는 1배 이상 3배 이하이다.
- [0032] (11) 상기 반도체 발광 소자에서, 주기요철 구조(21)의 배열 패턴은 삼각격자형상이라도 좋다. 이 경우, 주기요철 구조(21)의 볼록형상부의 단위 면적당의 수를 용이하게 많게 할 수 있다.
- [0033] (12) 상기 반도체 발광 소자에서, 주기요철 구조는 볼록부를 포함하고, 당해 볼록부의 형상은, 추체 형상 또는 반타원구 형상이라도 좋다. 이 경우, 에칭 등의 비교적 일반적인 프로세스를 이용하여 볼록부를 용이하게 형성할 수 있다.
- [0034] (13) 상기 반도체 발광 소자에서, 주기요철 구조의 높이는, 주기요철 구조의 주기에 대해 1/3배 이상 5배 이하라도 좋다. 이 경우, 확실하게 광 취출 효율을 높일 수 있다.
- [0035] 또한, 상기 높이는, 바람직하게는 평가치의 0.5배 이상 2배 이하, 더욱 바람직하게는 0.6배 이상 1.8배 이하이다.
- [0036] (14) 본 실시 형태에 의한 반도체 발광 소자의 제조 방법은, 발광층을 갖는 반도체층을 포함하는 반도체 발광 소자가 되어야 할 소자 부재를 준비하는 공정과, 소자 부재에서, 반도체 발광 소자의 광 취출면이 되어야 할 영역상에, 패턴을 갖는 마스크층을 형성하는 공정과, 마스크층을 마스크로서 이용하여, 에칭에 의해 광 취출면이 되어야 할 영역을 부분적으로 제거함에 의해, 주기요철 구조를 형성하는 공정을 구비한다. 마스크층은 금속 마스크층이다. 주기요철 구조를 형성하는 공정에서는, 불소계 가스를 에칭 가스로서 이용한 드라이 에칭을 행함에

의해, 주기요철 구조를 형성하고, 상기 마스크층의 잔사를 제거하는 공정에서, 주기요철 구조의 표면에 미세요철 구조를 형성한다. 주기요철 구조는, 발광층부터 출사되는 광의 파장의 0.5배를 초과하는 주기를 갖는다. 미세요철 구조는, 광의 파장의 0.5배 이하인 평균 직경을 갖는다. 또한, 주기요철 구조와 미세요철 구조는 같은 재질로 이루어지는 것을 특징으로 한다. 이와 같이 하면, 본 실시 형태에 의한 반도체 발광 소자를 용이하게 얻을 수 있다.

[0037] (15) 본 실시 형태에 의한 반도체 발광 소자의 제조 방법은, 질화알루미늄으로 이루어지는 기판과, 당해 기판의 주표면상에 형성되고, 발광층을 갖는 반도체층을 포함하는 반도체 발광 소자가 되어야 할 소자 부재를 준비하는 공정과, 소자 부재에서, 반도체 발광 소자의 광 취출면이 되어야 할 영역상에, 패틴을 갖는 마스크층을 형성하는 공정과, 마스크층을 마스크로서 이용하여, 에칭에 의해 광 취출면이 되어야 할 영역을 부분적으로 제거함에 의해, 주기요철 구조를 형성하는 공정을 구비한다. 주기요철 구조는, 발광층부터 출사되는 광의 파장을, 기판을 구성하는 질화알루미늄의 굴절률과 기판의 외부에 위치하는 외부 매질의 굴절률과의 차로 나눈 값의 1/3배 이상 5배 이하인 주기를 갖는다. 이와 같이 하면, 본 실시 형태에 의한 반도체 발광 소자를 용이하게 얻을 수 있다.

[0038] (16) 상기 반도체 발광 소자에서, 주기요철 구조(21)의 주기는, 광의 파장의 1배 이상이라도 좋다. 이 경우, 주기요철 구조(21)를 용이하게 제조할 수 있다.

[0039] (17) 상기 반도체 발광 소자에서, 주기요철 구조(21)의 주기는, 광의 파장의 2배 이상이라도 좋다. 또한, 미세요철 구조(22)의 평균 직경은, 광의 파장의 0.4배 이하라도 좋다. 이 경우, 반도체 발광 소자의 제조 비용이 증대하는 것을 피하면서, 광 취출 효율을 확실하게 높일 수 있다.

[0040] (18) 상기 반도체 발광 소자에서, 투명성 기판은 사파이어 기판이라도 좋다. 이와 같은 구성이라도, 광 취출 효율을 높인 반도체 발광 소자를 얻을 수 있다.

[0041] (19) 상기 반도체 발광 소자에서, 발광층부터 출사되는 광의 파장(발광 파장)은 350nm 이하라도 좋다. 이 경우, 상기한 바와 같은 단파장의 광을 출사하는 반도체 발광 소자에서 본 실시 형태에 의한 효과가 현저하다.

[0042] 다음에, 발명의 실시 형태의 구체례에 관해, 적절히 도면을 참조하여 설명한다. 단, 이하에 설명하는 발광 소자는, 본 발명의 기술 사상을 구체화하기 위한 것으로서, 본 발명을 이하의 것으로 한정하지 않는다. 특히, 이하에 기재되어 있는 구성 부품의 치수, 재질, 형상, 그 상대적 배치 등은 특징적인 기재가 없는 한은, 본 발명의 범위를 그것만으로 한정하는 취지가 아니고, 단순한 설명례에 지나지 않는다. 또한, 각 도면이 나타내는 부재의 크기나 위치 관계 등은, 설명을 명확히 하기 위해 과장하고 있는 일이 있다. 또한, 본 발명을 구성하는 각 요소는, 복수의 요소를 동일한 부재로 구성하여 하나의 부재로 복수의 요소를 겸용한 양태로 하여도 좋고, 역으로 하나의 부재의 기능을 복수의 부재에서 분담하여 실현할 수도 있다. 또한, 이하에 기재되어 있는 각 실시의 형태에 대해서도 마찬가지로, 특히 배제하는 기재가 없는 한은 각 구성 등을 적절히 조합시켜서 적용할 수 있다.

[0043] (실시의 형태 1)

[0044] 도 1~도 3은, 본 발명의 제1의 실시 형태에 관한 반도체 발광 소자의 구조를 개념적으로 도시하고 있다. 도 1~도 3을 참조하면, 반도체 발광 소자는, AlN(질화알루미늄)으로 이루어지는 기판(16)과, n형 반도체층(15)과, 활성층(13)과, p형 반도체층(12)과, 정전극(11)과, 부전극(14)을 주로 구비하고 있다. 기판(16)의 주표면상에 n형 반도체층(15)이 형성되어 있다. n형 반도체층(15)의 일부 표면에 볼록부가 형성되어 있고, 당해 볼록부상에 활성층(13)이 형성되어 있다. 활성층(13)상에 p형 반도체층(12)이 형성되어 있다. p형 반도체층(12)상에 정전극(11)이 형성되어 있다. 또한, n형 반도체층(15)의 표면에서, 상기 볼록부가 형성되지 않은 영역에는 부전극(14)이 형성되어 있다.

[0045] 발광층으로서의 활성층(13)부터 출사하는 광의 파장은 350nm 이하이다. 기판(16)에서 주표면과 반대측에 위치하는 이면에는, 활성층(13)부터 출사되는 광의 파장을, 기판(16)을 구성하는 질화알루미늄의 굴절률과 기판(16)의 외부에 위치하는 외부 매질인 공기의 굴절률과의 차(差)로 나눈 값(기준치)의 1/3배 이상 5배 이하인 주기(L1)를 갖는 주기요철 구조(21)가 형성되어 있다.

[0046] 이하, 각 구성 요소에 관해 개별적으로 설명한다.

[0047] <기판>

[0048] 기판(16)으로서, 질화물 반도체 결정이 표면에 에피택셜 성장 가능한 기판으로서, 또한, 반도체 발광 소자가 발하는 광의 파장역에 대해 투과율이 높은(예를 들면 당해 광의 투과율이 50% 이상인) 것을 충족시키는 기판을

선택하여 이용할 수 있다. 예를 들면, 기관(16)의 재료로서는, 상술한 AlN, 또한 사파이어, GaN 등을 들 수 있다.

[0049] 기관(16)은, 상술한 바와 같이 광 취출면(이면)에 주기요철 구조(21)가 형성되어 있다. 구체적으로는, 주기요철 구조(21)는 볼록형상부를 포함하고, 그 볼록형상부는 도 2 및 도 3에 도시하는 바와 같은 추체 형상(예를 들면 저면의 직경(D1), 저면부터 정점까지의 높이(H1), 측면과 저면이 이루는 각도(θ))를 갖는 추체 형상)이다. 또한, 볼록형상부는, 도 4에 도시하는 바와 같은 반타원구 형상이라도 좋다.

[0050] 또한, 주기요철 구조의 배열(볼록형상부의 배열)은, 삼각격자 배열, 정방격자 배열, 육방격자 배열 등의 주기(周期) 배열 방법이라면 좋고, 바람직하게는, 필링 팩터가 최대가 되는 삼각격자 배열이다. 또한, 주기요철 구조(21)는, 반도체 발광 소자의 발광 파장을, 기관(16)을 구성하는 질화알루미늄의 굴절률과 기관(16)의 외부에 위치하는 외부 매질인 공기의 굴절률과의 차로 나눈 값(기준치)의 1/3배 이상 5배 이하인 주기(L1)를 갖고 있어도 좋다. 또한, 주기요철 구조(21)의 높이(H1)는, 당해 주기(L1)에 대해 1/3배 이상 5배 이하의 범위인 것이 바람직하다.

[0051] 또한, 상술한 주기요철 구조(21)의 주기(L1)는, 보다 바람직하게는 상기 기준치의 0.5배 이상 4배 이하, 더욱 바람직하게는 1배 이상 3배 이하이다. 이와 같이 하면, 보다 확실하게 광 취출 효율을 향상시킬 수 있다. 또한, 주기요철 구조(21)의 높이(H1)는, 당해 주기(L1)에 대해 바람직하게는 0.5배 이상 2배 이하, 더욱 바람직하게는 0.6배 이상 1.8배 이하이다. 이와 같이 하여도, 보다 확실하게 광 취출 효율을 향상시킬 수 있다.

[0052] 뒤이어, 주기요철 구조(21)의 제작 방법에 관해 이하에 기술한다. 주기요철 구조(21)는, 제1로 에칭 마스크 제작 공정(도 5의 공정(S41)), 제2로 에칭 공정(도 5의 공정(S42)), 제3으로 마스크 제거 공정(도 5의 공정(S43))이라는 프로세스에 의해 제작할 수 있다. 에칭 마스크 제작 공정은, 기관(16)의 이면상에 에칭 마스크 패턴을 제작하는 공정이고, 전자선 리소그래피법, 광 리소그래피법, 나노임프린트 리소그래피법 등, 임의의 방법을 적용할 수 있다. 또한, 에칭 공정에서의 에칭 선택비를 향상시키기 위해, 상술한 임의의 방법에 의해 패턴을 갖는 마스크 패턴(예를 들면 레지스트 마스크)을 형성한 후, 당해 마스크 패턴을 덮도록 금속을 퇴적시켜서, 그 후 리프트 오프법에 의해 마스크 패턴과 함께 당해 금속의 일부를 제거함에 의해, 금속의 마스크 패턴을 제작하여도 좋다.

[0053] 마스크 패턴을 에칭 마스크로 하여, 기관(16)의 이면을 에칭하여 소망하는 패턴을 기관(16)의 이면에 형성한다. 에칭의 수법은, 유도결합 플라즈마(ICP) 에칭, 반응성 이온 에칭(RIE) 등의 드라이 에칭, 또는 산성 용액, 또는 알칼리성 용액을 에칭액으로서 이용하는 웨트 에칭 등을 적용할 수 있다. 여기서, 주기성이 높은 패턴을 형성하기 위해서는, 드라이 에칭을 적용하는 편이 바람직하다. 드라이 에칭을 이용한 에칭 공정에서는, 에칭 마스크로서 레지스트 등의 수지 재료나 금속을 이용할 수 있고, 또한, 에칭 가스로서는, 염소계의 가스나 불소계의 가스, 브롬계의 가스 등이 적용할 수 있다. 또한, 상술한 에칭 가스에 수소나 산소 등을 혼합시킨 가스를 이용하여도 좋다.

[0054] 상술한 에칭 공정 후, 마스크 제거 공정을 실시한다. 즉, 에칭 마스크의 잔사를 제거한다. 에칭 마스크의 잔사의 제거 방법은, 당해 에칭 마스크의 재질에 의해 적절히 결정하면 좋다. 예를 들면, 에칭 마스크의 재질이 금속이라면, 당해 금속에 대해 용해성을 갖는 산성 용액이나 알칼리성 용액을 이용하여 잔사를 제거하면 좋다.

[0055] 또한 주기요철 구조(21)의 위에, 수지나 유리, 석영 등의 밀봉재를 형성하여도 좋다. 또한 밀봉재의 표면에, 요철 구조를 형성하여도 좋다. 당해 요철 구조의 구성은, 상기 주기요철 구조(21)와 같은 구성으로 하여도 좋다.

[0056] <적층 반도체층>

[0057] 적층 반도체층은, III족 질화물 반도체로 이루어지는 것이고, 도 1에 도시하는 바와 같이 기관(16)상에 n형 반도체층(15), 활성층(13), 및 p형 반도체층(12)이 이 순서로 적층되어 이루어지는 것이다. 적층 반도체층은, 유기 금속 화학 기상 성장법(MOCVD법), 유기금속 기상 성장법(MOVPE법), 분자선 에피택시법(MBE법), 하이드라이드 기상 성장법(HVPE법) 등의 방법으로 적층된다.

[0058] n형 반도체층 :

[0059] n형 반도체층(15)은, $Al_xIn_yGa_{1-x-y}N_z$ (x, y, z는, $0 < x \leq 1.0$, $0 \leq y \leq 0.1$, $0 \leq z < 1.0$ 을 충족시키는 유리수로 하고, $x+y+z=1.0$ 이다)로 구성된 반도체층이고, n형 불순물을 포함하는 것이 바람직하다. 불순물로서는 특히 한정되는 것은 아니지만, 규소(Si), 게르마늄(Ge), 주석(Sn) 등을 들 수 있고, 바람직하게는 Si, Ge를 들 수 있다. n형 불순물의 농도는 $1.0 \times 10^{17} / \text{cm}^3$ 이상 $1.0 \times 10^{20} / \text{cm}^3$ 이하로 하여도 좋다. 또한, n형 반도체층(15)의 결정성 및 콘

택트 특성의 양 관점에서, 바람직하게는, n형 불순물의 농도는 $1.0 \times 10^{18} / \text{cm}^3$ 이상 $1.0 \times 10^{19} / \text{cm}^3$ 이하이다.

[0060] 또한, n형 반도체층(15)의 막 두께는 100nm 이상 10000nm 이하이다. 또한, n형 반도체층(15)의 결정성 및 도전성의 양 관점에서, 바람직하게는, n형 반도체층(15)의 막 두께는 500nm 이상 3000nm 이하이다.

[0061] 활성층 :

[0062] 활성층(13)은, 다중양자우물구조를 갖고 있다. 활성층(13)은, $\text{Al}_x\text{In}_y\text{GaN}_z$ (x, y, z는, $0 < x \leq 1.0$, $0 \leq y \leq 0.1$, $0 \leq z < 1.0$ 을 충족시키는 유리수로 하고, $x+y+z=1.0$ 이다)로 구성되는 우물층과, 당해 우물층보다도 밴드 갭 에너지가 큰 $\text{Al}_x\text{In}_y\text{GaN}_z$ (x, y, z는, $0 < x \leq 1.0$, $0 \leq y \leq 0.1$, $0 \leq z < 1.0$ 을 충족시키는 유리수로 하고, $x+y+z=1.0$ 이다)로 구성되는 장벽층이 교대로 적층한 적층 구조로 이루어진다. 우물층의 막 두께는 1nm 이상이고, 바람직하게는 2nm 이상이다. 장벽층의 막 두께는 1nm 이상이고, 바람직하게는 2nm 이상이다.

[0063] p형 반도체층 :

[0064] p형 반도체층(12)은, 예를 들면 p형 클래드층 및 p형 콘택트층으로 구성된다. p형 클래드층은, $\text{Al}_x\text{In}_y\text{GaN}_z$ (x, y, z는, $0 < x \leq 1.0$, $0 \leq y \leq 0.1$, $0 \leq z < 1.0$ 을 충족시키는 유리수로 하고, $x+y+z=1.0$ 이다)로 구성된다. 활성층(13)에 전자를 가둘 필요가 있기 때문에, 활성층(13)을 구성하는 반도체층보다도 p형 클래드층은 밴드 갭 에너지가 큰 것이 바람직하다. 따라서, p형 클래드층의 Al 조성은, 활성층(13)을 구성하는 반도체층의 Al 조성보다도 큰 것이 바람직하다.

[0065] p형 클래드층의 불순물로서는, 마그네슘(Mg)을 알맞게 들 수 있다. Mg의 농도(도핑 농도)는 $1.0 \times 10^{17} / \text{cm}^3$ 이상, 바람직하게 $1.0 \times 10^{17} / \text{cm}^3$ 이상이다. p형 클래드층의 막 두께는, 5nm 이상 1000nm 이하, 바람직하게는 10nm 이상 50nm 이하이다.

[0066] p형 콘택트층은, $\text{Al}_x\text{In}_y\text{GaN}_z$ (x, y, z는, $0 < x \leq 1.0$, $0 \leq y \leq 0.1$, $0 \leq z < 1.0$ 을 충족시키는 유리수로 하고, $x+y+z=1.0$ 이다)로 구성된다. p형 콘택트층의 Al 조성은 p형 클래드층의 Al 조성보다도 작은 것이 바람직하다. 이 이유는, p형 콘택트층의 밴드 갭 에너지가 p형 클래드층보다 작은 편이, 양호한 콘택트 특성을 얻기 쉽기 때문이다. p형 콘택트층의 불순물로서는, p형 클래드층과 마찬가지로 Mg를 알맞게 들 수 있다. Mg의 도핑 농도는 $1.0 \times 10^{17} / \text{cm}^3$ 이상으로 할 수 있다. p형 콘택트층의 막 두께는, 자외광의 투과성과 p형 콘택트층에서의 콘택트 특성의 관점에서, 1nm 이상 50nm 이하, 바람직하게는 5nm 이상 30nm 이하이다.

[0067] <부전극층>

[0068] 부전극(14)은, n형 반도체층(15)의 노출면(n형 반도체층(15)의 볼록부를 둘러싸는 상부 표면)에 형성된다. n형 반도체층(15)의 노출면은, n형 반도체층(15)의 일부, 및 활성층(13)이나 p형 반도체층(12)을 부분적으로 제거함(예를 들면 에칭 등에 의해 제거한다)에 의해 형성된다. 에칭의 수법으로서, 알맞게는 반응성 이온 에칭, 유도결합 플라즈마 에칭 등의 드라이 에칭을 이용할 수 있다. n형 반도체층(15)의 노출면을 형성 후, n형 반도체층(15)에서 에칭된 면(노출면)에서의 에칭에 의한 데미지를 받은 부분을 제거하기 위해, 산 또는 알칼리의 용액으로 표면 처리를 시행하는 것이 바람직하다. 그 후, 상기 n형 반도체층(15)의 노출면에 오믹성을 갖는 부전극(14)을 형성한다.

[0069] 부전극(14)나 정전극(11) 등의 전극의 패터닝은, 리프트 오프법을 이용하여 실시할 수 있다. 구체적으로는, 전극을 형성하는 면에 포토레지스트를 도포한 후, 포토 마스크를 구비한 UV 노광기에 의해 자외선을 포토레지스트에 부분적으로 조사한다. 그 후, 현상액에 포토레지스트를 침지시켜서, 감광한 포토레지스트를 용해시킴에 의해 소망하는 패턴의 레지스트막을 형성한다. 패터닝된 레지스트막상에 전극이 되어야 할 금속막을 퇴적시킨다. 그리고, 박리액으로 레지스트막을 용해하고, 레지스트막상에 위치하고 있던 금속막을 제거함에 의해, 레지스트막이 형성되지 않은 영역에 위치하는 금속막을 잔존시켜서 소정의 패턴을 갖는 금속막(전극)을 형성한다.

[0070] 전극의 패터닝 수법으로서, 또한 이하의 수법을 들 수 있다. 즉, 전극 형성면(예를 들면 n형 반도체층(15)의 노출면)에 전극이 되어야 할 금속막을 형성한다. 그리고, 금속막상에 포토레지스트를 도포 후, 노광, 현상 공정을 경유하여 포토레지스트를 패터닝한다. 그 후, 상기 패터닝된 포토레지스트(레지스트막)를 마스크로서 이용하여, 드라이 에칭, 또는 웨트 에칭으로 금속막을 부분적으로 제거한다. 그 후, 박리액으로 포토레지스트를 용해한다. 이와 같이 하여도, 전극을 형성할 수 있다. 또한, 상술한 리프트 오프법은, 금속막상에 레지스트 패턴을 형성하

는 패터닝 수법과 비교하여, 공정이 간략하기 때문에 알맞게 이용된다.

[0071] 부전극(14)을 구성하는 금속막을 퇴적한 수법은, 진공 증착법, 스퍼터링법, 화학 기상 성장법 등 임의의 방법을 이용할 수 있지만, 금속막중의 불순물을 배제하는 관점에서 진공 증착법을 이용하는 것이 바람직하다. 부전극(14)에 사용된 재료는, 여러가지 들 수 있지만 공지의 재료로부터 선택할 수 있다. 부전극(14)이 되어야 할 금속막을 퇴적 후, n형 반도체층(15)과 부전극(14)과의 콘택트성향상을 위해, 300℃ 이상 1100℃ 이하의 온도로 30초 이상 3분 이하의 가열시간이라는 조건으로 열처리를 시행하는 것이 바람직하다. 열처리의 온도 및 가열시간에 관해서는, 부전극(14)을 구성하는 금속의 종류, 및 금속막의 막 두께에 응하여 적절히 최적의 조건으로 실시하면 좋다.

[0072] <정전극층>

[0073] 정전극(11)은, p형 반도체층(12)에서의 p형 콘택트층상에 형성된다. 정전극(11)의 패터닝은, 부전극(14)의 패터닝과 마찬가지로 리프트 오프법을 이용한 것이 바람직하다. 정전극(11)에 사용되는 금속재료는, 여러가지 들 수 있지만 공지의 재료로부터 선택할 수 있다. 또한, 정전극(11)은 투광성을 갖는 것이 바람직하기 때문에, 정전극(11)의 두께는 얇을수록 바람직하다. 구체적으로는 정전극(11)의 두께는 10nm 이하, 또한 알맞게는 5nm 이하이다.

[0074] 정전극(11)이 되어야 할 금속막을 퇴적하는 방법으로서, 부전극(14)의 형성과 마찬가지로, 진공 증착법, 스퍼터링법, 화학 기상 성장법 등을 들 수 있지만, 금속막중의 불순물을 극력 배제하기 위해 진공 증착법을 이용하는 것이 바람직하다. 정전극(11)이 되어야 할 금속막을 퇴적 후, p형 콘택트층과의 콘택트성 향상을 위해, 200℃ 이상 800℃ 이하의 온도로 30초 이상 3분 이하의 시간, 열처리를 시행하는 것이 바람직하다. 열처리의 온도 및 시간에 관해서는, 정전극(11)을 구성하는 금속의 종류 및 정전극(11)의 두께에 응하여 적절히 알맞은 조건을 선택할 수 있다.

[0075] 상술한 반도체 발광 소자는, 도 5에 도시하는 바와 같은 제조 공정에 의해 제조된다. 즉, 도 5를 참조하면, 우선 기판 준비 공정(S10)을 실시한다. 이 공정(S10)에서는, AlN으로 이루어지는 기판을 준비한다. 또한, 이 단계에서는 아직 기판의 이면에는 주기요철 구조(21)는 형성되어 있지 않다. 다음에, 반도체층 형성 공정(S20)을 실시한다. 이 공정(S20)에서는, 기판(16)의 주표면상에, p형 반도체층(12), 활성층(13), n형 반도체층(15)으로 이루어지는 적층 반도체층을 형성한다. 이들의 p형 반도체층(12), 활성층(13), n형 반도체층(15) 각각은, 상술한 바와 같이 MOCVD법이나 MOVPE법 등, 임의의 방법에 의해 형성할 수 있다.

[0076] 다음에, 전극 형성 공정(S30)을 실시한다. 이 공정에서는, 에칭에 의해 p형 반도체층(12), 활성층(13), n형 반도체층(15)의 일부를 제거함에 의해, 도 1에 도시하는 바와 같이 n형 반도체층(15)의 노출면을 형성한다. 또한, 리프트 오프법 등을 이용하여, p형 반도체층(12)상에 정전극(11)을 형성하고, n형 반도체층(15)의 노출면상에 부전극(14)을 형성한다.

[0077] 그 후, 요철 구조 형성 공정(S40)을 실시한다. 이 공정(S40)에서는, 우선 마스크 형성 공정(S41)을 실시한다. 이 공정(S41)에서는, 상술한 바와 같이 리소그래피법 등을 이용하여 기판(16)의 이면상에 에칭 마스크 패턴을 형성한다. 다음에, 에칭 공정(S42)을 실시한다. 이 공정(S42)에서는, 기판(16)의 이면에 대해 상기 에칭 마스크 패턴을 마스크로서 이용하여 에칭을 행한다. 이 결과, 주기요철 구조(21)가 형성된다. 그리고, 다음에 마스크 제거 공정(S43)을 실시한다. 이 공정(S43)에서는, 에칭 마스크의 잔사를 임의의 방법에 의해 제거한다. 이와 같이 하여, 도 1에 도시한 반도체 발광 소자를 얻을 수 있다.

[0078] (실시의 형태 2)

[0079] 본 발명의 실시의 형태 2에 관한 반도체 발광 소자는, 기본적으로는 도 1~도 3에 도시한 반도체 발광 소자와 같은 구조를 구비하지만, 기판(16)의 이면의 구성이 도 1~도 3에 도시한 반도체 발광 소자와는 다르다. 도 6은, 본 발명의 실시의 형태 2에 관한 반도체 발광 소자의 기판(16)에서의 이면의 평면 구조를 개념적으로 도시하고 있다. 도 6을 참조하여, 본 발명의 실시의 형태 2에서의 반도체 발광 소자에서는, 광 취출면의 한 예로서 기판(16)의 이면을 이용하고 있고, 당해 기판(16)의 이면에서 주기요철 구조(21)가 형성되어 있다. 그리고, 또한 당해 주기요철 구조(21)의 표면에 미세요철 구조(22)가 형성되어 있다.

[0080] 즉, 도 6에 도시한 반도체 발광 소자는, 발광층인 활성층(13)을 포함하는 반도체층을 구비한 반도체 발광 소자로서, 반도체 발광 소자의 표면은 광 취출면으로서의 기판(16)의 이면을 포함한다. 광 취출면 및 반도체 발광 소자 내에서 서로 굴절률이 다른 2개의 층의 계면의 적어도 어느 일방에는, 활성층(13)부터 출사되는 광의 파장의 0.5배를 초과하는 주기(L1)를 갖는 주기요철 구조(21)와, 주기요철 구조(21)의 표면상에 위치하고, 광의 파

장의 0.5배 이하인 평균 직경(직경(D2)의 평균치)을 갖는 미세요철 구조(22)가 형성되어 있다. 또한, 평균 직경은, 주기요철 구조(21)의 일주기를 한 번의 길이로 하는 정방형 영역에 포함되는 미세요철 구조(22)의 직경을 각각 측장(測長)하고, 그들의 평균치로부터 결정할 수 있다.

[0081] 또한, 여기서는 광 취출면의 한 예로서 기관(16)의 이면을 이용하고, 당해 기관(16)의 이면(16A)에 주기요철 구조(21) 등이 형성되는 경우를 예로서 설명하고 있지만, 상술한 주기요철 구조(21) 및 미세요철 구조(22)가 형성되는 장소는 광 취출면으로 한정되지 않는다. 즉, 주기요철 구조(21) 및 미세요철 구조(22)가 형성되는 장소는 반도체 발광 소자 내의 굴절률이 다른 층끼리의 계면이라도 좋다. 예를 들면, 기관(16)의 이면(16A)상에 밀봉재 등 별도부재가 형성된 경우에 있어서의 당해 이면(16A)과 밀봉재(별도부재)와의 계면, 또는 반도체 발광 소자 내의 반도체층 등에서 굴절률이 서로 다른 층끼리의 계면 등에, 상술한 주기요철 구조(21) 및 미세요철 구조(22)를 형성하여도 좋다.

[0082] 또한, 상술한 바와 같이 기관(16)의 이면상에 밀봉재 등 별도부재가 형성되어 있으면, 당해 밀봉재 표면(별도부재 표면)이 외부에 대한 광 취출면이 된다. 그리고, 이 경우에는, 예를 들면 굴절률차가 가장 커지는 계면(예를 들면 당해 이면(16A)과 밀봉재(별도부재)와의 계면)에 더하여, 밀봉재 표면의 광 취출면이 되는 부분에도, 상술한 주기요철 구조(21) 및 미세요철 구조(22)를 형성하여도 좋다.

[0083] 본 실시 형태에 관한 반도체 발광 소자는, p형 반도체층(12), 활성층(13), n형 반도체층(15), 정전극(11), 부전극(14)의 구성은 기본적으로 도 1~도 3에 도시한 반도체 발광 소자와 마찬가지로인 한편, 상술한 바와 같이 기관(16)의 구성은 도 1~도 3에 도시한 반도체 발광 소자와 다르다. 그 때문에, 기관(16)의 구성에 관해 이하 설명한다.

[0084] <기관>

[0085] 기관(16)의 재질이나 특성은, 기본적으로 도 1~도 3에 도시한 반도체 발광 소자에서의 기관(16)과 마찬가지로이고, 예를 들면, 사파이어, AlN, GaN 등을 이용할 수 있다. 기관(16)은, 상술한 바와 같이 광 취출면(이면)에 주기요철 구조(21)를 갖는다. 구체적으로는, 주기요철 구조(21)는 볼록형상부를 포함하고, 당해 볼록형상부는 도 6 및 도 7에 도시하는 바와 같은 추체 형상이다. 또한, 볼록형상부는 도 8에 도시하는 바와 같이 반타원구 형상이라도 좋다.

[0086] 또한, 주기요철 구조(21)의 배열은, 삼각격자 배열, 정방격자 배열, 육방격자 배열 등의 주기 배열 방법이라면 좋고, 바람직하게는, 필링 팩터가 최대가 되는 삼각격자 배열이 좋다. 또한, 주기요철 구조(21)는, 반도체 발광 소자의 발광 파장에 대해, 0.5배를 초과하는 범위의 주기(L1)를 갖고 있어도 좋다. 또한, 주기요철 구조(21)의 높이(볼록형상부의 높이(H1))는, 주기(L1)에 대해 1/3배 이상 5배 이하의 범위인 것이 바람직하다.

[0087] 상술한 주기요철 구조(21)의 주기(L1)의 수치 범위의 예로서는, 예를 들면 상기 발광 파장의 2/3배 이상 1000배 이하, 또는 2배 이상 100배 이하로 할 수 있다. 이와 같이 하면, 보다 확실하게 광 취출 효율을 향상시키면서 제조 비용을 억제하고, 보다 균일한 소자 형상과 광출력을 얻을 수 있다. 또한, 주기요철 구조(21)의 높이(H1)는, 당해 주기(L1)에 대해 바람직하게는 1/2배 이상 3배 이하, 더욱 바람직하게는 3/4배 이상 2배 이하이다. 이와 같이 하여도, 보다 확실하게 광 취출 효율을 향상시키면서 제조 비용을 억제하고, 보다 균일한 소자 형상과 광출력을 얻을 수 있다.

[0088] 또한, 주기요철 구조(21)가 형성되는 기관(16)의 이면에는, 주기요철 구조(21)의 표면에, 주기요철 구조(21)보다도 작은 미세요철 구조(22)를 형성한다. 미세요철 구조(22)는 미세볼록형상부를 포함한다. 미세요철 구조(22)는, 주기요철 구조(21)의 볼록형상부의 표면과, 주기요철 구조(21)의 오목부(볼록형상부의 사이에 위치하는 평탄부)에 배치된다. 미세요철 구조(22)의 평균 직경은, 반도체 발광 소자의 발광 파장의 1/2 이하이고, 미세요철 구조(22)의 높이는, 평균 직경의 0.1배 이상 10배 이하의 범위인 것이 바람직하다. 또한, 미세요철 구조(22)의 높이는, 보다 바람직하게는 0.2배 이상 5배 이하, 보다 바람직하게는 0.5배 이상 2배 이하이다. 미세요철 구조(22)의 미세볼록형상부는, 추체 형상 또는 반타원구 형상을 갖는 것이 바람직하다.

[0089] 상술한 미세요철 구조(22)의 평균 직경은, 보다 바람직하게는 상기 발광 파장의 1/30배 이상 2/5배 이하, 더욱 바람직하게는 1/10배 이상 3/10배 이하이다. 이와 같이 하면, 보다 확실하게 광 취출 효율을 향상시킬 수 있다. 또한, 미세요철 구조(22)의 평균높이는, 당해 평균 직경에 대해 바람직하게는 0.2배 이상 5배 이하, 더욱 바람직하게는 0.5배 이상 2배 이하이다. 이와 같이 하여도, 보다 확실하게 광 취출 효율을 향상시킬 수 있다.

[0090] 또한, 미세요철 구조(22)의 평균높이는, 주기요철 구조의 일주기를 한 번의 길이로 하는 정방형 영역에 포함되는

미세요철 구조의 높이를 각각 측정하고, 그들의 평균치로부터 결정할 수 있다.

- [0091] 뒤이어, 요철 구조의 제작 방법에 관해 이하에 기술한다. 상기 주기요철 구조(21)와 미세요철 구조(22)는, 제1에 에칭 마스크 제작 공정(도 9의 공정(S410)), 제2에 에칭 공정(도 9의 공정(S420)), 제3에 에칭 마스크 제거 공정(도 9의 공정(S430))이라는 프로세스로 제작할 수 있다. 에칭 마스크 제작 공정은, 기판에 에칭 마스크 패턴을 제작하는 공정이고, 전자선 리소그래피법, 광 리소그래피법, 나노임프린트 리소그래피법 등을 적용할 수 있다. 또한, 에칭 공정으로의 에칭 선택비를 향상시키기 위해, 상술한 임의의 방법에 의해 패턴을 갖는 마스크 패턴(예를 들면 레지스트 마스크)을 형성한 후, 당해 마스크 패턴을 덮도록 금속을 퇴적시켜서, 그 후 리프트 오프법에 의해 마스크 패턴과 함께 당해 금속의 일부를 제거함에 의해, 금속의 마스크 패턴을 제작하여도 좋다.
- [0092] 여기서, 미세요철 구조(22)의 형성에서는, 리프트 오프법으로 금속의 마스크를 형성하는 것이 바람직하고, 금속의 마스크가 니켈막에 의해 구성되는 것이 더욱 바람직하다. 그 이유는, 에칭 공정(S420)에서 에칭된 니켈 입자, 또는 니켈과 에칭 가스와의 반응물이 기판(16)의 이면에 재부착하고, 나노 사이즈의 에칭 마스크로서 작용하여 미세요철 구조(22)를 확실하게 형성할 수 있기 때문이다.
- [0093] 마스크 패턴을 에칭 마스크로 하여, 기판(16)의 이면을 에칭하여 소망하는 패턴을 기판(16)의 이면에 형성한다. 에칭의 수법은, 유도결합 플라즈마(ICP) 에칭, 반응성 이온 에칭(RIE) 등의 드라이 에칭, 또는 산성 용액, 또는 알칼리성 용액을 에칭액으로서 이용하는 웨트 에칭 등을 적용할 수 있다. 여기서, 주기성이 높은 패턴을 형성하기 위해서는, 드라이 에칭을 적용하는 편이 바람직하다.
- [0094] 드라이 에칭을 이용한 에칭 공정에서는, 에칭 마스크로서 레지스트 등의 수지 재료나 금속을 이용할 수 있다. 또한, 에칭 가스로서 반응성 가스, 바람직하게는 염소계의 가스나 불소계의 가스, 브롬계의 가스, 또는, 에칭 가스에 수소, 산소, 아르곤 등을 혼합시킨 가스도 이용할 수 있다. 또한, 미세요철 구조(22)를 형성하기 위해서는, 드라이 에칭의 가스에 불소계 가스, 특히 카본을 함유하는 불소계 가스를 이용하는 것이 바람직하다.
- [0095] 또는, 상술한 마스크 제작 공정 전에, 기판(16)의 이면을 드라이 에칭이나 웨트 에칭에 의해 미리 조면화하여 두어도 좋다. 이 경우, 그 조면상에 상술한 프로세스에 의해 주기요철 구조(21)를 형성하고, 주기요철 구조(21)와 미세요철 구조(22)의 조합을 제작할 수 있다.
- [0096] 또는, 주기요철 구조(21)를 형성 후, 금속이나 세라믹스의 미립자를 기판(16)의 이면(주기요철 구조(21)가 형성된 표면)에 배치하고, 미립자를 에칭 마스크로 하여 드라이 에칭을 시행하여도 좋다. 이와 같이 하여도, 주기요철 구조(21)와 미세요철 구조(22)의 조합을 제작할 수 있다. 상기 미립자의 배치 방법은, 미립자를 용해시킨 용매를 기판(16)의 이면에 도포하고 건조시키는 방법이나, 기판(16)의 이면상에 금속 박막을 형성한 후, 가열하여 금속 박막의 금속을 응집시키는 방법 등을 들 수 있지만, 어느 방법을 이용하여도 좋다.
- [0097] 상기한 바와 같이, 주기요철 구조(21)와 미세요철 구조(22)를 공존시키는 제작 수법은 여러가지 있지만, 프로세스의 간편성 등을 고려하면, 금속 마스크를 카본 함유 불소계 가스로 에칭하는 수법이 가장 바람직하다.
- [0098] 에칭 공정 후, 마스크 제거 공정으로서, 에칭 마스크의 잔사를 제거한다. 에칭 마스크의 잔사의 제거 방법에 관해서는, 실시의 형태 1에서 나타낸 방법을 이용할 수 있다.
- [0099] 또한, 주기요철 구조(21)와 미세요철 구조(22)와의 조합의 위에, 수지나 유리, 석영 등의 밀봉부를 형성하여도 좋다. 또한 밀봉부의 표면에, 주기요철 구조(21)와 미세요철 구조(22)의 조합, 또는 주기요철 구조(21) 또는 미세요철 구조(22)를 형성하여도 좋다.
- [0100] 상술한 본 실시의 형태에 관한 반도체 발광 소자는, 도 9에 도시하는 바와 같은 제조 공정에 의해 제조된다. 즉, 도 9를 참조하여, 기판 준비 공정(S100)~전극 형성 공정(S300)을 실시한다. 이들의 공정(S100)~(S300)은, 기본적으로 도 5에 도시하는 공정(S10)~(S30)과 마찬가지로 실시할 수 있다.
- [0101] 그 후, 요철 구조 형성 공정(S400)을 실시한다. 이 공정(S400)에서는, 우선 마스크 형성 공정(S410)을 실시한다. 이 공정(S410)에서는, 상술한 바와 같이 리소그래피법 등을 이용하여 기판(16)의 이면상에 금속으로 이루어지는 에칭 마스크 패턴을 형성한다. 다음에, 에칭 공정(S420)을 실시한다. 이 공정(S420)에서는, 기판(16)의 이면에 대해 상기 에칭 마스크 패턴을 마스크로서 이용하여, 카본 함유 불소계 가스에 의해 에칭을 행한다. 이 결과, 주기요철 구조(21) 및 미세요철 구조(22)가 형성된다. 그리고, 다음에 마스크 제거 공정(S430)을 실시한다. 이 공정(S430)에서는, 에칭 마스크의 잔사를 임의의 방법에 의해 제거한다. 이와 같이 하여, 도 6에 도시한 반도체 발광 소자를 얻을 수 있다.
- [0102] 또한, 상술한 주기요철 구조(21) 및 미세요철 구조(22)는, 기판(16)의 이면이 아니라, 반도체 발광 소자 내에서

서로 굴절률이 다른 2개의 층의 계면에 형성하여도 좋다. 이 경우도, 발광층부터 출사한 광이, 당해 계면에서 반사·전반사되는 비율을 저감하고, 결과적으로 반도체 발광 소자의 광의 취출 효율을 높일 수 있다.

- [0103] 여기서, 상술한 실시의 형태와 일부 중복되는 부분도 있지만, 본 발명의 특징적인 구성을 열거한다.
- [0104] 즉, 본 발명의 한 양태는, 반도체 발광 소자의 표면(광 취출면의 한 예인 기관(16)의 이면(16A), 또는 기관(16)의 이면(16A)상에 밀봉재 등 별도부재가 배치된 경우에는 당해 별도부재의 표면, 등), 또는 반도체 발광 소자 내의 굴절률이 다른 층끼리의 계면(예를 들면 기관(16)의 이면(16A)상에 수지 등이 배치된 경우의 이면(16A)과 수지와 계면, 또는 반도체 발광 소자 내의 반도체층 등에서 굴절률이 서로 다른 층끼리의 계면 등)에, 발광 파장의 0.5배를 초과하는 주기를 갖는 주기요철 구조(21)와, 발광 파장에 대해 1/2 이하의 평균 직경을 갖는 미세요철 구조(22)가, 아울러서 동일한 표면(또는 계면)상에 형성되어 있는 것을 특징으로 한다.
- [0105] 이 경우, 주기요철 구조(21)끼리의 간극이 평탄면부나, 주기요철 구조(21) 표면상에, 주기요철 구조보다도 작은 스케일의 미세요철 구조(22)가 형성되어 있기 때문에, 주기요철 구조(21)가 단체(單體)로 존재하는 경우와 비교하여, 보다 표면·계면에서의 굴절률차가 완화되고, 반사나 전반사를 억제하는 것이 가능해진다.
- [0106] 또한, 주기요철 구조(21) 단체의 경우에서는, 통상, 광 취출 효율을 높이기 위해, 파장 이하 정도로 작은 스케일의 주기요철 구조(21)를 형성할 필요가 있는데, 본 실시 상태의 구조에서는, 파장보다도 큰 사이즈의 주기요철 구조(21)라도, 미세요철 구조(22)와 조합함으로써, 충분히 광 취출 효율을 높이는 것이 가능하다. 즉, 발광 파장이 단파장이라도, 광 취출 구조의 제작에 걸리는 비용을 낮게 하고, 또한 프로세스 윈도우가 넓어짐으로써, 균일한 구조를 제작하는 것이 용이해진다.
- [0107] 또한, 주기요철 구조(21)의 배열 패턴이, 삼각격자형상인 것이 바람직하다.
- [0108] 또한, 주기요철 구조(21)의 형상이, 저부로부터 정점 방향(광 취출 방향)으로 갈 수록 고굴절률 매질의 단면 면적이 감소하여 가는 것이 바람직하다.
- [0109] 또한, 주기요철 구조(21)의 형상이, 볼록형상이고, 그 볼록형상이 추체 형상 또는 반타원구 형상인 것이 바람직하다.
- [0110] 본 발명을 이하의 것으로 특정하는 것은 아니지만, 본 발명의 한 양태는, 이하의 특징을 갖는다.
- [0111] n형 III족 질화물 반도체층(n형 반도체층(15)), III족 질화물 반도체 발광층(활성층(13)), 및 p형 III족 질화물 반도체층(p형 반도체층(12))을 갖는 반도체 적층 구조를 구비하는 것을 특징으로 한다.
- [0112] 플립 칩 구조를 가지며, III족 질화물 반도체 발광층으로부터 보아 광 취출면측에, 발광 파장에 대해 투명성을 갖는 투명성 기관(기관(16))을 구비하는 것을 특징으로 한다.
- [0113] 투명성 기관이, 질화알루미늄(AlN) 기관 또는 사파이어 기관인 것을 특징으로 한다.
- [0114] 발광 파장이, 450nm 이하 또는 350nm 이하인 것을 특징으로 한다.
- [0115] 주기요철 구조(21)의 높이가, 주기에 대해 1/3~5배의 범위이고, 미세요철 구조(22)의 평균높이가, 평균 직경에 대해 1/10~5배의 범위인 것을 특징으로 한다.
- [0116] 또한 본 발명의 다른 한 양태는, AlN 기관(기관(16))과, n형 III족 질화물 반도체층(n형 반도체층(15)), III족 질화물 반도체 발광층(활성층(13)), 및 p형 III족 질화물 반도체층(p형 반도체층(12))을 갖는 반도체 적층 구조를 구비하고, 발광 파장이 350nm 이하이고, AlN 기관 표면상에, 발광 파장/(AlN 기관의 굴절률과 외부 매질의 굴절률과의 차)에 대해 1/3~5배의 범위의 주기를 갖는 주기요철 구조(21)가 형성되어 있는 것을 특징으로 한다.
- [0117] 또한 주기요철 구조(21)의 배열 패턴이, 삼각격자형상인 것이 바람직하다.
- [0118] 또한 주기요철 구조(21)의 형상이, 볼록형상이고, 그 볼록형상이 추체 형상 또는 반타원구 형상인 것이 바람직하다.
- [0119] 또한 주기요철 구조(21)의 높이가, 주기에 대해 1/3~5배의 범위인 것이 바람직하다.
- [0120] 또한, 본 발명의 다른 한 양태는, 상기 반도체 발광 소자의 제조 방법이고, 유기계 박막을 주기적으로 가공하는 공정과, 유기막(유기계 박막)을 이용하여 금속 마스크를 형성하는 공정과, 마스크를 이용하여 드라이 에칭법에 의해, 주기요철 구조(21)를 형성하는 공정을 포함하는 것을 특징으로 한다.
- [0121] 또한, 금속 마스크와 불소계 가스를 이용한 드라이 에칭법에 의해, 주기요철 구조(21)와 미세요철 구조(22)를

동시에 형성하는 공정을 포함하는 것을 특징으로 한다.

[0122] 이 경우, 금속 마스크와 불소계 가스를 이용한 드라이 에칭법에 의해, 주기요철 구조가, 인공적으로 균일·고정 밀도로 제작할 수 있고, 또한 드라이 에칭 후의 금속 마스크 박리를 목적으로 하는 산처리에 의해, 주기요철 구조끼리의 간극이 평탄면부나, 주기요철 구조(21) 표면에, 파장보다도 충분히 작은 스케일의 미세요철 구조(22)가 자발적으로 형성되기 때문에, 하나의 프로세스로 주기요철 구조(21)와 미세요철 구조(22)를 동시에 형성하는 것이 가능해진다. 따라서 파장과 같은 정도나 그 이상의 크기로, 형상의 변화가 특성에 큰 영향을 주는 주기요철 구조(21)는, 균일·고정밀도로 제작할 수 있고, 파장보다도 충분히 작은 스케일로 형상 변화가 그만큼 특성에 큰 영향을 주지 않는 미세요철 구조(22)는, 자발적으로 조밀하게 형성할 수 있다. 또한, 주기요철 구조(21)와 미세요철 구조(22)와는 같은 재질로 이루어지는 것을 특징으로 한다. 결과로서, 가공 형상의 균일성, 프로세스의 재현성이 높아지고, 광 취출 효율과 그 균일성이 높아짐과 함께, 제조 비용을 낮게 억제하는 것이 가능해진다.

[0123] 본 발명에 의하면, 스케일이 다른 주기요철 구조(21)와 미세요철 구조(22)를 조합함에 의해, 기관 표면(광 취출면)이나 계면에서의 반사나 전반사를 효과적으로 억제한다. 또한 프로세스 윈도우가 확대됨으로써, 발광 파장이 단파장이라도, 높은 광 취출 효율과, 균일한 광출력을 얻을 수 있는 반도체 발광 소자를, 재현성, 생산성 높게 제작한 것이 가능해진다. 또한, 본 발명에서는, 주기요철 구조(21)와 미세요철 구조(22)를 동시에 제작하는 제조 방법에 의해, 가공 형상의 균일성, 프로세스의 재현성이 높아지고, 광 취출 효율과 그 균일성이 높아짐과 함께, 제조 비용을 낮게 억제하는 것이 가능해진다.

[0124] 실시례 1

[0125] 본 발명의 상기 실시 형태에 관한 반도체 발광 소자의 구조에 의거하여, 도 10 및 도 11에 도시하는 바와 같이 실시례 1에 관한 반도체 발광 소자를 제작하였다. 구체적으로는, 단결정 AlN으로 이루어지는 기관(16)상에 MOCVD법에 의해 n형 반도체층(15), 활성층(13)(발광층), p형 반도체층(12)을 순차적으로 성장하여 얻어지는 발광 소자 기관에, 정전극(11), 및 부전극(14)을 소정의 위치에 배치하였다. 반도체 발광 소자의 발광층을 포함하는 에피택셜층은, 상기 실시의 형태와 같은 AlGaN계 반도체로 구성하고, 소자의 발광 파장은 265nm로 하였다.

[0126] 제작한 반도체 발광 소자 기관의 에피택셜층과는 역측의 기관면(광 취출면)에, 전자선 레지스트를 도포하고, 반도체 발광 소자의 발광부를 덮도록 열라인먼트하여 전자선 묘화(描畵)함에 의해, 에칭 마스크 패턴을 제작하였다. 발광부는, 직경 100 μ m의 원형현상의 영역이고, 발광부의 중심을 묘화 중심으로 하고, 묘화 영역을 900 μ m×900 μ m로 하였다. 묘화 패턴은, 직경 220nm, 패턴 주기 300nm, 패턴 배열은 삼각격자 배열로 하였다. 뒤이어, 에칭 마스크 패턴의 위에, 진공 증착법에 의해 니켈을 100nm~500nm 퇴적시켰다. 니켈을 퇴적시키는 이유는, 상술한 실시의 형태에서 설명한 바와 같이, 기관(16)과 에칭 마스크 패턴과의 에칭 선택비를 높이기 위해서다. 니켈의 퇴적 후, 반도체 발광 소자 기관을 전자선 레지스트의 박리액에 침지하여 레지스트 및 당해 레지스트상에 위치하는 니켈을 제거하였다(리프트 오프법). 이와 같이 하여, 니켈로 이루어지는 마스크 패턴을 기관(16)의 이면상에 형성하였다.

[0127] 계속해서, ICP 에칭 장치에 상기 반도체 발광 소자 기관을 도입하고, 3불화메탄(CHF₃) 가스를 이용하여 에칭 처리를 10분~30분간 시행하였다. 그 후, 니켈의 마스크 패턴을 제거하기 위해, 20℃~30℃의 염산에 반도체 발광 소자 기관을 15분간 침지시켰다. 이 때, 반도체 발광 소자 기관의 전극 금속이 염산에 의해 부식되는 것을 방지하기 위해, 반도체 발광 소자 기관의 전극을 형성하고 있는 면에는 미리 포토레지스트를 도포, 경화시켜서 보호막으로서 이용하였다. 염산에의 침지 후, 초순수(超純水)로 반도체 발광 소자 기관을 린스하고, 보호막으로서의 포토레지스트를 박리액으로 용해하였다.

[0128] 이에 의해, 원추(圓錐) 저부의 직경 250nm, 주기(L1)가 300nm, 높이(H1)가 250nm의 추체 구조를 갖는 기관(16)으로 이루어지는 실시례 1의 자외 발광의 반도체 발광 소자를 제작하였다. 제작한 요철 구조의 SEM 사진을 도 12 및 도 13에 도시한다.

[0129] 실시례 1에 대한 비교례로서, 기관(16)에 요철 구조를 형성하기 전의 자외 발광의 반도체 발광 소자를 준비하였다(비교례 1). 그리고, 이들의 실시례 및 비교례 1의 시료에 관해, 광출력을 측정하였다. 그 결과를 도 14에 도시한다.

[0130] 도 14를 참조하려면 횡축은 비교례 1을 기준으로 한 경우의 실시례의 광출력비를 나타내고, 종축은 샘플 개수를 나타낸다. 비교례 1의 광출력을 1.00으로 하였을 때, 실시례의 광출력비의 평균치는 1.31이었다. 도 14는, 실시례 1의 시료인 자외 발광의 반도체 발광 소자의 광출력비를 나타내는 히스토그램이다. 또한, 실시례 1의 광출력

비의 표준 편차는 0.031이고, 광출력비 평균치의 2.3%에 상당하였다. 즉, 실시례 1의 시료는, 발광 출력의 편차가 극히 작은 반도체 발광 소자인 것이 나타났다.

- [0131] 실시례 2
- [0132] 본 발명의 상기 실시 형태에 관한 반도체 발광 소자의 구조에 의거하여, 실시례 2에 관한 반도체 발광 소자를 제작하였다. 또한, 실시례 2에 관한 반도체 발광 소자의 구성은, 기본적으로는 실시례 1에서의 반도체 발광 소자와 마찬가지로이다. 즉, 단결정 AlN으로 이루어지는 기판(16)상에 MOCVD법에 의해 n형 반도체층(15), 활성층(13)(발광층), p형 반도체층(12)을 순차적으로 성장하여 얻어지는 발광 소자 기판에, 정전극(11), 및 부전극(14)을 소정의 위치에 배치하였다. 반도체 발광 소자의 발광층을 포함하는 에피택셜층은, 상기 실시 형태와 같은 AlGaN계 반도체로 구성하고, 소자의 발광 파장은 265nm로 하였다.
- [0133] 제작한 반도체 발광 소자 웨이퍼의 발광 소자층과는 반대의 기판면(광 취출면)에 전자선 레지스트를 도포하고, 반도체 발광 소자의 발광부를 덮도록 얼라인먼트하여 전자선 묘화함에 의해, 에칭 마스크 패턴을 제작하였다. 발광부는, 직경 100 μ m의 원(圓) 영역이고, 발광부의 중심을 묘화 중심으로 하고, 묘화 영역을 900 μ m \times 900 μ m로 하였다. 묘화 패턴은, 직경 300nm, 패턴 주기 600nm, 패턴 배열은 정삼각격자 배열로 하였다. 뒤이어, 마스크 패턴의 위에, 진공 증착법에 의해 니켈을 100nm~500nm 퇴적시켰다. 니켈을 퇴적시키는 이유는, 실시례 1에 기재된 이유와 마찬가지로이다. 니켈의 퇴적 후, 반도체 발광 소자 기판을 전자선 레지스트의 박리액에 침지하여 레지스트 및 당해 레지스트상에 위치하는 니켈을 제거하였다(리프트 오프법). 이와 같이 하여, 니켈로 이루어지는 마스크 패턴을 기판(16)의 이면상에 형성하였다.
- [0134] 계속해서, ICP 에칭 장치에 상기 반도체 발광 소자 기판을 도입하고, 3불화메탄(CHF₃F₃) 가스를 이용하여 에칭 처리를 30분~80분간 시행하였다. 니켈막 두께와 에칭 시간을 조정함으로써, 미세요철 구조의 발현(發現)의 유무와 형상을 제어하였다. 최후에, 니켈의 마스크 패턴을 제거하기 위해, 60℃~90℃로 가열한 염산에 반도체 발광 소자 기판을 15분간 침지시켰다. 이 때, 반도체 발광 소자 기판의 전극 금속이 염산에 의해 부식되는 것을 방지하기 위해, 반도체 발광 소자 기판의 전극을 형성하고 있는 면에는 미리 포토레지스트를 도포, 경화시켜서 보호막으로서 이용하였다. 염산 침지 후, 초순수로 린스하고, 보호막으로서 이용한 포토레지스트를 박리액으로 용해하였다.
- [0135] 이에 의해, 원추 저부의 직경 600nm, 주기 600nm, 높이 550nm의 주기요철 구조와, 평균 직경 52nm, 평균높이 52nm의 미세요철 구조를 갖는 기판으로 이루어지는 실시례 2의 자외 발광의 반도체 발광 소자를 제작하였다. 제작한 요철 구조의 SEM 사진을 도 15~도 17에 도시한다.
- [0136] 실시례 2에 대한 비교례로서, 기판에 요철 구조를 형성하기 전의 자외 발광의 반도체 발광 소자를 준비하였다(비교례 2). 그리고, 이들의 실시례 2 및 비교례 2의 시료에 관해, 광출력을 측정하였다. 그 결과를 도 18에 도시한다.
- [0137] 도 18을 참조하면, 횡축은 비교례 2를 기준으로 한 경우의 실시례 2의 광출력비를 나타내고, 종축은 샘플 개수를 나타낸다. 비교례 2의 광출력비를 1.00으로 하였을 때, 실시례 2의 광출력비 평균치는 1.70이었다. 또한, 미세요철 구조만을 갖는 자외 발광의 반도체 발광 소자를 비교례 3으로 하면, 비교례 2에 대한 비교례 3의 광출력비의 평균치는 1.25이었다. 이 결과, 실시례 2로 제작한 주기요철 구조와 미세요철 구조의 양쪽을 갖는 구조의 우위성을 나타낼 수가 있었다. 도 18에는, 실시례 2의 시료인 자외 발광의 반도체 발광 소자의 광출력비를 나타내는 히스토그램이다. 또한, 실시례 2의 광출력비의 표준 편차는 0.029이고, 실시례 2의 광출력비 평균치의 1.7%에 상당하였다. 즉, 실시례 2의 시료도, 발광 출력의 편차가 극히 작은 반도체 발광 소자인 것이 나타났다.
- [0138] 실시례 3
- [0139] 본 발명에 의한 반도체 발광 소자에 형성된 주기요철 구조(21)의 효과를 확인하기 위해, 이하와 같은 시뮬레이션 계산을 행하였다. 즉, 발광층으로서의 AlGaN층에서 발광한 광(파장 265nm)이 AlN 기판과 AlN 기판 표면에 가공된 주기요철 구조(AlN으로 이루어지는 원추의 2차원 주기 배열(삼각격자))을 통하여 외부(공기)에 취출되는 광 취출 효율을 계산하였다. 또한, 같은 계에서 주기요철 구조가 없는 경우에 있어서의 광 취출 효율도 계산하였다.
- [0140] 계산은 시간 영역 유한 차분법(FDTD법)을 이용하고, 초기 광원으로서 다이폴 점광원을 설정하고 있지만, 다이폴의 진동 방향이나 위치를 복수 바꾸어 계산하고 평균화(의사 랜덤화)함에 의해, 비(非)코히어런트의 광원을 인공적으로 재현하였다. 굴절률은, AlGaN부에 대해 2.43, AlN부에 대해 2.29, 공기부에 대해 1.0을 가정하였다.

발광층에서 보아 광 취출면과 반대측(이면측)에 대해서는 통상 p-GaN층에 의해 광이 흡수되기 때문에, 흡수 경계로 하였다. 그 결과를, 도 19 및 도 20에 도시한다.

[0141] 도 19 및 도 20은, 발광층으로서의 AlGaN층에서 발광한 광(파장 265nm)이 AlN 기판과 AlN 기판 표면에 가공된 주기요철 구조(AlN으로 이루어지는 원추의 2차원 주기 배열(삼각격자))을 통하여 외부(공기)에 취출된다 광 취출 효율을 계산하고, 그것을 주기요철 구조가 없는 경우(플랫면)의 결과로 규격화한 수치(광출력비)를 나타내고 있다. 주기요철 구조의 볼록형상부(원추형상부)의 저부의 폭과 주기는 일치시켰다. 도 19의 횡축은 주기요철 구조의 주기(단위 : nm)를 나타내고, 종축은 광출력비를 나타낸다. 도 19에서는, 애스펙트가 다른 경우마다 데이터를 나타내고 있다. 또한, 도 20의 횡축은 애스펙트(주기요철 구조의 볼록형상부(원추형상부)의 저부의 폭에 대한볼록형상부의 높이의 비)를 나타내고, 종축은 광출력비를 나타낸다. 도 20에서는, 주기요철 구조의 주기(a)마다 데이터를 나타내고 있다.

[0142] 도 19를 참조하면, 주기가 200nm~450nm의 범위에서는, 애스펙트 1.0인 경우가 가장 광출력비가 크게 되어 있다. 또한, 도 20을 참조하면, 애스펙트가 1.0인 경우가 가장 광출력비가 크게 되어 있다.

[0143] 또한 도 19 및 도 20은, 2차원에서의 계산의 결과이지만, 3차원에서의 계산과 거의 같은 경향의 결과가 얻어짐을 확인하고 있다.

[0144] 실시례 4

[0145] 본 발명에 의한 반도체 발광 소자에 형성된 주기요철 구조(21)의 효과를 확인하기 위해, 이하와 같은 시뮬레이션 계산을 행하였다. 즉, 발광층으로서의 AlGaN층에서 발광한 광(파장 265nm)이 AlN 기판과 AlN 기판 표면에 가공된 주기요철 구조(AlN으로 이루어지는 원추의 2차원 주기 배열(삼각격자))을 통하여 외부(밀봉재층)에 취출되는 광 취출 효율을 계산하였다. 또한, 같은 계에서 주기요철 구조가 없는 경우에 있어서의 광 취출 효율도 계산하였다. 또한, 계산 방법은 실시례 3과 마찬가지로이다. 굴절률은, AlGaN부가 2.43, AlN부가 2.29, 밀봉재부가 1.45를 가정하였다. 밀봉재부로서는, SiO₂나 수지 등이 상정된다. 그리고, 다른 조건은 실시례 3과 마찬가지로 하였다.

[0146] 도 21 및 도 22는, AlGaN층에서 발광한 광(파장 265nm)이 AlN 기판과 AlN 기판 표면에 가공된 주기요철 구조(AlN 원추의 2차원 주기 배열(삼각격자))을 통하여 외부(밀봉재층)에 취출되는 광 취출 효율을 계산하고, 그것을 AlN 기판 표면에 주기요철 구조가 없는 경우의 플랫면에서 외부(공기층)에 취출되는 경우의 광 취출 효율의 계산 결과로 규격화한 수치(광출력비)를 나타내고 있다.

[0147] 도 21의 횡축은 주기요철 구조의 주기(단위 : nm)를 나타내고, 종축은 광출력비를 나타낸다. 도 21에서는, 애스펙트가 다른 경우마다 데이터를 나타내고 있다. 또한, 도 22의 횡축은 애스펙트를 나타내고, 종축은 광출력비를 나타낸다. 도 22에서는, 주기요철 구조의 주기(a)마다 데이터를 나타내고 있다.

[0148] 실시례 3 및 실시례 4의 결과로부터, 예를 들면 같은 기판, 파장, 주기요철 구조라도, 밀봉 부재 등의 외부 매질의 굴절률에 의해 최적의 광 취출 구조는 변화함을 알 수 있다. 단, AlN 기판과 AlN 기판 표면에 가공된 주기요철 구조로부터의 광의 취출은, 공기 또는 밀봉재층 어느 하나의 취출의 경우가 생산 공정상 바람직하고, 이들의 결과로부터, 주기요철 구조(21)의 효과를 확인할 수 있다.

[0149] 실시례 5

[0150] 본 발명의 상기 실시 형태에 관한 반도체 발광 소자의 구조에 의거하여, 실시례 5에 관한 반도체 발광 소자를 제작하였다. 또한, 실시례 5에 관한 반도체 발광 소자의 구성은, 기본적으로는 실시례 1에서의 반도체 발광 소자와 마찬가지로이다. 반도체 발광 소자의 발광층을 포함하는 에피택셜층은, 상기 실시 형태와 같은 AlGaN계 반도체로 구성하고, 소자의 발광 파장은 265nm로 하였다.

[0151] 제작한 반도체 발광 소자 웨이퍼의 발광 소자층과는 반대의 기판면(광 취출면)에 전자선 레지스트를 도포하고, 반도체 발광 소자의 발광부를 덮도록 얼라인먼트하여 전자선 묘화함에 의해, 에칭 마스크 패턴을 제작하였다. 발광부는, 직경 100 μ m의 원 영역이고, 발광부의 중심을 묘화 중심으로 하고, 묘화 영역을 900 μ m \times 900 μ m로 하였다. 묘화 패턴은, 직경 180nm, 패턴 주기 300nm, 패턴 배열은 정삼각격자 배열로 하였다. 뒤이어, 마스크 패턴의 위에, 진공 증착법에 의해 니켈을 100nm~500nm 퇴적시켰다. 니켈을 퇴적시키는 이유는, 실시례 1에 기재된 이유와 마찬가지로이다. 니켈의 퇴적 후, 반도체 발광 소자 기판을 전자선 레지스트의 박리액에 침지하여 레지스트 및 당해 레지스트상에 위치하는 니켈을 제거하였다(리프트 오프법). 이와 같이 하여, 니켈로 이루어지는 마스크 패턴을 기판(16)의 이면상에 형성하였다.

- [0152] 계속해서, 실시례 2와 마찬가지로, ICP 에칭 장치에 상기 반도체 발광 소자 기판을 도입하고, 3불화메탄(CHF₃) 가스를 이용하여 에칭 처리를 10분~80분간 시행하였다. 실시례 5와 같이 실시례 2에 비하여 패턴 사이즈가 작은 구조에서는 에칭 처리시간은 상대적으로 짧아진다. 최후에, 니켈의 마스크 패턴을 제거하기 위해, 60℃~90℃로 가열한 염산에 반도체 발광 소자 기판을 15분간 침지시켰다. 또한, 염산의 온도를 조정함으로써, 미세요철 구조의 발현의 유무와 형상을 제어할 수 있다. 또한, 실시례 2의 경우와 마찬가지로, 반도체 발광 소자 기판의 전극 금속이 염산에 의해 부식되는 것을 방지하기 위해, 반도체 발광 소자 기판의 전극을 형성하고 있는 면에는 미리 포토레지스트를 도포, 경화시켜서 보호막으로서 이용하였다. 염산 침지 후, 초순수로 린스하고, 보호막으로서 이용한 포토레지스트를 박리액으로 용해하였다.
- [0153] 이에 의해, 원추 저부의 직경 300nm, 주기 300nm, 에스펙트가 1의 주기요철 구조와, 평균 직경 33nm, 평균높이 33nm의 미세요철 구조를 갖는 기판으로 이루어지는 실시례 5의 자외 발광의 반도체 발광 소자를 제작하였다.
- [0154] 실시례 5에 대한 비교례로서, 기판에 요철 구조를 형성하기 전의 자외 발광의 반도체 발광 소자를 준비하고, 비교례 4로 하였다. 그리고, 이들의 실시례 5 및 비교례 4의 시료에 관해, 광출력을 측정하였다. 그 결과를 도 23에 도시한다.
- [0155] 도 23을 참조하면, 횡축은 비교례 4를 기준으로 한 경우의 실시례 5의 광출력비를 나타내고, 종축은 샘플 개수를 나타낸다. 비교례 4의 광출력비를 1.00으로 하였을 때, 실시례 5의 광출력비 평균치는 1.96이었다. 도 23으로부터 알 수 있는 바와 같이, 실시례 5에서는 높은 광출력비가 얻어져 있고, 주기요철 구조와 미세요철 구조의 양쪽을 갖는 구조의 우위성을 나타낼 수 있었다. 또한, 실시례 5의 광출력비의 표준 편차는 0.07이고, 이것은 광출력비 평균치의 3.6%에 상당한다. 이와 같이, 실시례 5의 시료도 광출력의 편차가 상대적으로 작은 반도체 발광 소자인 것이 나타났다.
- [0156] 실시례 6
- [0157] 본 발명의 상기 실시 형태에 관한 반도체 발광 소자의 구조에 의거하여, 실시례 6에 관한 반도체 발광 소자를 제작하였다. 또한, 실시례 6에 관한 반도체 발광 소자의 구성은, 기본적으로는 실시례 1에서의 반도체 발광 소자와 마찬가지로이다. 또한, 반도체 발광 소자의 발광층을 포함하는 에피택셜층의 재료 및 소자의 발광 파장은 상술한 실시례 5와 마찬가지로이다.
- [0158] 제작한 반도체 발광 소자 웨이퍼의 발광 소자층과는 반대의 기판면(광 취출면)에, 실시례 5와 마찬가지로 전자선묘화에 의해 에칭 마스크 패턴을 제작하였다. 발광부는, 직경 100 μ m의 원 영역이고, 발광부의 중심을 묘화 중심으로 하고, 묘화 영역을 900 μ m×900 μ m로 하였다. 묘화 패턴은, 직경 200nm, 패턴 주기 400nm, 패턴 배열은 정삼각격자 배열로 하였다. 뒤이어, 실시례 5와 마찬가지로, 마스크 패턴의 위에, 진공 증착법에 의해 니켈을 100nm~500nm 퇴적시켰다. 니켈의 퇴적 후, 반도체 발광 소자 기판을 전자선 레지스트의 박리액에 침지하여 레지스트 및 당해 레지스트상에 위치하는 니켈을 제거하였다(리프트 오프법). 이와 같이 하여, 니켈로 이루어지는 마스크 패턴을 기판(16)의 이면상에 형성하였다.
- [0159] 계속해서, 실시례 2와 마찬가지로, ICP 에칭 장치에 상기 반도체 발광 소자 기판을 도입하고, 3불화메탄(CHF₃) 가스를 이용하여 에칭 처리를 10분~80분간 시행하였다. 최후에, 니켈의 마스크 패턴을 제거하기 위해, 60℃~90℃로 가열한 염산에 반도체 발광 소자 기판을 15분간 침지시켰다. 또한, 실시례 2의 경우와 마찬가지로, 반도체 발광 소자 기판의 전극 금속이 염산에 의해 부식되는 것을 방지하기 위해, 반도체 발광 소자 기판의 전극을 형성하고 있는 면에는 미리 포토레지스트를 도포, 경화시켜서 보호막으로서 이용하였다. 염산 침지 후, 초순수로 린스하고, 보호막으로서 이용한 포토레지스트를 박리액으로 용해하였다.
- [0160] 이에 의해, 원추 저부의 직경 400nm, 주기 400nm, 에스펙트가 1의 주기요철 구조와, 평균 직경 33nm, 평균높이 33nm의 미세요철 구조를 갖는 기판으로 이루어지는 실시례 6의 자외 발광의 반도체 발광 소자를 제작하였다.
- [0161] 실시례 6에 대한 비교례로서, 기판에 요철 구조를 형성하기 전의 자외 발광의 반도체 발광 소자를 준비하고, 비교례 5로 하였다. 그리고, 이들의 실시례 6 및 비교례 5의 시료에 관해, 광출력을 측정하였다. 그 결과를 도 24에 도시한다.
- [0162] 도 24를 참조하면, 횡축은 비교례 5를 기준으로 한 경우의 실시례 6의 광출력비를 나타내고, 종축은 샘플 개수를 나타낸다. 비교례 5의 광출력비를 1.00으로 하였을 때, 실시례 6의 광출력비 평균치는 1.79이었다. 도 24로부터 알 수 있는 바와 같이, 실시례 5와 마찬가지로 실시례 6에서 높은 광출력비가 얻어져 있고, 주기요철 구조와 미세요철 구조의 양쪽을 갖는 구조의 우위성을 나타낼 수 있었다. 또한, 도 24로부터 알 수 있는 바와 같이, 실

시례 6의 시료도 실시례 5의 시료와 마찬가지로 광출력의 편차가 상대적으로 작은 반도체 발광 소자인 것이 나타났다.

- [0163] 실시례 7
- [0164] 본 발명의 상기 실시 형태에 관한 반도체 발광 소자의 구조에 의거하여, 실시례 7에 관한 반도체 발광 소자를 제작하였다. 또한, 실시례 7에 관한 반도체 발광 소자의 구성은, 기본적으로는 실시례 1에서의 반도체 발광 소자와 마찬가지로이다. 또한, 반도체 발광 소자의 발광층을 포함하는 에피택셜층의 재료 및 소자의 발광 파장은 상술한 실시례 5와 마찬가지로이다.
- [0165] 제작한 반도체 발광 소자 웨이퍼의 발광 소자층과는 반대의 기판면(광 취출면)에, 실시례 5와 마찬가지로 전자선묘화에 의해 에칭 마스크 패턴을 제작하였다. 발광부는, 직경 100 μ m의 원 영역이고, 발광부의 중심을 묘화 중심으로 하고, 묘화 영역을 900 μ m \times 900 μ m로 하였다. 묘화 패턴은, 직경 400nm, 패턴 주기 1000nm, 패턴 배열은 정삼각격자 배열로 하였다. 뒤이어, 실시례 5와 마찬가지로, 마스크 패턴의 위에, 진공 증착법에 의해 니켈을 100nm~500nm 퇴적시켰다. 니켈의 퇴적 후, 반도체 발광 소자 기판을 전자선 레지스트의 박리액에 침지하여 레지스트 및 당해 레지스트상에 위치하는 니켈을 제거하였다(리프트 오프법). 이와 같이 하여, 니켈로 이루어지는 마스크 패턴을 기판(16)의 이면상에 형성하였다.
- [0166] 계속해서, 실시례 2와 마찬가지로, ICP 에칭 장치에 상기 반도체 발광 소자 기판을 도입하고, 3불화메탄(CHF₃) 가스를 이용하여 에칭 처리를 10분~80분간 행하였다. 또한, 실시례 5일과 같은 패턴 사이즈가 상대적으로 작은 구조에서는 상기 에칭 처리시간은 짧고, 역으로 실시례 7과 같이 패턴 사이즈가 상대적으로 큰 구조에서는 상기 에칭 처리시간은 길어진다.
- [0167] 최후에, 니켈의 마스크 패턴을 제거하기 위해, 60 $^{\circ}$ C~90 $^{\circ}$ C로 가열한 염산에 반도체 발광 소자 기판을 15분간 침지시켰다. 또한, 실시례 2의 경우와 마찬가지로, 반도체 발광 소자 기판의 전극 금속이 염산에 의해 부식되는 것을 방지하기 위해, 반도체 발광 소자 기판의 전극을 형성하고 있는 면에는 미리 포토레지스트를 도포, 경화시켜서 보호막으로서 이용하였다. 염산 침지 후, 초순수로 린스하고, 보호막으로서 이용한 포토레지스트를 박리액으로 용해하였다.
- [0168] 이에 의해, 원추 저부의 직경 1000nm, 주기 1000nm, 애스펙트가 1의 주기요철 구조와, 평균 직경 33nm, 평균 높이 33nm의 미세요철 구조를 갖는 기판으로 이루어지는 실시례 7의 자외 발광의 반도체 발광 소자를 제작하였다.
- [0169] 실시례 7에 대한 비교례로서, 기판에 요철 구조를 형성하기 전의 자외 발광의 반도체 발광 소자를 준비하고, 비교례 6으로 하였다. 그리고, 이들의 실시례 7 및 비교례 6의 시료에 관해, 광출력을 측정하였다. 그 결과를 도 25에 도시한다.
- [0170] 도 25를 참조하면, 횡축은 비교례 6을 기준으로 한 경우의 실시례 7의 광출력비를 나타내고, 종축은 샘플 개수를 나타낸다. 비교례 6의 광출력비를 1.00으로 하였을 때, 실시례 7의 광출력비 평균치는 1.69이었다. 도 25로부터 알 수 있는 바와 같이, 실시례 5와 마찬가지로 실시례 7에서도 높은 광출력비가 얻어져 있고, 주기요철 구조와 미세요철 구조의 양쪽을 갖는 구조의 우위성을 나타낼 수 있었다. 또한, 도 25로부터 알 수 있는 바와 같이, 실시례 7의 시료도 실시례 5의 시료와 마찬가지로 광출력의 편차가 상대적으로 작은 반도체 발광 소자인 것이 나타났다.
- [0171] 실시례 8
- [0172] 실시례 8에 관한 반도체 발광 소자로서, 상기 실시례 1의 반도체 발광 소자 웨이퍼의 광 취출면에 제작한 주기요철 구조(패턴 주기가 300nm)의 주기를 600nm로 한 것을 제작하였다. 또한, 애스펙트를 1로 고정하기 위해, 직경 및 높이는 상기 패턴 주기에 맞추었다. 또한, 상기 실시례 8에 관한 반도체 발광 소자는, 상기 패턴 주기, 직경, 및 높이 이외는 전부 실시례 1에 관한 반도체 발광 소자와 마찬가지로이다. 또한, 제작 조건도, 에칭의 처리의 처리시간을 30분~80분으로 한 이외는, 실시례 1과 마찬가지로이다.
- [0173] 이와 같이 하여, 실시례 8에 관한 반도체 발광 소자로서, 원추 저부의 직경 600nm, 주기 600nm, 높이 600nm의 주기요철 구조를 갖는 기판으로 이루어지는 자외 발광의 반도체 발광 소자를 제작하였다.
- [0174] 실시례 8에 대한 비교례로서, 기판에 요철 구조를 형성하기 전의 자외 발광의 반도체 발광 소자를 준비하고, 비교례 7로 하였다. 그리고, 이 실시례 8 및 비교례 7의 시료에 관해, 광출력을 측정하였다. 그 결과를 도 26에 도시한다.

[0175] 도 26을 참조하면, 횡축은 비교례 7을 기준으로 한 경우의 실시례 8의 광출력비를 나타내고, 종축은 샘플 개수를 나타낸다. 비교례 7의 광출력율을 1.00으로 하였을 때, 실시례 8의 광출력비 평균치는 1.44였다. 여기서, 동일한 주기요철 구조(주기 600nm)를 갖는 실시례 2, 실시례 8, 또한 주기요철 구조를 갖지 않는 비교례 7을 비교하면, 광출력비는 실시례 2>실시례 8>비교례 7의 순서로 작아지고, 주기요철 구조와 미세요철 구조의 양쪽을 갖는 구조의 우위성을 나타낼 수 있었다.

[0176] 실시례 9

[0177] 실시례 9에 관한 반도체 발광 소자로서, 상기 실시례 1의 반도체 발광 소자 웨이퍼의 광 취출면에 제작한 주기요철 구조(패턴 주기가 300nm)의 주기를 1000nm로 한 것을 제작하였다. 또한, 애스펙트를 1로 고정하기 위해, 직경 및 높이는 상기 패턴 주기에 맞추었다. 또한, 상기 실시례 9에 관한 반도체 발광 소자는, 상기 패턴 주기, 직경, 및 높이 이외는 전부 실시례 1에 관한 반도체 발광 소자와 마찬가지로이다. 또한, 제작 조건도, 에칭의 처리의 처리시간을 30분~80분으로 한 이외는, 실시례 1과 마찬가지로이다.

[0178] 이와 같이 하여, 실시례 9에 관한 반도체 발광 소자로서, 원추 저부의 직경 1000nm, 주기 1000nm, 높이 1000nm의 주기요철 구조를 갖는 기관으로 이루어지는 자외 발광의 반도체 발광 소자를 제작하였다.

[0179] 실시례 9에 대한 비교례로서, 기관에 요철 구조를 형성하기 전의 자외 발광의 반도체 발광 소자를 준비하고, 비교례 8로 하였다. 그리고, 이 실시례 9 및 비교례 8의 시료에 관해, 광출력율을 측정하였다. 그 결과를 도 26에 도시한다.

[0180] 도 26을 참조하면, 횡축은 비교례 8을 기준으로 한 경우의 실시례 9의 광출력비를 나타내고, 종축은 샘플 개수를 나타낸다. 비교례 8의 광출력율을 1.00으로 하였을 때, 실시례 9의 광출력비 평균치는 1.26이었다. 여기서, 동일한 주기요철 구조(주기 1000nm)를 갖는 실시례 7, 실시례 9, 또한 주기요철 구조를 갖지 않는 비교례 8을 비교하면, 광출력비는 실시례 7>실시례 9>비교례 8의 순서로 작아지고, 주기요철 구조와 미세요철 구조의 양쪽을 갖는 구조의 우위성을 나타낼 수 있었다.

[0181] 또한, 상술한 실시례 1, 실시례 8, 및 실시례 9에 관해 얻어진 광출력비는, 도 27에 도시하는 바와 같이, 실시례 3로 나타낸 계산 결과와 잘 일치하고 있다. 이것은, 시뮬레이션 계산으로부터 얻어진 광 취출 구조의 최적화에 관한 지침의 타당성을 뒷받침하는 것이다. 또한, 도 27에는, 실시례 2, 실시례 5~실시례 7에 관해 얻어진 광출력비도 아울러서 플롯하고 있다. 또한, 도 27의 횡축은 요철 구조의 배열 주기(단위 : nm)를 나타내고, 종축은 광출력비를 나타내고 있다.

[0182] 도 27로부터도 알 수 있는 바와 같이, 주기요철 구조의 배열 주기에 대한 광출력비의 경향은, 시뮬레이션 계산 결과와 거의 일치하고 있다. 즉, 도 27로부터, 광출력비의 절대치의 증가분은, 미세요철 구조의 부가(附加)에 의한 광 취출 효율의 향상 효과에 의한 것임이 뒷받침된다.

[0183] 금회 개시된 실시의 형태 및 실시례는 모든 점에서 예시이고 제한적인 것이 아니라고 생각되어야 할 것이다. 본 발명의 범위는 상기한 설명이 아니라 청구의 범위에 의해 나타나고, 청구의 범위와 균등한 의미 및 범위 내에서의 모든 변경이 포함되는 것이 의도된다.

[0184] [산업상의 이용 가능성]

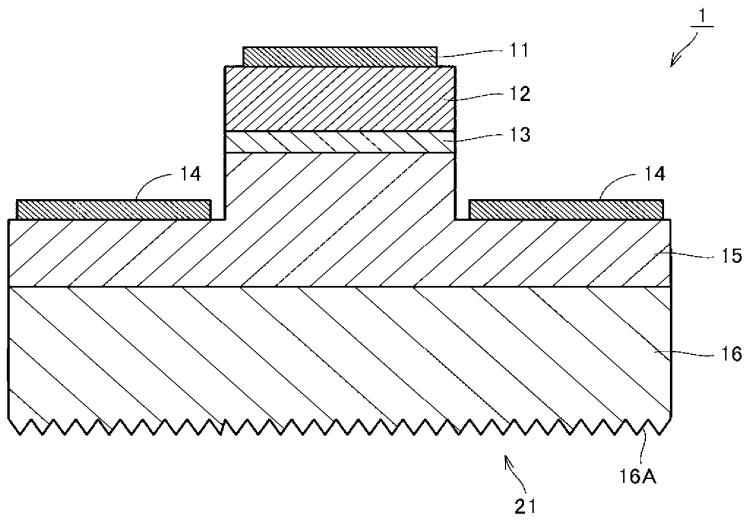
[0185] 본 발명은, 단파장의 광을 출사하는 반도체 발광 소자에 특히 유리하게 적용된다.

부호의 설명

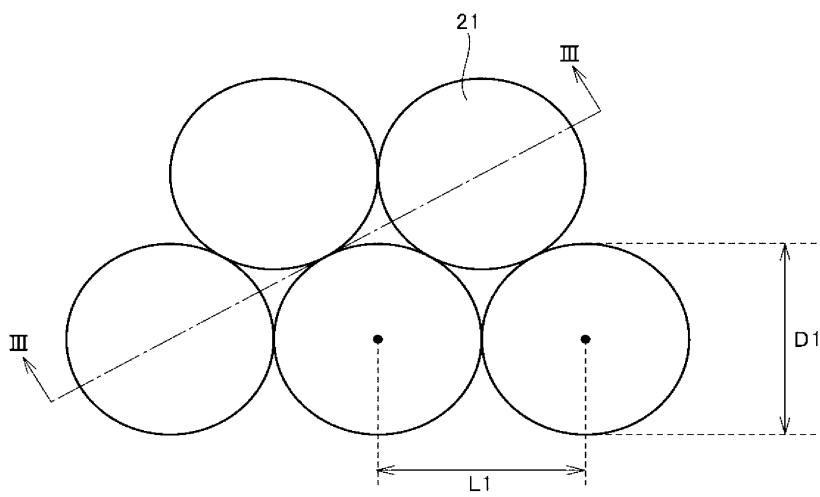
- [0186] 11 : 정전극 12 : p형 반도체층
- 13 : 활성층 14 : 부전극
- 15 : n형 반도체층 16 : 기관
- 16A : 이면 21 : 주기요철 구조
- 22 : 미세요철 구조

도면

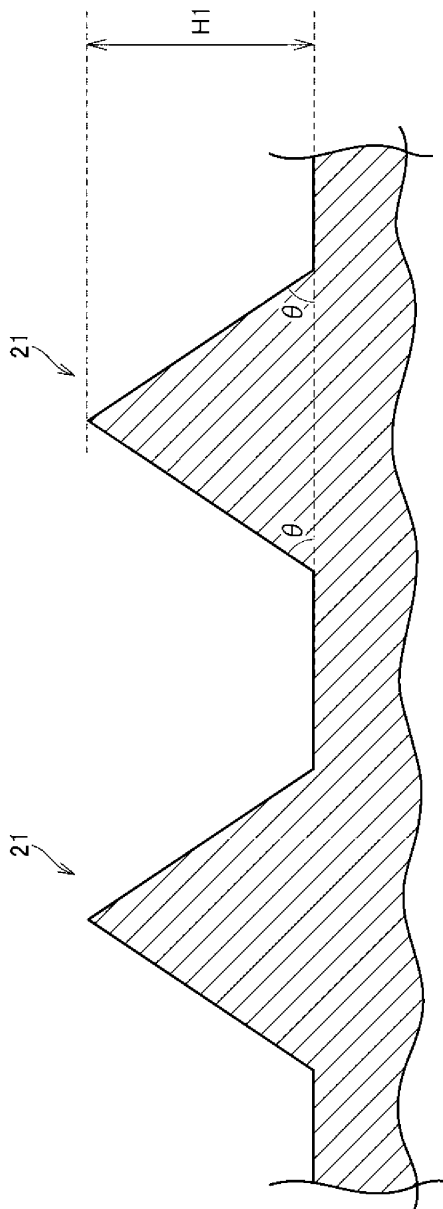
도면1



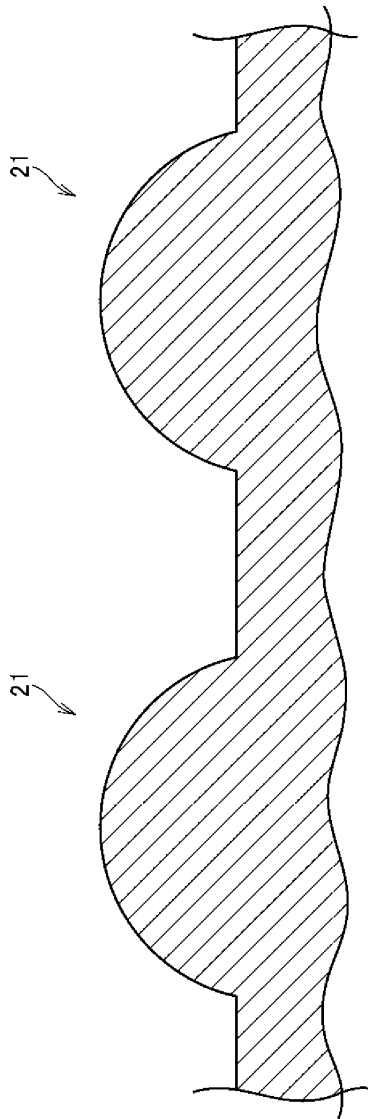
도면2



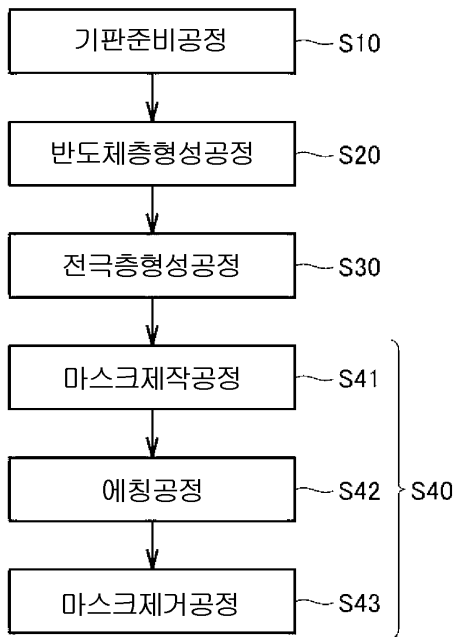
도면3



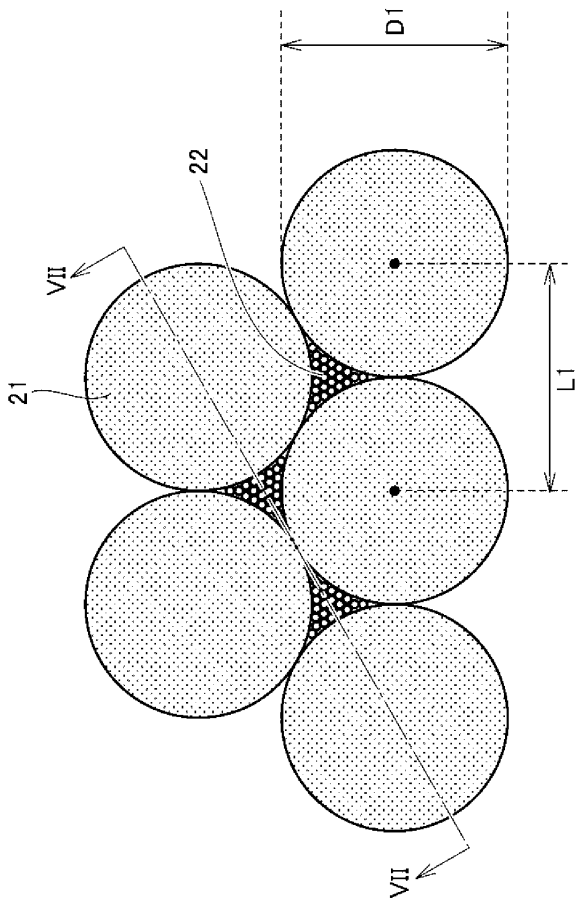
도면4



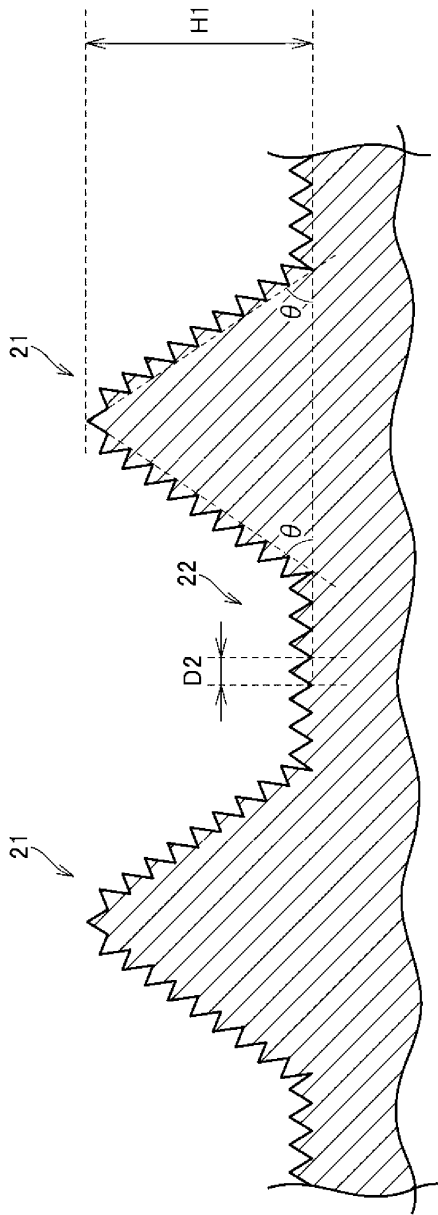
도면5



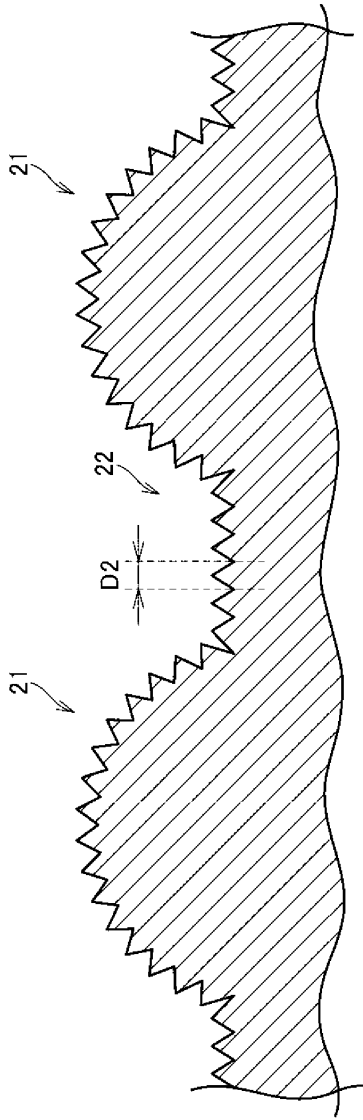
도면6



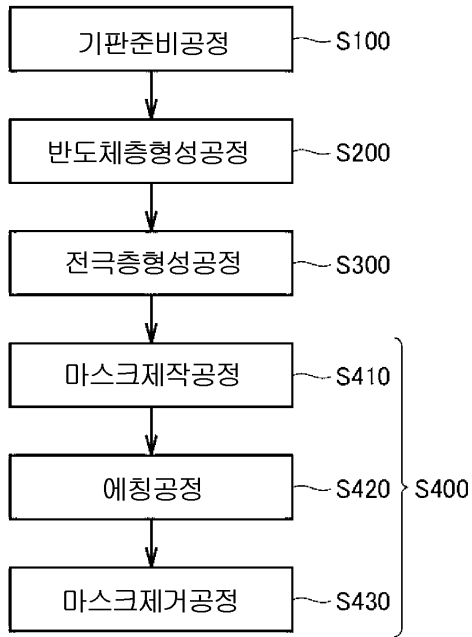
도면7



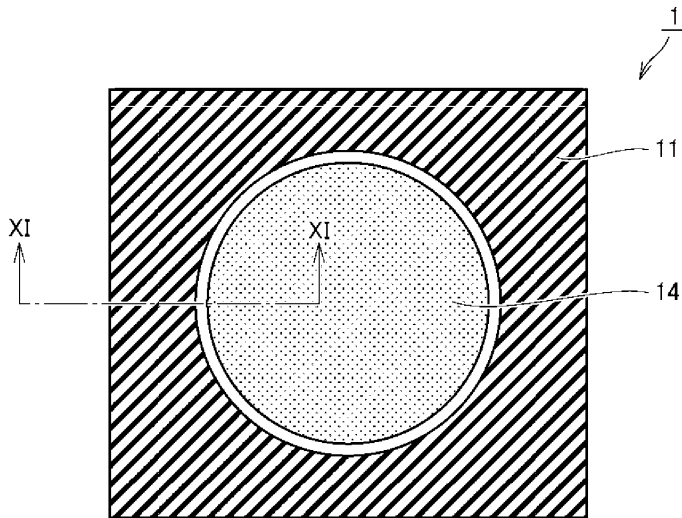
도면8



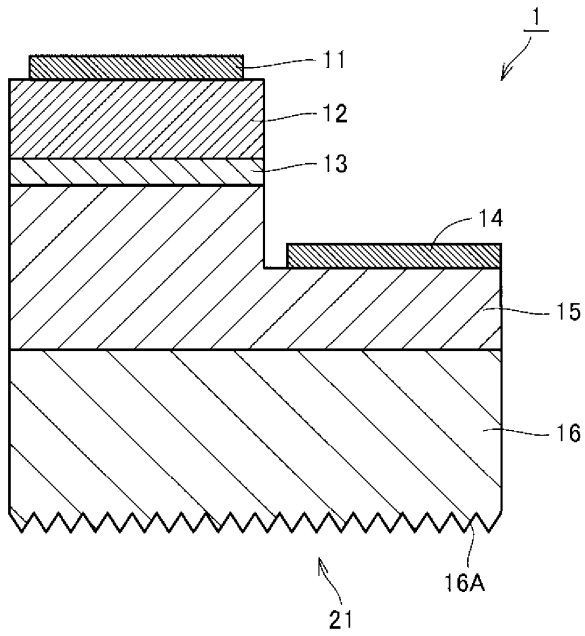
도면9



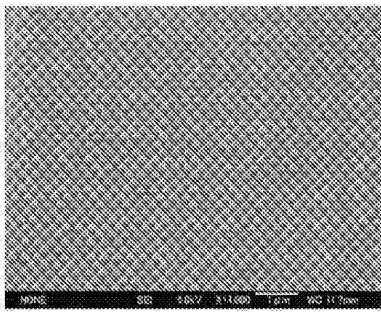
도면10



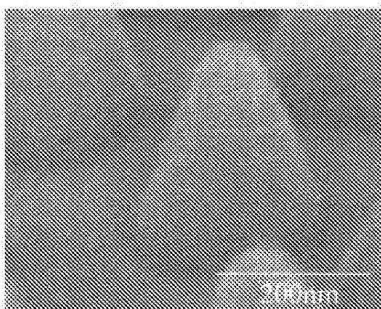
도면11



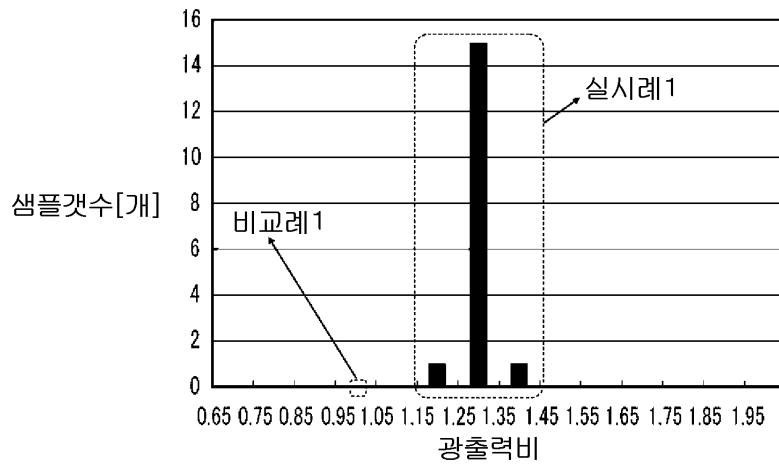
도면12



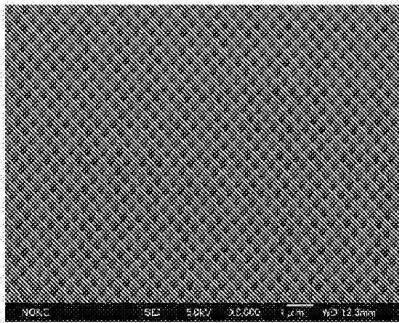
도면13



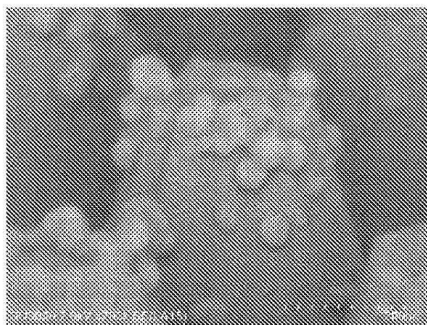
도면14



도면15



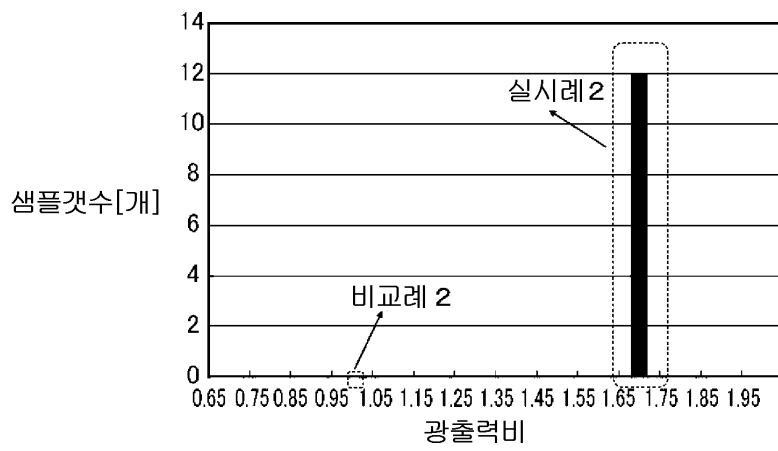
도면16



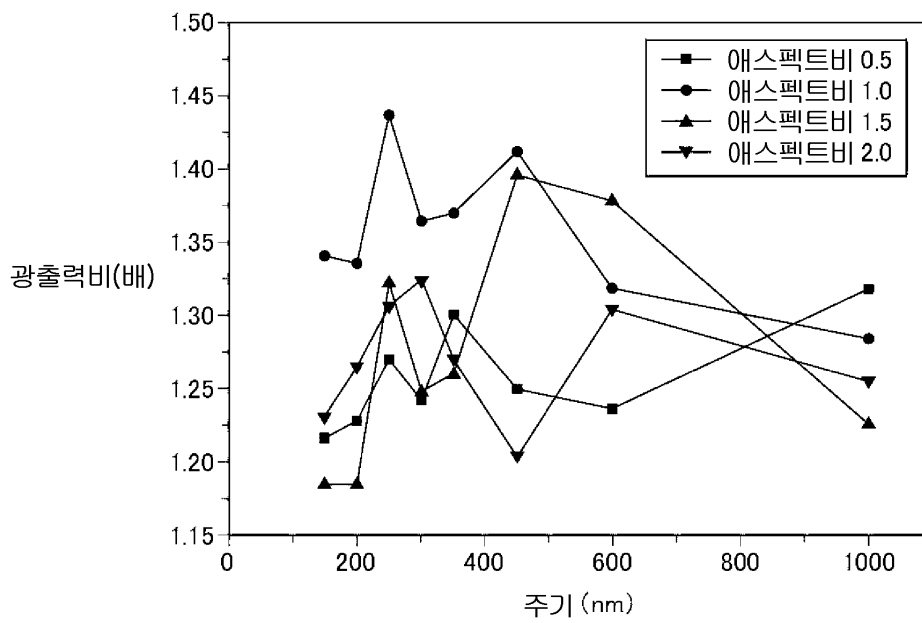
도면17



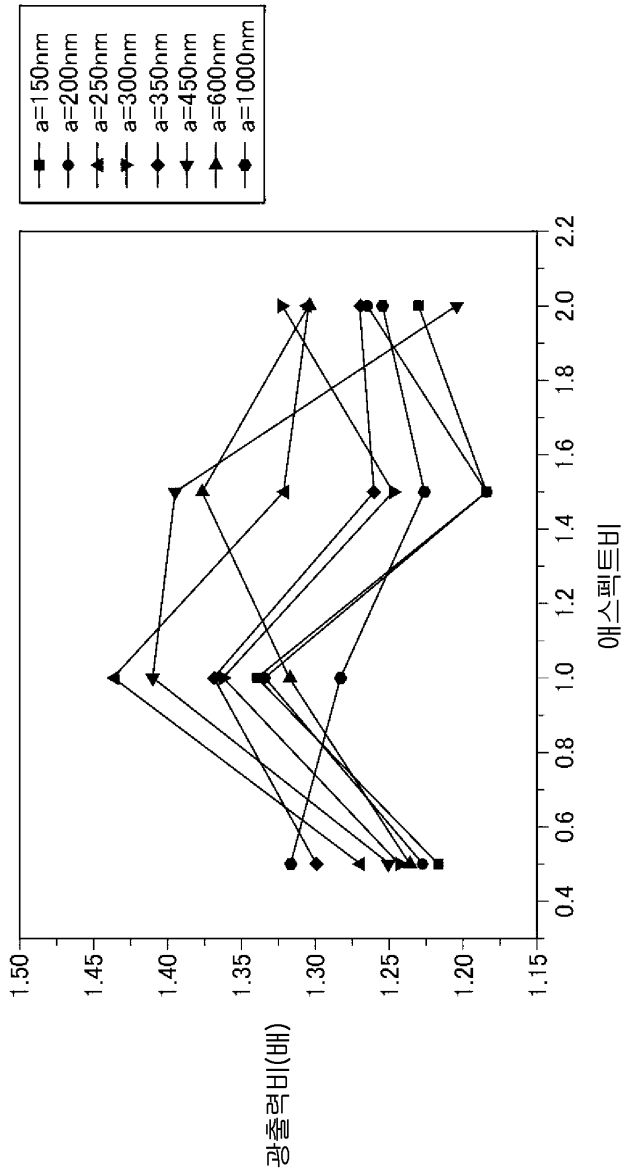
도면18



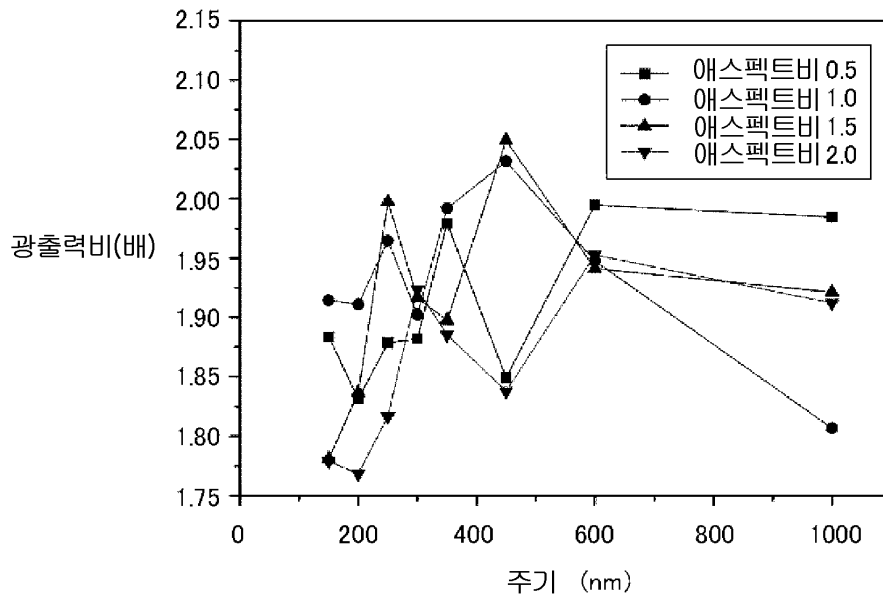
도면19



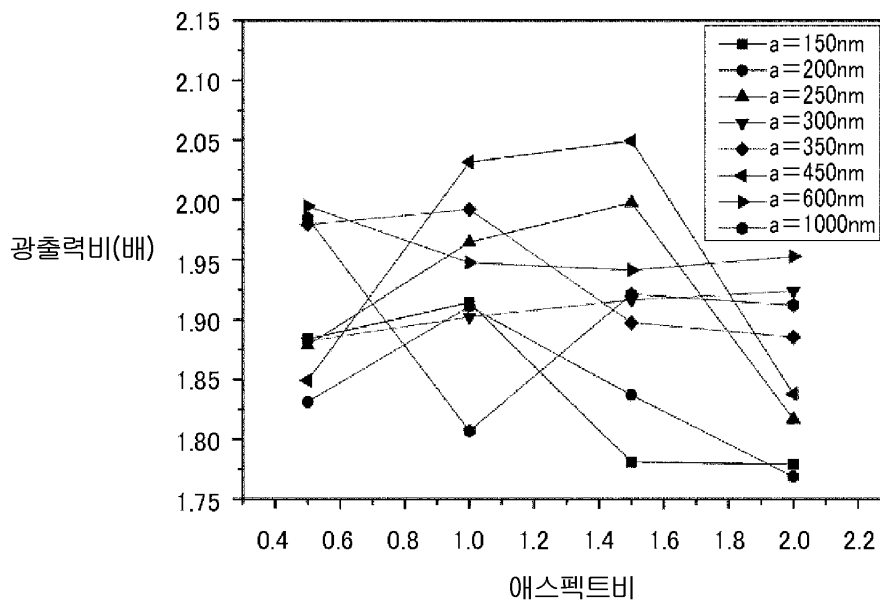
도면20



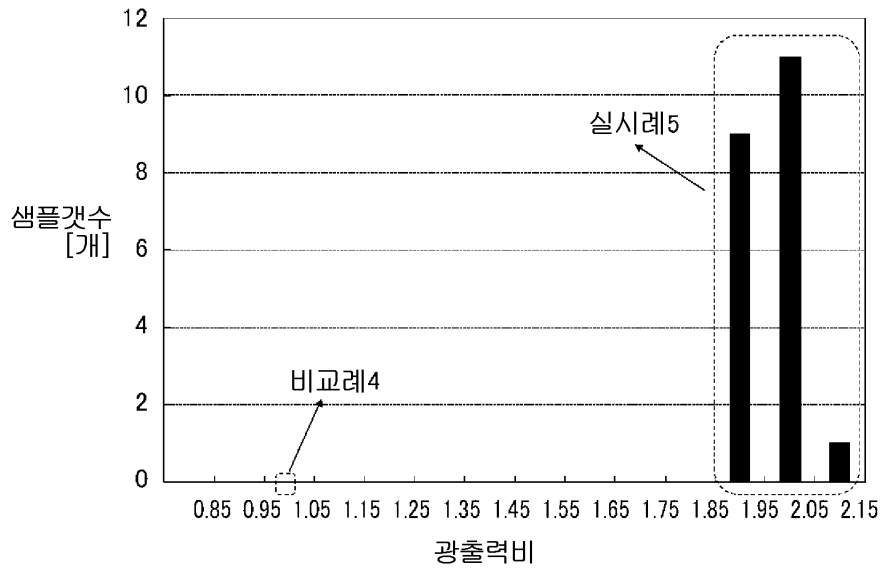
도면21



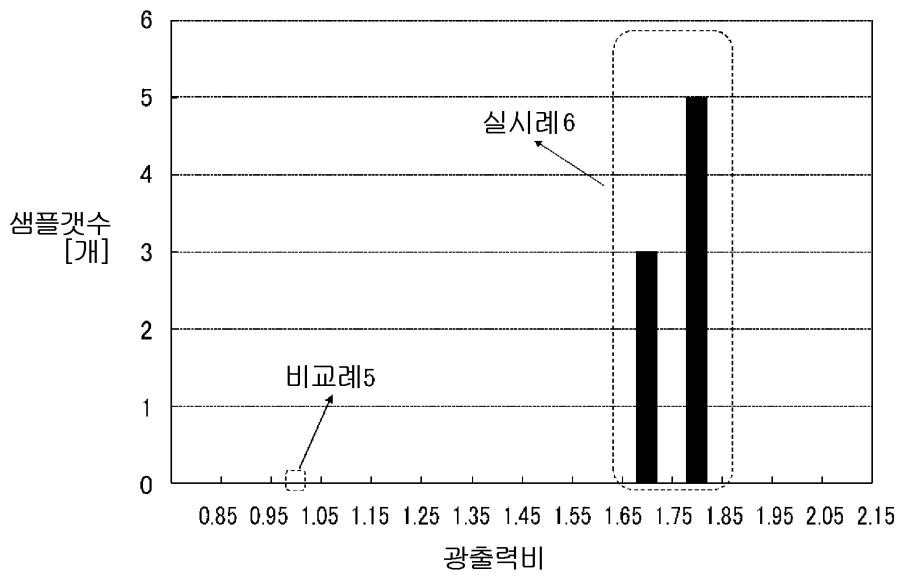
도면22



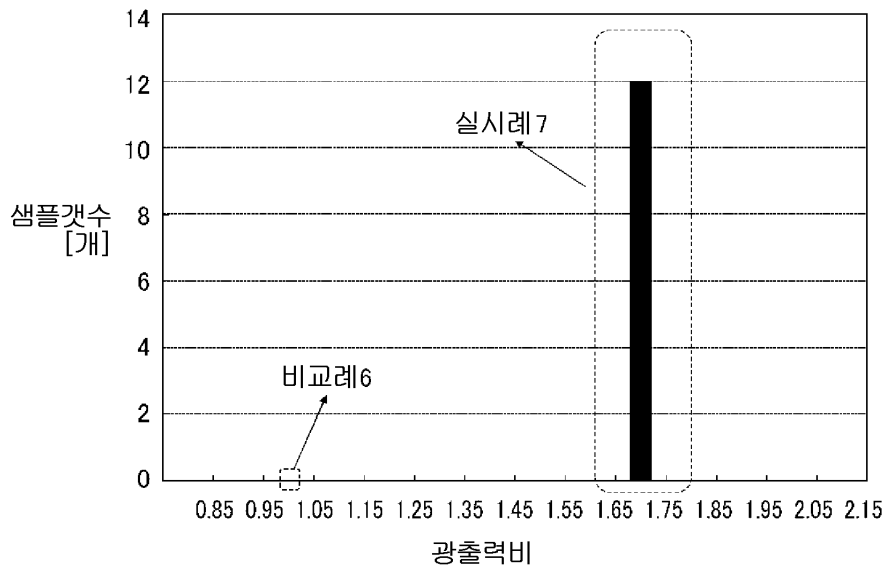
도면23



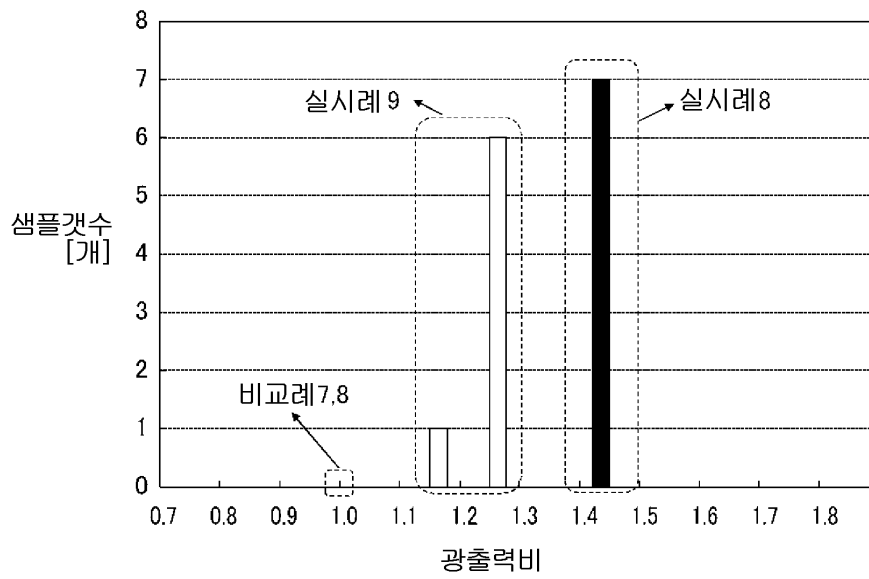
도면24



도면25



도면26



도면27

