



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 197 27 492 B4 2005.06.30**

(12)

Patentschrift

(21) Aktenzeichen: **197 27 492.7**
 (22) Anmeldetag: **27.06.1997**
 (43) Offenlegungstag: **02.01.1998**
 (45) Veröffentlichungstag
 der Patenterteilung: **30.06.2005**

(51) Int Cl.7: **H01L 21/8238**

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(30) Unionspriorität:

96-26294	29.06.1996	KR
96-26318	29.06.1996	KR

(71) Patentinhaber:

Hynix Semiconductor Inc., Ichon, Kyonggi, KR

(74) Vertreter:

Schwabe, Sandmair, Marx, 81677 München

(72) Erfinder:

**Kim, Jae-Kap, Ichon, Kyonggi, KR; Kim,
 Kwang-Soo, Ichon, Kyonggi, KR**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:

US 54 07 849
US 53 84 279
US 50 91 324
JP 04-2 63 468 A

(54) Bezeichnung: **Verfahren zur Herstellung eines Komplementär-Metalloxid-Halbleiterbauelements**

(57) Hauptanspruch: Verfahren zur Herstellung eines Komplementär-Metalloxid-Halbleiterbauelements, das die folgenden Schritte aufweist:

(S1) eine Anzahl von Feldoxidschichten zur Festlegung eines ersten, zweiten, dritten und vierten aktiven Bereichs, die sequentiell bzw. aufeinander folgend bei vorbestimmten Bereichen eines Halbleitersubstrats positioniert sind, wird gebildet;

(S2) eine Schirmoxidschicht wird auf jeder Oberfläche des ersten, zweiten, dritten und vierten aktiven Bereichs ausgebildet;

(S3) ein erstes Maskenmuster wird zur Freilegung bzw. Belichtung des ersten und zweiten aktiven Bereichs ausgebildet;

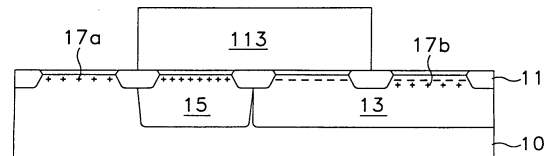
(S4) eine N-Typ-Mulde wird ausgehend von jeder Oberfläche des freigelegten ersten und zweiten aktiven Bereichs in einer ausgewählten Tiefe ausgebildet;

(S5) Ionen vom N-Typ werden zur Steuerung einer Schwellenspannung in einer Schicht direkt unterhalb jeder Oberfläche des ersten und des zweiten aktiven Bereichs implantiert;

(S6) das erste Maskenmuster wird entfernt;

(S7) ein zweites Maskenmuster wird zur Belichtung des dritten aktiven Bereichs ausgebildet;

(S8) eine P-Typ-Mulde wird ausgehend von der Oberfläche des...



Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung eines Komplementär-Metalloxid-Halbleiterbauelements und genauer ein Verfahren zur Herstellung eines Komplementär-Metalloxid-Halbleiters (im folgenden einfach als "CMOS"-Bauelement bezeichnet) für ein N-Kanalelement und ein P-Kanalelement, die jeweilig eine niedrige Schwellenspannung in einem Halbleiterbauelement aufweisen, das praktisch bzw. bequem herzustellen ist.

Stand der Technik

[0002] Im allgemeinen ist es erforderlich, bestimmte Leistungseigenschaften einer integrierten Schaltung aufgrund der hohen Integration und erhöhten komplexen Funktionalität der Halbleiterbauelemente bereitzustellen. Zu diesem Zweck wurde ein CMOS-Transistor mit einem verbesserten N-Typ-MOS-Transistor und einen verbesserten P-Typ-MOS-Transistor entwickelt. Der verbesserte N-Typ-MOS-Transistor und P-Typ-MOS-Transistor weist eine relativ niedrige Schwellenspannung bezüglich eines bestimmten Bereichs in dem Halbleiterbauelement auf und wird jeweilig Niedrig-Vt-N-Typ-MOS-Transistor und Niedrig-Vt-P-Typ-MOS-Transistor genannt. Der Niedrig-Vt-N-Typ-MOS-Transistor ("Low Vt N-type MOS transistor") und der Niedrig-Vt-P-Typ-MOS-Transistor ("Low Vt P-type MOS transistor") minimieren den Spannungsabfall zwischen einem Source und einem Drain in dem MOS-Transistor. Folglich wird die Eigenschaft des Halbleiterbauelements, das den CMOS-Transistor verwendet, verbessert.

[0003] Um jedoch den Niedrig-Vt-N-Typ-MOS-Transistor und den Niedrig-Vt-P-Typ-MOS-Transistor auszubilden, muß ein zusätzlicher Masken-Ausbildungsprozeß und ein zusätzlicher Ionenimplantationsprozeß auf einem Bereich des Niedrig-Vt-N-Typ-MOS-Transistors und einem Bereich des Niedrig-Vt-P-Typ-MOS-Transistors jeweilig angewendet werden. Infolgedessen wird die Ausbeute des CMOS-Transistors verringert und die Herstellungskosten des CMOS-Transistors werden stark erhöht.

[0004] Die JP-04263468 A offenbart ein Verfahren zur Bildung mehrerer NMOS- und PMOS-Transistoren mit unterschiedlichen Schwellwertspannungen.

[0005] Die US 5,091,324 beschreibt ein Verfahren zur Einstellung verschiedener Schwellwertspannungen, bei dem sowohl eine N- als auch eine P-Wanne gebildet wird.

[0006] Die US 5,384,279 offenbart ein Verfahren, bei dem zur Einstellung einer Schwellwertspannung

nach der Wannen-Implantation eine zweite Implantation mit niedrigerer Dosis und Konzentration unter Verwendung der selben Maske durchgeführt wird.

[0007] Die US 5,407,849 beschreibt ein Verfahren zur Ausbildung von je zwei NMOS- und PMOS-Transistoren mit jeweils unterschiedlichen Schwellspannungen.

Aufgabenstellung

[0008] Aufgabe der Erfindung ist es, die vorgenannten Probleme zu lösen und insbesondere ein Verfahren zur Herstellung eines CMOS-Bauelements bereitzustellen, das einen Niedrig-Vt-N-Typ-MOS-Transistor und ein Niedrig-Vt-P-Typ-MOS-Transistor enthält, indem ein Ionenimplantationsprozeß, bei dem eine Gegendotieretechnik verwendet wird, um die Schwellenspannung zu steuern, und zwar ohne Verwendung eines zusätzlichen Maskenausbildungsprozesses, und ein zusätzlicher Ionenimplantationsprozeß, um die Schwellenspannung während der Herstellung des Komplementär-Metalloxid-Halbleiterbauelements zu steuern, verwendet wird. Dementsprechend ist das beschriebene CMOS-Bauelement einfach in der Herstellung und weist eine verbesserte Ausbeute auf und kann mit niedrigen Kosten hergestellt werden.

[0009] Die genannte Aufgabe wird durch das Verfahren gemäß den Ansprüchen 1, 11 und 21 gelöst.

[0010] Vorteilhafterweise wird gemäß der vorliegenden Erfindung insbesondere folgendes Verfahren zur Herstellung eines CMOS-Bauelements bereitgestellt, das die folgenden Schritte beinhaltet:

- (S1) eine Anzahl von Feldoxidschichten wird zur Festlegung erster bis vierter aktiver Bereiche ausgebildet, die sequentiell bzw. einander abfolgend bei vorbestimmten Bereichen eines Halbleitersubstrats positioniert sind;
- (S2) eine Schirmoxidschicht wird auf jeder Oberfläche der ersten bis vierten aktiven Bereiche ausgebildet;
- (S3) ein erstes Maskenmuster zum Freilegen bzw. Belichten erster und zweiter aktiver Bereiche wird ausgebildet;
- (S4) eine N-Typ-Mulde bzw. -Wanne wird in einer ausgewählten Tiefe von jeder Oberfläche der freigelegten ersten und zweiten aktiven Bereiche ausgebildet;
- (S5) N-Typ-ionen werden zur Steuerung einer Schwellenspannung in eine Schicht direkt unterhalb jeder Oberfläche der ersten und zweiten aktiven Bereiche implantiert;
- (S6) das erste Maskenmuster wird entfernt;
- (S7) ein zweites Maskenmuster zur Belichtung des dritten aktiven Bereichs wird ausgebildet;
- (S8) eine P-Typ-Mulde wird ausgehend von der Oberfläche des dritten freigelegten aktiven Be-

reichs in einer ausgewählten Tiefe ausgebildet;
 (S9) Ionen vom P-Typ werden zur Steuerung einer Schwellenspannung in eine Schicht direkt unterhalb der Oberfläche des dritten aktiven Bereichs implantiert;
 (S10) das zweite Maskenmuster wird entfernt;
 (S11) ein drittes Maskenmuster zur Belichtung der ersten und vierten aktiven Bereiche wird ausgebildet;
 (S12) Ionen vom P-Typ werden zur Steuerung einer Schwellenspannung in eine Schicht direkt unterhalb jeder Oberfläche der ersten und vierten aktiven Bereiche implantiert; und
 (S13) eine Gateelektrode einschließlich einer Gateoxidschicht wird auf den ersten bis vierten aktiven Bereichen ausgebildet.

[0011] Weiter wird vorteilhaft gemäß der Erfindung ein Verfahren zur Herstellung eines CMOS-Bauelements bereitgestellt, das die folgenden Schritte beinhaltet:

(S1) eine Anzahl von Feldoxidschichten wird zur Festlegung erster bis vierter aktiver Bereiche ausgebildet, die sequentiell bzw. einander abfolgend bei vorbestimmten Bereichen eines Halbleitersubstrats positioniert sind;
 (S2) eine Schirmoxidschicht wird auf jeder Oberfläche der ersten bis vierten aktiven Bereiche ausgebildet;
 (S3) ein erstes Maskenmuster zur Belichtung erster und zweiter aktiver Bereiche wird ausgebildet;
 (S4) eine N-Typ-Mulde wird ausgehend von jeder Oberfläche der freigelegten ersten und zweiten aktiven Bereiche in einer ausgewählten Tiefe ausgebildet;
 (S5) Ionen vom N-Typ werden zur Steuerung einer Schwellenspannung in eine Schicht direkt unterhalb jeder Oberfläche der ersten und zweiten aktiven Bereiche implantiert;
 (S6) das erste Maskenmuster wird entfernt;
 (S7) ein zweites Maskenmuster wird zur Freilegung bzw. Belichtung der dritten und vierten aktiven Bereiche ausgebildet;
 (S8) eine P-Typ-Mulde wird ausgehend von jeder Oberfläche der freigelegten dritten und vierten aktiven Bereiche in einer ausgewählten Tiefe ausgebildet;
 (S9) Ionen vom P-Typ werden zur Steuerung einer Schwellenspannung in eine Schicht direkt unterhalb der Oberfläche der dritten und vierten aktiven Bereiche implantiert;
 (S10) das zweite Maskenmuster wird entfernt;
 (S11) ein drittes Maskenmuster wird zur Freilegung bzw. Belichtung zweiter und vierter aktiver Bereiche ausgebildet;
 (S12) Ionen vom N-Typ werden zur Steuerung einer Schwellenspannung in eine Schicht direkt unterhalb jeder Oberfläche der zweiten und vierten aktiven Bereiche implantiert; und
 (S13) eine Gateelektrode einschließlich einer

Gateoxidschicht, wird auf den ersten bis vierten aktiven Bereichen ausgebildet.

[0012] Weiter stellt die vorliegende Erfindung vorteilhafterweise ein Verfahren zur Herstellung eines Komplementär-Metalloxid-Halbleiterbauelements bereit, das die folgenden Schritte aufweist:

(S1) eine Anzahl von Feldoxidschichten wird zur Festlegung erster bis vierter aktiver Bereiche ausgebildet, die sequentiell bzw. aufeinander folgend bei vorbestimmten Bereichen eines Halbleitersubstrats positioniert sind;
 (S2) eine Schirmoxidschicht bzw. ein Schirmoxidfilm wird auf jeder Fläche bzw. Oberfläche der ersten bis vierten aktiven Bereiche ausgebildet;
 (S3) ein erstes Maskenmuster zur Belichtung bzw. Freilegung erster und zweiter aktiver Bereiche wird ausgebildet;
 (S4) eine N-Typ-Mulde wird ausgehend von jeder Oberfläche der freigelegten ersten und zweiten aktiven Bereiche in einer ausgewählten Tiefe ausgebildet;
 (S5) Ionen vom N-Typ werden zur Steuerung einer Schwellenspannung in eine Schicht direkt unterhalb jeder Oberfläche der ersten und zweiten aktiven Bereiche implantiert;
 (S6) das erste Maskenmuster wird entfernt;
 (S7) ein zweites Maskenmuster wird zur Belichtung der dritten und vierten aktiven Bereiche ausgebildet;
 (S8) eine P-Typ-Mulde wird ausgehend von jeder Oberfläche der freigelegten dritten und vierten aktiven Bereiche in einer ausgewählten Tiefe ausgebildet;
 (S9) P-Typ-Ionen werden zur Steuerung einer Schwellenspannung in eine Schicht direkt unterhalb der Oberfläche der dritten und vierten aktiven Bereiche implantiert;
 (S10) das zweite Maskenmuster wird entfernt;
 (S11) ein drittes Maskenmuster wird zur Freilegung bzw. Belichtung erster und dritter aktiver Bereiche ausgebildet;
 (S12) Ionen vom P-Typ werden zur Steuerung einer Schwellenspannung in eine Schicht direkt unterhalb jeder Oberfläche der ersten und dritten aktiven Bereiche implantiert; und
 (S13) eine Gateelektrode einschließlich einer Gateoxidschicht, wird auf den ersten bis vierten aktiven Bereichen ausgebildet.

[0013] Weitere Vorteile und Ausgestaltungen der vorliegenden Erfindung werden bei der folgenden Beschreibung von bevorzugten Ausführungsformen unter Bezugnahme auf die beigefügten Zeichnungen klar werden.

[0014] [Fig. 1A](#) bis [Fig. 1D](#) sind schematische Schnittansichten, die einen Herstellungsprozeß des CMOS-Bauelements gemäß einer bevorzugten ersten Ausführungsform der vorliegenden Erfindung zei-

gen;

[0015] [Fig. 2](#) ist eine Schnittansicht eines modifizierten CMOS-Bauelements gemäß der bevorzugten ersten Ausführungsform der vorliegenden Erfindung, die eine vergrabene Störstellen- bzw. Verunreinigungsschicht zeigt, die in einem Halbleitersubstrat ausgebildet ist;

[0016] [Fig. 3A](#) bis [Fig. 3D](#) sind schematische Schnittansichten eines CMOS-Bauelements gemäß einer bevorzugten zweiten Ausführungsform der vorliegenden Erfindung, die einen Herstellungsprozeß des CMOS-Bauelements zeigen; und einer bevorzugten zweiten Ausführungsform der vorliegenden Erfindung, die einen Herstellungsprozeß des CMOS-Bauelements zeigen; und

[0017] [Fig. 4A](#) bis [Fig. 4D](#) sind schematische Schnittansichten eines CMOS-Bauelements gemäß einer bevorzugten dritten Ausführungsform der vorliegenden Erfindung, die einen Herstellungsprozeß des CMOS-Bauelements zeigen.

Ausführungsbeispiel

[0018] Im folgenden wird die bevorzugte Ausführungsform der vorliegenden Erfindung genauer unter Bezugnahme auf die beigefügten Zeichnungen beschrieben. Dabei können unterschiedliche Merkmale verschiedener Ausführungsformen miteinander kombiniert werden.

[0019] Eine erste Ausführungsform wird unter Bezugnahme auf die [Fig. 1A](#) bis [Fig. 1D](#) beschrieben.

[0020] Wie in der [Fig. 1A](#) gezeigt ist, wird eine Anzahl von Feldoxidschichten **11** bei vorbestimmten Bereichen eines P-Typ-Halbleitersubstrats **10** ausgebildet. Erste bis vierte aktive Bereiche werden durch die Ausbildung der Anzahl von Feldoxiden **11** festgelegt und in der Figur ausgehend von rechts benannt. Eine Schirmoxidschicht **12** bzw. ein Schirmoxidfilm **12** wird dann ausgebildet, um zu verhindern, daß das P-Typ-Halbleitersubstrat **10** durch nachfolgende Herstellungsschritte des CMOS-Bauelements beschädigt wird. Danach kann eine vergrabene Störstellenschicht (nicht gezeigt) in dem P-Typ-Halbleitersubstrat **10** bei einer vorbestimmten Tiefe ausgebildet werden.

[0021] Als nächstes wird ein N-Mulden-Maskenmuster **111** zur Ausbildung einer N-Mulde auf dritten und vierten aktiven Bereichen bei einer Dicke von ungefähr 2 bis 4 μm ausgebildet. Zu dieser Zeit wird ein gewünschter N-Muldenbereich **13** freigelegt bzw. belichtet. Nach der Ausbildung des N-Mulden-Maskenmusters **111** werden Phosphoratome der N-Typ-Störstellen in das P-Typ-Halbleitersubstrat **10** bei einer Energie von 700 keV – 1,5 MeV und einer Ionenimplantations-Konzentration von 1×10^{13} bis 5×10^{13} Ionen/cm² implantiert. Um die Schwellenspannung des Normal-P-Typ-MOS-Transistors bei der Spannung von -0,45 – -0,7 V zu steuern bzw. zu regeln, werden die Phosphoratome dann in das P-Typ-Halbleitersubstrat **10** bei einer Energie von 180 keV – 250 MeV und bei einer Ionenimplantations-Konzentration von 5×10^{12} bis 5×10^{13} Ionen/cm² implantiert. Danach werden die Phosphoratome ebenso in das P-Typ-Halbleitersubstrat **10** bei einer Energie von 30 keV – 80 MeV und bei einer Ionenimplantations-Konzentration von 2×10^{12} bis 8×10^{12} Ionen/cm² implantiert, wodurch erste Störstellenschichten **14a**, **14b** jeweils bei einem Bereich eines Normal-P-Typ-MOS-Transistors und einem Bereich eines Niedrig-Vt-P-Typ-MOS-Transistors mit einer niedrigen Schwellenspannung ausgebildet.

Nachdem das N-Typ-Mulden-Maskenmuster **111** entfernt worden ist, wird ein P-Typ-Mulden-Maskenmuster **112** zur Ausbildung einer P-Mulde auf den ersten und zweiten aktiven Bereichen und dem vierten aktiven Bereich bei der Dicke von 2-4 μm ausgebildet. Zu dieser Zeit wird ein Bereich des Normal-N-Typ-MOS-Transistors mit der Schwellenspannung von 0,45-0,7 V freigelegt gelassen, wie in [Fig. 1B](#) gezeigt. Um eine P-Typ-Mulde **15** auszubilden, werden dann Boratome in das P-Typ-Halbleitersubstrat **10** bei einer Energie von 500 keV – 700 MeV und bei einer Ionenimplantations-Konzentration von 1×10^{13} bis 5×10^{13} Ionen/cm² implantiert. Nach der Ionenimplantation zur Ausbildung einer P-Mulde wird ein Verfahren zur Ausbildung einer zweiten Störstellenschicht **16** durchgeführt. Boratome werden zuerst in die Fläche bzw. Oberfläche der P-Typ-Mulde **15** bei einer Energie von 70-120 keV und bei der Ionenimplantations-Konzentration von 1×10^{13} bis 5×10^{13} Ionen/cm² implantiert. Boratome werden dann ebenso in die Oberfläche der P-Typ-Mulde **15** bei einer Energie von 10-50 keV und bei einer Ionenimplantations-Konzentration von 1×10^{12} bis 5×10^{12} Ionen/cm² implantiert, wodurch eine zweite Störstellenschicht **16** ausgebildet wird.

[0022] Nach der Entfernung des P-Typ-Mulden-Maskenmusters **112** wird ein Störstellen-Maskenmuster **113** zur Ausbildung von Niedrig-Vt-NMOS/PMOS-Transistoren ausgebildet. Das Störstellen-Maskenmuster **113** legt den vierten aktiven Bereich, wo der N-Typ-MOS-Transistor ausgebildet werden soll, und den ersten aktiven Bereich, wo der Niedrig-Vt-P-Typ-MOS-Transistor ausgebildet werden soll, frei, wie in [Fig. 1C](#) gezeigt ist. Weiter wird der Niedrig-Vt-N-Typ-MOS-Transistor auf den vierten aktiven Bereich des P-Typ-Halbleitersubstrats **10** ausgebildet, wo die Mulde nicht ausgebildet ist. Boratome werden dann in das P-Typ-Halbleitersubstrat **10** bei einer Energie von 10-50 keV und bei einer Ionenimplantations-Konzentration von 1×10^{12} bis 5×10^{12} Ionen/cm² implantiert, wodurch die dritten Stör-

stellenschichten **14a**, **14b** jeweils bei einem Bereich eines Normal-P-Typ-MOS-Transistors und einem Bereich eines Niedrig-Vt-P-Typ-MOS-Transistors mit einer niedrigen Schwellenspannung ausgebildet.

stellenschichten **17a** und **17b** ausgebildet werden. Zu dieser Zeit wird die Schwellenspannung des Niedrig-Vt-N-Typ-MOS-Transistors 0,2–0,4 V. Weiter wird die erste Störstellenschicht **14b** des ersten aktiven Bereichs, wo der Niedrig-Vt-P-Typ-MOS-Transistor ausgebildet werden soll, mit der dritten Störstellenschicht **17b** gegendotiert. Infolgedessen wird die Schwellenspannung des P-Typ-MOS-Transistors -0,2–0,4 V.

[0024] Danach wird das Störstellen-Maskenmuster **113** entfernt. Danach wird ein Gateoxid **18** und Gateelektroden **19a–19d** ausgebildet. Der folgende Prozeß zur Herstellung des CMOS-Bauelements ist derselbe wie der Herstellungsprozeß des CMOS-Bauelements gemäß dem Stand der Technik.

[0025] Wie oben beschrieben wurde, ist es gemäß der vorliegenden Erfindung möglich, einen MOS-Transistor herzustellen, der eine niedrige Schwellenspannung aufweist, indem der Gegendotierprozeß ohne Verwendung eines zusätzlichen Maskierungsprozesses oder eines zusätzlichen Ionenimplantationsprozesses verwendet wird.

[0026] Nimmt man Bezug auf [Fig. 2](#), so werden eine Anzahl von Feldoxidschichten **21** und eine Anzahl von Schirmoxidfilmen bzw. Schirmoxidschichten **22** auf einem Halbleitersubstrat **20** ausgebildet. Erste bis vierte aktive Bereiche werden durch die Ausbildung der Anzahl von Feldoxiden **11** festgelegt und in den Figuren ausgehend von rechts benannt. Eine N-Typ-Mulde **22** und eine Anzahl von ersten Störstellenschichten **23a, 23b** werden dann auf dem Halbleitersubstrat **20** ausgebildet. Danach werden Boratome in einen niedrigeren Abschnitt bzw. Teil der N-Typ-Mulde **22** bei einer Energie von 1,5–1,8 MeV und der Ionenimplantations-Konzentration von 1×10^{13} bis 5×10^{13} Ionen/cm² implantiert, wodurch eine vergrabene Störstellenschicht **24** in dem Halbleitersubstrat **20** ausgebildet wird. Die vergrabene Störstellenschicht **24** wird ausgebildet, um eine Stufendifferenz zu haben, wie sie in dieser Figur gezeigt ist, und zwar aufgrund des N-Typ-Mulden-Maskenmusters. Das heißt, die Tiefe der vergrabenen Störstellenschicht, die in dem niedrigeren Abschnitt bzw. tieferen Abschnitt der N-Typ-Mulde positioniert ist, ist größer als die Tiefe der vergrabenen Störstellenschicht, die in dem tieferen bzw. niedrigeren Abschnitt bzw. Teil des N-Typ-Mulden-Maskenmusters positioniert ist. Der darauffolgende Ionenimplantationsprozeß und der Prozeß der Ausbildung der Gateelektrode sind derselbe, wie der Herstellungsprozeß des CMOS-Bauelements gemäß den herkömmlichen Verfahren.

[0027] Eine zweite Ausführungsform der vorliegenden Erfindung wird unter Bezugnahme auf die [Fig. 3A](#) bis [Fig. 3D](#) beschrieben.

[0028] Wie in [Fig. 3A](#) gezeigt ist, wird eine Anzahl von Feldoxidschichten **31** bei vorbestimmten Bereichen eines P-Typ-Halbleitersubstrats **30** ausgebildet. Erste bis vierte aktive Bereiche werden durch die Ausbildung einer Anzahl von Feldoxiden **31** festgelegt und werden ausgehend von rechts in den Figuren benannt. Eine Anzahl von Schirmoxidfilmen bzw. Schirmoxidschichten **32** werden dann ausgebildet, um zu verhindern, daß das P-Typ-Halbleitersubstrat **30** durch aufeinanderfolgende Herstellungsschritte des CMOS-Bauelements beschädigt werden. Danach kann eine vergrabene Störstellenschicht (nicht gezeigt) in dem P-Typ-Halbleitersubstrat **30** bei einer vorbestimmten Tiefe ausgebildet werden.

[0029] Als nächstes wird ein N-Typ-Mulden-Maskenmuster **311**, das eine N-Mulde bildet, auf den ersten und zweiten aktiven Bereichen bei einer Dicke von ungefähr 2 bis 4 µm ausgebildet. Zu dieser Zeit wird ein gewünschter N-Typ-Muldenbereich **33** beleuchtet. Nachdem das N-Typ-Mulden-Maskenmuster **311** ausgebildet ist, werden Phosphoratome, die vom N-Störstellentyp sind, in das P-Typ-Halbleitersubstrat **30** bei einer Energie von 700 keV – 1,5 MeV und bei einer Ionenimplantations-Konzentration von 1×10^{13} bis 5×10^{13} Ionen/cm² implantiert. Dadurch wird eine N-Typ-Mulde **33** ausgebildet. Um die Schwellenspannung des P-Typ-MOS-Transistors bei der Spannung von -0,1 – -0,45 V zu regeln bzw. zu steuern, werden die Phosphoratome dann in das P-Typ-Halbleitersubstrat **30** bei einer Energie von 180 keV–250 MeV und bei einer Ionenimplantations-Konzentration von 5×10^{12} bis 2×10^{13} Ionen/cm² implantiert. Danach werden die Phosphoratome ebenso in das P-Typ-Halbleitersubstrat **30** bei einer Energie von 30–80 keV und bei einer Ionenimplantations-Konzentration von 5×10^{11} bis 5×10^{12} Ionen/cm² implantiert. Dadurch werden erste Störstellenschichten **34a, 34b** jeweils bei einem Bereich eines Normal-P-Typ-MOS-Transistors und bei einem Bereich eines Niedrig-Vt-P-Typ-MOS-Transistors ausgebildet.

[0030] Nach der Entfernung des N-Typ-Mulden-Maskenmusters **311**, wird das P-Typ-Mulden-Maskenmuster **312** auf der gesamten Struktur bei der Dicke von 2–4 µm ausgebildet, wie in [Fig. 3B](#) gezeigt. Um eine P-Typ-Mulde **35** auszubilden, werden Boratome dann in das P-Typ-Halbleitersubstrat **10** bei einer Energie von 500-700 keV und bei einer Ionenimplantations-Konzentration von 1×10^{13} bis 5×10^{13} Ionen/cm² implantiert. Nach der Ionenimplantation zur Ausbildung einer P-Mulde wird ein Verfahren zur Ausbildung von Störstellenschichten **36a** und **36b** abgebildet. Boratome werden in die Oberfläche der P-Typ-Mulde **35** bei einer Energie von 70-120 keV und bei einer Ionenimplantations-Konzentration von 5×10^{12} bis 2×10^{13} Ionen/cm² implantiert. Die Borionen werden ebenso in die Oberfläche der P-Typ-Mulde **35** bei einer Energie von 10–30 keV und bei einer Ionenimplantations-Konzentration von $1 \times$

10^{12} bis 5×10^{12} Ionen/cm² implantiert, wodurch die zweiten Störstellenschichten **36a** und **36b** ausgebildet werden. Infolgedessen wird die Schwellenspannung des Normal-N-Typ-MOS-Transistors 0,45–0,7 V.

[0031] Nach dem Entfernen des P-Typ-Mulden-Maskenmusters **312** wird ein Störstellen-Maskenmuster **313** zur Ausbildung von Niedrig-Vt-NMOS/PMOS-Transistoren ausgebildet. Das Störstellen-Maskenmuster **313** legt einen Bereich des Niedrig-Vt-N-Typ-MOS-Transistors und einen Bereich des Normal-P-Typ-MOS-Transistors frei bzw. belichtet ihn, wie in [Fig. 3C](#) gezeigt ist. Weiter wird der Niedrig-Vt-N-Typ-MOS-Transistor auf der P-Typ-Mulde ausgebildet. Phosphoratome werden dann in das P-Typ-Halbleitersubstrat **30** bei einer Energie von 30–80 keV und bei einer Ionenimplantations-Konzentration von 1×10^{12} bis 8×10^{12} Ionen/cm² implantiert, wodurch dritte Störstellenschichten **37a** und **37b** ausgebildet werden. Zu dieser Zeit wird die Schwellenspannung des Normal-P-Typ-MOS-Transistors -0,45 – -0,7 V infolge der Akkumulation bzw. Anreicherung mit der Schwellenspannung der ersten Störstellenschicht **34a**. Weiter wird der Niedrig-Vt-N-Typ-MOS-Transistor mit der zweiten Störstellenschicht **36b** gegendotiert. Infolgedessen wird die Schwellenspannung des Niedrig-Vt-N-Typ-MOS-Transistors 0,1–0,4 V.

[0032] Danach wird das Störstellen-Maskenmuster **313** entfernt. Dann werden Oxidfilme **38** und Gateelektroden **39a–39d** ausgebildet, wie in [Fig. 3D](#) gezeigt. Der nachfolgende Prozeß zur Herstellung des CMOS-Bauelements ist dann der gleiche, wie der Herstellungsprozeß des CMOS-Bauelements gemäß herkömmlichen Verfahren. Auf dieselbe Art und Weise, wie bei der ersten Ausführungsform gemäß der vorliegenden Erfindung können Borionen in das P-Typ-Halbleitersubstrat **30** bei einer Energie von 1,5–2,5 MeV und bei einer Ionenimplantations-Konzentration von 1×10^{13} bis 5×10^{13} Ionen/cm² implantiert werden, wodurch eine vergrabene Störstellenschicht ausgebildet wird.

[0033] Eine dritte Ausführungsform gemäß der vorliegenden Erfindung wird unter Bezugnahme auf die [Fig. 4A](#) bis [Fig. 4D](#) beschrieben.

[0034] Wie in [Fig. 4A](#) gezeigt ist, wird eine Feldoxidschicht **41** bei vorbestimmten Bereichen eines P-Typ-Halbleitersubstrats **40** ausgebildet. Erste bis vierte aktive Bereiche werden durch die Ausbildung der Anzahl von Feldoxiden **41** festgelegt und sie werden ausgehend von rechts in den Figuren benannt. Ein Schirmoxidfilm bzw. eine Schirmoxidschicht **42** wird ausgebildet, um zu verhindern, daß das P-Typ-Halbleitersubstrat **40** durch nachfolgende Herstellungsschritte des CMOS-Bauelements beschädigt wird. Danach wird das N-Typ-Mulden-Masken-

muster **411** zur Belichtung erster und zweiter aktiver Bereiche bei einer Dicke von ungefähr 2 bis 4 µm ausgebildet. Zu dieser Zeit wird ein gewünschter N-Typ-Muldenbereich belichtet bzw. freigelegt. Nach der Ausbildung des N-Typ-Mulden-Maskenmusters **411** wird ein Phosphorion, bei dem es sich um eine Verunreinigung vom N-Typ handelt, in das P-Typ-Halbleitersubstrat **40** bei der Energie von 700 keV – 1,5 MeV und bei der Ionenimplantations-Konzentration von 1×10^{13} bis 5×10^{13} Ionen/cm² implantiert. Somit wird eine N-Typ-Mulde **43** ausgebildet. Nach der Ausbildung des Schirmoxidfilms **42** kann eine vergrabene Störstellenschicht in einem Halbleitersubstrat bei einer vorbestimmten Tiefe in derselben Art und Weise wie bei der zweiten Ausführungsform gemäß der vorliegenden Erfindung ausgebildet werden.

[0035] Um die Schwellenspannung des Normal-P-Typ-MOS-Transistors bei der Spannung von -0,7 – -0,45 V zu regeln bzw. zu steuern, werden Phosphoratome in das P-Typ-Halbleitersubstrat **40** bei einer Energie von 180 keV – 250 MeV und bei einer Ionenimplantations-Konzentration von 5×10^{12} bis 2×10^{13} Ionen/cm² implantiert. Danach werden die Phosphoratome ebenso in das P-Typ-Halbleitersubstrat **40** bei einer Energie von 30–80 keV und bei einer Ionenimplantations-Konzentration von 2×10^{12} bis 8×10^{12} Ionen/cm² implantiert. Somit werden erste Störstellenschichten **44a**, **44b** bei einem Bereich eines Normal-P-Typ-MOS-Transistors und einem Bereich eines Niedrig-Vt-P-Typ-MOS-Transistors ausgebildet.

[0036] Nach dem Entfernen des N-Typ-Mulden-Maskenmusters **411** wird ein P-Typ-Mulden-Maskenmuster **412** zur Ausbildung einer P-Mulde **45** auf ersten und zweiten aktiven Bereichen mit einer Dicke von 2–4 µm, wie in [Fig. 4B](#) gezeigt, ausgebildet. Dann werden Boratome in das P-Typ-Halbleitersubstrat **40** bei einer Energie von 500 keV – 700 MeV und bei einer Ionenimplantations-Konzentration von 1×10^{13} bis 5×10^{13} Ionen/cm² implantiert. Danach werden Boratome in die Fläche bzw. Oberfläche der P-Typ-Mulde **45** bei einer Energie von 70–120 keV und bei einer Ionenimplantations-Konzentration von 5×10^{12} bis 2×10^{13} Ionen/cm² implantiert. Die Boratome werden dann ebenso in die Oberfläche bzw. Fläche der P-Typ-Mulde **45** bei einer Energie von 10–30 keV und bei einer Ionenimplantations-Konzentration von 2×10^{11} bis 3×10^{12} Ionen/cm² implantiert, wodurch eine Anzahl von zweiten Störstellenschichten **46a** und **46b** ausgebildet werden. Infolgedessen wird die Schwellenspannung des Niedrig-Vt-N-Typ-MOS-Transistors 0,1–0,4 V.

[0037] Nach der Entfernung des P-Typ-Mulden-Maskenmusters **412** wird ein Störstellen-Maskenmuster **413** derartig ausgebildet, daß ein Bereich des Niedrig-Vt-P-Typ-MOS-Transistors und ein Be-

reich des Normal-N-Typ-MOS-Transistors jeweilig freigelegt bzw. belichtet werden, wie in [Fig. 4C](#) gezeigt. Boratome werden dann in das P-Typ-Halbleitersubstrat **40** bei einer Energie von 10–30 keV und bei einer Ionenimplantations-Konzentration von 1×10^{12} bis 5×10^{12} Ionen/cm² implantiert, wodurch dritte Störstellenschichten **47a** und **47b** ausgebildet werden. Zu dieser Zeit wird die Schwellenspannung des Normal-N-Typ-MOS-Transistors 0,45–0,7 V, und zwar infolge des Aufaddierens jener der zweiten Störstellenschicht **46a**. Weiter wird der P-Typ-MOS-Transistor mit einer niedrigen Schwellenspannung mit der ersten Störstellenschicht **46b** gegendotiert, infolgedessen wird die Schwellenspannung des P-Typ-MOS-Transistors -0,1 – -0,4 V.

[0038] Danach wird das Störstellen-Maskenmuster **413** entfernt. Ein Gateoxid **48** und Gateelektroden **49a–46d** werden dann ausgebildet, wie in [Fig. 4D](#) gezeigt. Der darauffolgende Prozeß zur Herstellung des CMOS-Bauelements ist derselbe, wie der Herstellungsprozeß des CMOS-Bauelements nach herkömmlichen Verfahren. Auf dieselbe Art und Weise, wie bei der zweiten Ausführungsform gemäß der vorliegenden Erfindung, kann eine vergrabene Störstellenschicht ausgebildet werden.

[0039] Wie oben beschrieben wurde, ist es gemäß der vorliegenden Erfindung möglich, ein CMOS-Bauelement herzustellen, das den N-Typ-MOS-Transistor mit einer niedrigen Schwellenspannung und den P-Typ-MOS-Transistor beinhaltet, indem ein Ionenimplantationsprozeß verwendet wird. Deshalb ist es nicht notwendig, einen zusätzlichen Masken-Ausbildungsprozeß und einen zusätzlichen Ionenimplantationsprozeß zur Steuerung der Schwellenspannung während der Herstellung des CMOS-Transistors durchzuführen. Infolgedessen wird die Ausbeute des CMOS-Transistors erhöht und die Herstellungskosten des CMOS-Transistors verringert.

Patentansprüche

1. Verfahren zur Herstellung eines Komplementär-Metalloxid-Halbleiterbauelements, das die folgenden Schritte aufweist:

- (S1) eine Anzahl von Feldoxidschichten zur Festlegung eines ersten, zweiten, dritten und vierten aktiven Bereichs, die sequentiell bzw. aufeinander folgend bei vorbestimmten Bereichen eines Halbleitersubstrats positioniert sind, wird gebildet;
- (S2) eine Schirmoxidschicht wird auf jeder Oberfläche des ersten, zweiten, dritten und vierten aktiven Bereichs ausgebildet;
- (S3) ein erstes Maskenmuster wird zur Freilegung bzw. Belichtung des ersten und zweiten aktiven Bereichs ausgebildet;
- (S4) eine N-Typ-Mulde wird ausgehend von jeder Oberfläche des freigelegten ersten und zweiten aktiven Bereichs in einer ausgewählten Tiefe ausgebil-

det;

- (S5) Ionen vom N-Typ werden zur Steuerung einer Schwellenspannung in einer Schicht direkt unterhalb jeder Oberfläche des ersten und des zweiten aktiven Bereichs implantiert;
- (S6) das erste Maskenmuster wird entfernt;
- (S7) ein zweites Maskenmuster wird zur Belichtung des dritten aktiven Bereichs ausgebildet;
- (S8) eine P-Typ-Mulde wird ausgehend von der Oberfläche des freigelegten dritten aktiven Bereichs in einer ausgewählten Tiefe ausgebildet;
- (S9) Ionen vom P-Typ werden zur Steuerung einer Schwellenspannung in eine Schicht direkt unterhalb der Fläche bzw. Oberfläche des dritten aktiven Bereichs implantiert;
- (S10) das zweite Maskenmuster wird entfernt;
- (S11) ein drittes Maskenmuster wird zur Freilegung bzw. Belichtung des ersten und vierten aktiven Bereichs ausgebildet;
- (S12) P-Typ-Ionen werden zur Steuerung einer Schwellenspannung in eine Schicht direkt unterhalb jeder Oberfläche des ersten und vierten aktiven Bereichs implantiert; und
- (S13) eine Gateelektrode einschließlich einer Gateoxidschicht wird auf dem ersten, zweiten, dritten und vierten aktiven Bereich ausgebildet.

2. Verfahren nach Anspruch 1, das nach dem Schirmoxidfilm-Ausbildungsschritt (S2), weiter einen Schritt aufweist, bei dem mittels eines Ionenimplantationsprozesses eine vergrabene Störstellenschicht in einer vorbestimmten Tiefe des Halbleitersubstrats ausgebildet wird.

3. Verfahren nach Anspruch 1, das nach dem Schritt (S5) weiter einen Schritt aufweist, bei dem mittels eines Ionenimplantationsprozesses eine vergrabene Störstellenschicht in einer vorbestimmten Tiefe des Halbleitersubstrats ausgebildet wird.

4. Verfahren nach Anspruch 3, bei welchem die vergrabene Störstellenschicht ausgebildet wird, indem Boratome in das Halbleitersubstrat mit einer Energie von 1,5–1,8 MeV und bei einer Ionenimplantations-Konzentration von 1×10^{13} bis 5×10^{13} Ionen/cm² implantiert werden.

5. Verfahren, nach Anspruch 1, bei welchem das erste Maskenmuster eine Dicke von 2 bis 4 µm aufweist.

6. Verfahren nach Anspruch 1, bei welchem die N-Typ-Mulde ausgebildet wird, indem Phosphoratome in das Halbleitersubstrat mit einer Energie von 700 keV bis 1,5 MeV und bei einer Ionenimplantations-Konzentration von 1×10^{13} bis 5×10^{13} Ionen/cm² implantiert werden.

7. Verfahren nach Anspruch 1, bei welchem der Schritt (S5) die folgenden Schritte aufweist:

Phosphoratome werden in die Oberfläche des Halbleitersubstrats mit einer Energie von 180 bis 250 keV und bei einer Ionenimplantations-Konzentration von 5×10^{12} bis 5×10^{13} Ionen/cm² implantiert; und Phosphoratome werden in die Oberfläche des Halbleitersubstrats mit einer Energie von 30 bis 80 keV und bei einer Ionenimplantations-Konzentration von 2×10^{12} bis 8×10^{12} Ionen/cm² implantiert.

8. Verfahren nach Anspruch 1, bei welchem im Schritt (S8) Boratome in das Halbleitersubstrat mit einer Energie von 500 bis 700 keV und bei einer Ionenimplantations-Konzentration von 1×10^{13} bis 5×10^{13} Ionen/cm² implantiert werden.

9. Verfahren nach Anspruch 1, bei welchem der Schritt (S9) die folgenden Schritte aufweist: Boratome werden in die Oberfläche des Halbleitersubstrats mit einer Energie von 70 bis 120 keV und bei einer Ionenimplantations-Konzentration von 5×10^{12} bis 2×10^{13} Ionen/cm² implantiert; und Boratome werden in die Oberfläche des Halbleitersubstrats mit einer Energie von 10 bis 30 keV und bei einer Ionenimplantations-Konzentration von 1×10^{12} bis 5×10^{12} Ionen/cm² implantiert.

10. Verfahren nach Anspruch 1, bei welchem im Schritt (S12) Boratome mit einer Energie von 10 bis 50 keV einer Ionenimplantations-Konzentration von 1×10^{12} bis 5×10^{12} Ionen/cm² implantiert werden.

11. Verfahren zur Herstellung eines Komplementär-Metalloxid-Halbleiterbauelements, das die folgenden Schritte aufweist:

(S1) eine Anzahl von Feldoxidschichten wird zur Festlegung erster bis vierter aktiver Bereiche ausgebildet, die sequentiell bzw. einander folgend bei vorbestimmten Bereichen eines Halbleitersubstrats positioniert sind;

(S2) eine Schirmoxidschicht wird auf jeder Oberfläche der ersten, zweiten, dritten und vierten aktiven Bereiche ausgebildet;

(S3) ein erstes Maskenmuster wird zur Freilegung bzw. Belichtung der ersten und zweiten aktiven Bereiche ausgebildet;

(S4) eine N-Typ-Mulde wird ausgehend von jeder Oberfläche der freigelegten ersten und zweiten aktiven Bereiche ausgebildet;

(S5) Ionen vom N-Typ werden zur Steuerung einer Schwellenspannung in eine Schicht direkt unterhalb jeder Oberfläche der ersten und zweiten aktiven Bereiche implantiert;

(S6) das erste Maskenmuster wird entfernt;

(S7) ein zweites Maskenmuster wird zur Freilegung bzw. Belichtung der dritten und vierten aktiven Bereiche ausgebildet;

(S8) eine P-Typ-Mulde wird ausgehend von jeder Oberfläche der freigelegten dritten und vierten aktiven Bereiche in einer ausgewählten Tiefe ausgebildet;

(S9) Ionen vom P-Typ werden zur Steuerung einer Schwellenspannung in eine Schicht direkt unterhalb der Oberfläche der dritten und vierten aktiven Bereiche implantiert;

(S10) das zweite Maskenmuster wird entfernt;

(S11) ein drittes Maskenmuster wird zur Freilegung bzw. Belichtung zweiter und vierter aktiver Bereiche ausgebildet;

(S12) Ionen vom N-Typ werden zur Steuerung einer Schwellenspannung in eine Schicht direkt unterhalb jeder Oberfläche der zweiten und vierten aktiven Bereiche implantiert; und

(S13) eine Gateelektrode einschließlich einer Gateoxidschicht wird auf den ersten, zweiten, dritten und vierten aktiven Bereichen ausgebildet.

12. Verfahren nach Anspruch 11, das nach dem Schirmoxid-Ausbildungsschritt (S2) weiter einen Schritt aufweist, bei dem mittels eines Ionenimplantationsprozesses eine vergrabene Störstellenschicht in einer vorbestimmten Tiefe des Halbleitersubstrats ausgebildet wird.

13. Verfahren nach Anspruch 11, das nach dem Schritt (S5) weiter einen Schritt aufweist, bei dem mittels eines Ionenimplantationsprozesses eine vergrabene Störstellenschicht in einer vorbestimmten Tiefe des Halbleitersubstrats ausgebildet wird.

14. Verfahren nach Anspruch 13, bei welchem die vergrabene Störstellenschicht ausgebildet wird, indem Boratome in das Halbleitersubstrat mit einer Energie von 1,5–2,5 MeV und bei einer Ionenimplantations-Konzentration von 1×10^{13} bis 5×10^{13} Ionen/cm² implantiert werden.

15. Verfahren nach Anspruch 11, bei welchem das erste Maskenmuster eine Dicke von 2 bis 4 μm aufweist.

16. Verfahren nach Anspruch 11, bei welchem die N-Typ-Mulde ausgebildet wird, indem Phosphoratome in das Halbleitersubstrat mit einer Energie von 700 keV bis 1,5 MeV und bei einer Ionenimplantations-Konzentration von 1×10^{13} bis 5×10^{13} Ionen/cm² implantiert werden.

17. Verfahren nach Anspruch 11, bei welchem der Schritt (S5) die folgenden Schritte aufweist:

Phosphoratome werden in die Oberfläche des Halbleitersubstrats mit einer Energie von 180 bis 250 keV und bei einer Ionenimplantations-Konzentration von 5×10^{12} bis 2×10^{13} Ionen/cm² implantiert; und Phosphoratome werden in die Oberfläche des Halbleitersubstrats mit einer Energie von 30 bis 80 keV und bei einer Ionenimplantations-Konzentration von 5×10^{11} bis 5×10^{12} Ionen/cm² implantiert.

18. Verfahren nach Anspruch 11, bei welchem im Schritt (S8) Boratome in das Halbleitersubstrat mit ei-

ner Energie von 500 bis 700 keV und der Ionenimplantations-Konzentration von 1×10^{13} bis 5×10^{13} Ionen/cm² implantiert werden.

19. Verfahren nach Anspruch 11, bei welchem der Schritt (S9) die folgenden Schritte aufweist:

Boratome werden in die Oberfläche des Halbleitersubstrats mit einer Energie von 70 bis 120 keV und bei einer Ionenimplantations-Konzentration von 5×10^{12} bis 2×10^{13} Ionen/cm² implantiert; und Boratome werden in die Oberfläche des Halbleitersubstrats mit einer Energie von 10 bis 30 keV und bei einer Ionenimplantations-Konzentration von 1×10^{12} bis 5×10^{12} Ionen/cm² implantiert.

20. Verfahren nach Anspruch 11, bei welchem im Schritt (S 12) Boratome mit einer Energie von 30 bis 80 keV und bei einer Ionenimplantations-Konzentration von 1×10^{12} bis 8×10^{12} Ionen/cm² implantiert werden.

21. Verfahren zur Herstellung eines Komplementär-Metalloxid-Halbleiterbauelements, das die folgenden Schritte aufweist:

(S1) eine Anzahl von Feldoxidschichten wird zur Festlegung erster, zweiter, dritter und vierter aktiver Bereiche ausgebildet, die sequentiell bzw. aufeinander folgend bei vorbestimmten Bereichen eines Halbleitersubstrats positioniert sind;

(S2) ein Schirmoxidfilm bzw. eine Schirmoxidschicht wird auf jeder Oberfläche der ersten bis vierten aktiven Bereiche ausgebildet;

(S3) ein erstes Maskenmuster wird zur Belichtung erster und zweiter aktiver Bereiche ausgebildet;

(S4) eine N-Typ-Mulde wird ausgehend von jeder Oberfläche des freigelegten ersten und zweiten aktiven Bereichs in einer ausgewählten Tiefe ausgebildet;

(S5) Ionen vom N-Typ werden zur Steuerung einer Schwellenspannung in eine Schicht direkt unterhalb jeder Oberfläche der ersten und zweiten aktiven Bereiche implantiert;

(S6) das erste Maskenmuster wird entfernt;

(S7) ein zweites Maskenmuster wird zur Freilegung bzw. Belichtung der dritten und vierten aktiven Bereiche ausgebildet;

(S8) eine P-Typ-Mulde wird ausgehend von jeder Oberfläche der freigelegten dritten und vierten aktiven Bereiche in einer ausgewählten Tiefe ausgebildet;

(S9) Ionen vom P-Typ werden zur Steuerung einer Schwellenspannung in eine Schicht direkt unterhalb der Oberfläche der dritten und vierten aktiven Bereiche implantiert;

(S10) das zweite Maskenmuster wird entfernt;

(S11) ein drittes Maskenmuster wird zur Freilegung bzw. Belichtung erster und dritter aktiver Bereiche ausgebildet;

(S12) Ionen vom P-Typ werden zur Steuerung einer Schwellenspannung in eine Schicht direkt unterhalb

jeder Oberfläche der ersten und dritten aktiven Bereiche implantiert; und

(S13) eine Gateelektrode einschließlich einer Gateoxidschicht wird auf den ersten, zweiten, dritten und vierten aktiven Bereichen ausgebildet.

22. Verfahren nach Anspruch 21, das nach dem Schirmoxid-Ausbildungsschritt (S2) weiter einen Schritt aufweist, bei dem mittels eines Ionenimplantationsprozesses eine vergrabene Störstellenschicht auf dem Halbleitersubstrat ausgebildet wird.

23. Verfahren nach Anspruch 21, das nach dem Schritt (S5) weiter einen Schritt aufweist, bei dem mittels eines Ionenimplantationsprozesses eine vergrabene Störstellenschicht in einer vorbestimmten Tiefe des Halbleitersubstrats ausgebildet wird.

24. Verfahren nach Anspruch 23, bei welchem die vergrabene Störstellenschicht ausgebildet wird, indem Boratome in das Halbleitersubstrat mit einer Energie von 1,5 – 2,5 MeV und bei einer Ionenimplantations-Konzentration von 1×10^{13} bis 5×10^{13} Ionen/cm² implantiert werden.

25. Verfahren nach Anspruch 21, bei welchem das erste Maskenmuster eine Dicke von 2 bis 4 µm aufweist.

26. Verfahren nach Anspruch 1, bei welchem die N-Typ-Mulde ausgebildet wird, indem Phosphoratome in das Halbleitersubstrat mit einer Energie von 700 keV bis 1,5 MeV und bei einer Ionenimplantations-Konzentration von 1×10^{13} bis 5×10^{13} Ionen/cm² implantiert werden.

27. Verfahren nach Anspruch 21, bei welchem der Schritt (S5) die folgenden Schritte aufweist:

Phosphoratome werden in die Oberfläche des Halbleitersubstrats mit einer Energie von 180 bis 250 keV und bei einer Ionenimplantations-Konzentration von 5×10^{12} bis 2×10^{13} Ionen/cm² implantiert; und Phosphoratome werden in die Oberfläche des Halbleitersubstrats mit einer Energie von 30 bis 80 keV und bei einer Ionenimplantations-Konzentration von 2×10^{12} bis 8×10^{12} Ionen/cm² implantiert.

28. Verfahren nach Anspruch 21, bei welchem im Schritt (S8) Boratome in das Halbleitersubstrat mit einer Energie von 500 bis 700 keV und einer Ionenimplantations-Konzentration von 1×10^{13} bis 5×10^{13} Ionen/cm² implantiert werden.

29. Verfahren nach Anspruch 21, bei welchem der Schritt (S9) die folgenden Schritte aufweist:

Boratome werden in die Oberfläche des Halbleitersubstrats mit einer Energie von 70 bis 120 keV und bei einer Ionenimplantations-Konzentration von 5×10^{12} bis 2×10^{13} Ionen/cm² implantiert; und Boratome werden in die Oberfläche des Halbleiter-

substrats mit einer Energie von 10 bis 30 keV und bei einer Ionenimplantations-Konzentration von 2×10^{11} bis 3×10^{12} Ionen/cm² implantiert.

30. Verfahren nach Anspruch 21, bei welchem im Schritt (S12) Boratome mit einer Energie von 10 bis 30 keV und bei einer Ionenimplantations-Konzentration von 1×10^{12} bis 5×10^{12} Ionen/cm² implantiert werden.

Es folgen 6 Blatt Zeichnungen

FIG. 1A

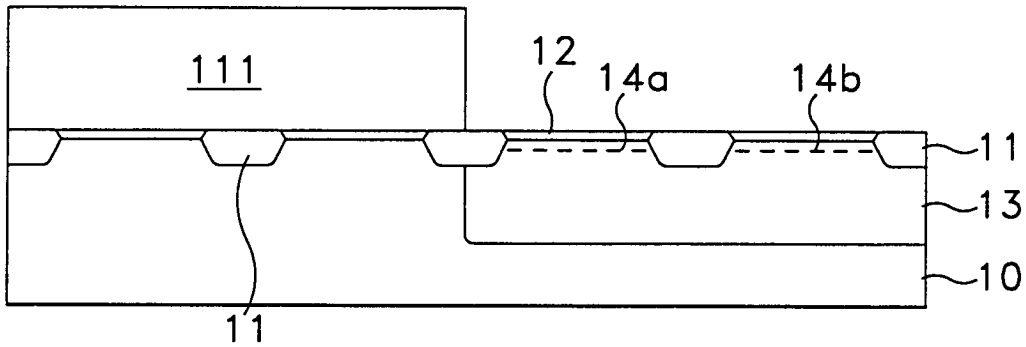


FIG. 1B

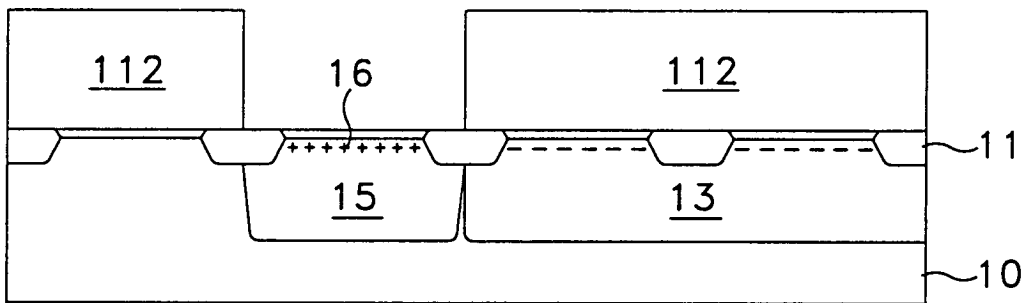


FIG. 1C

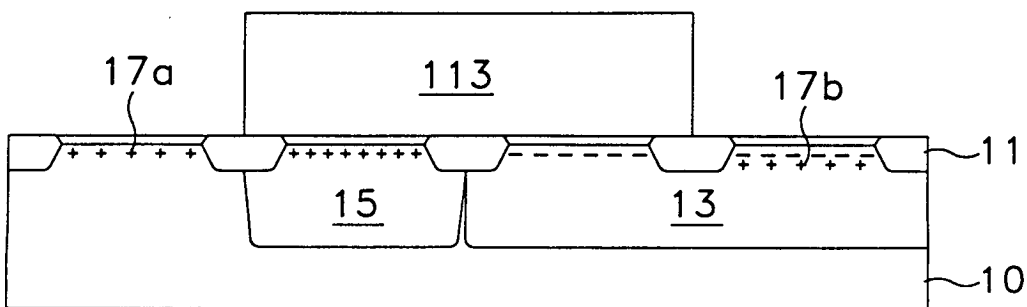


FIG. 1 D

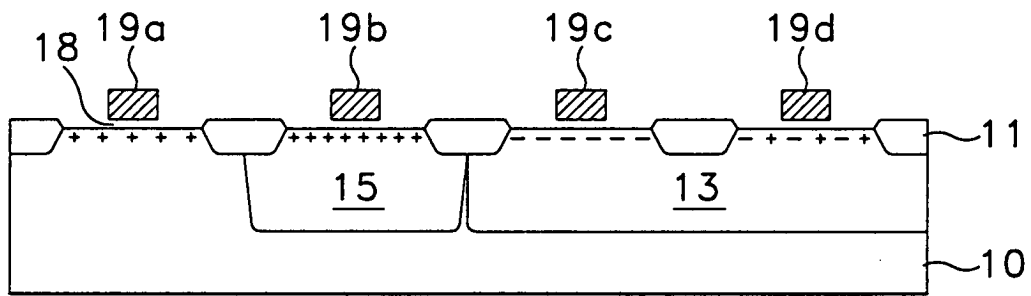


FIG. 2

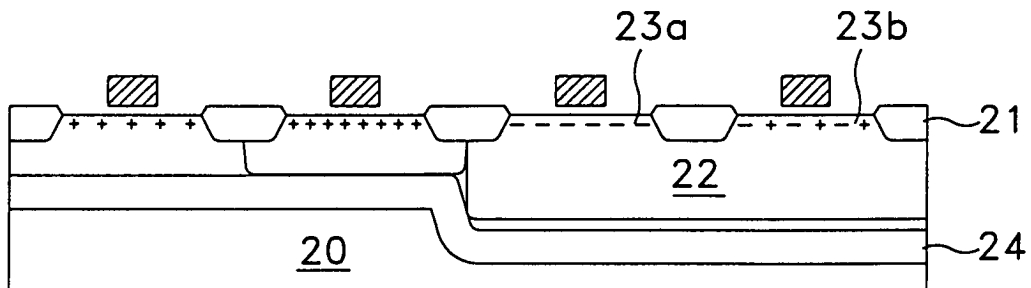


FIG.3A

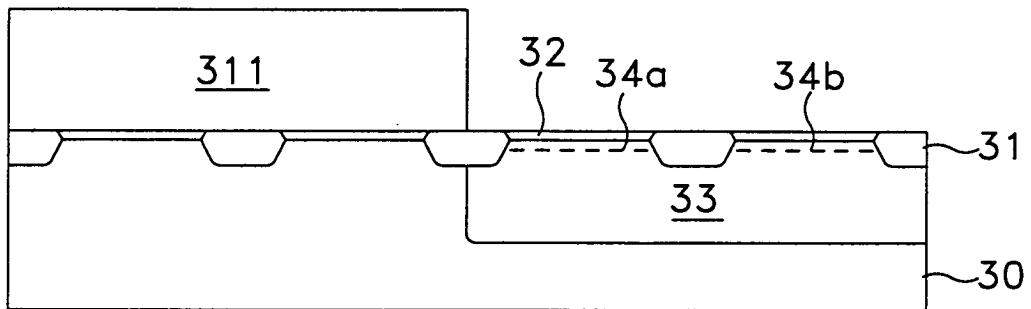


FIG.3B

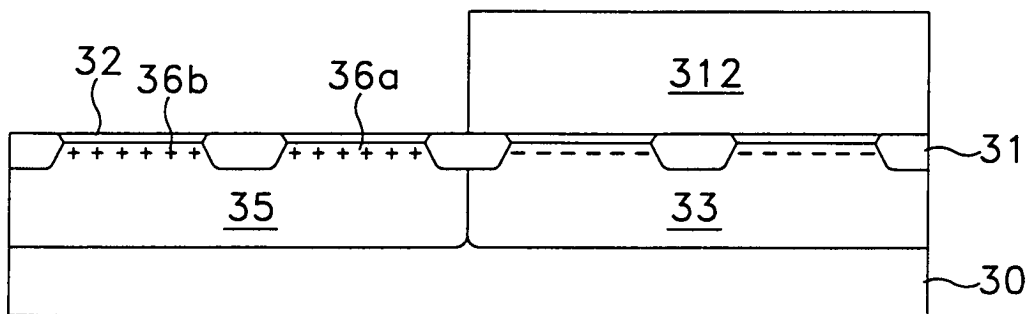


FIG.3C

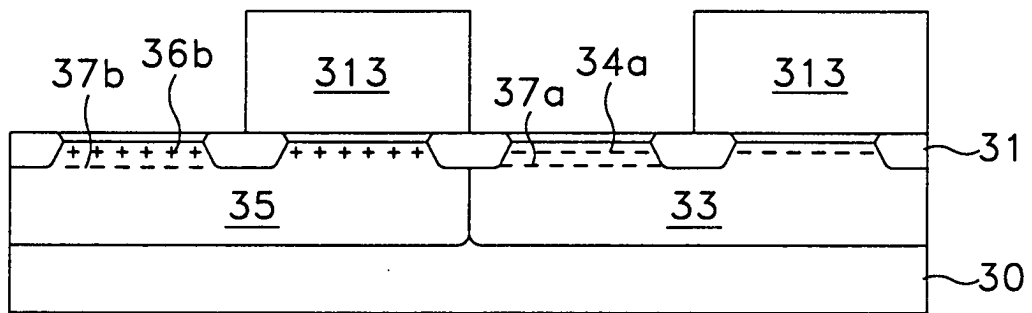


FIG.3D

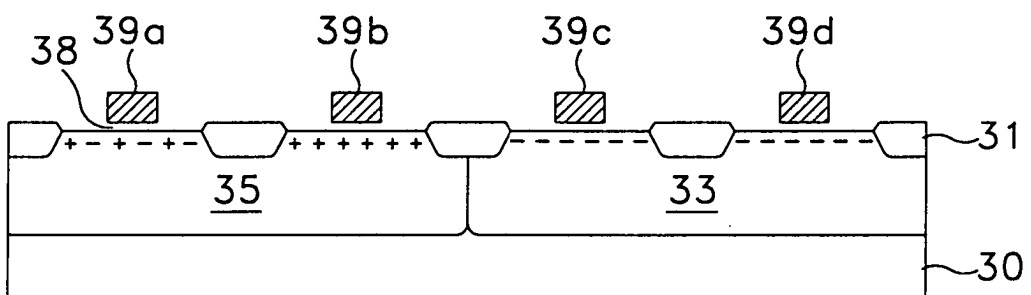


FIG.4A

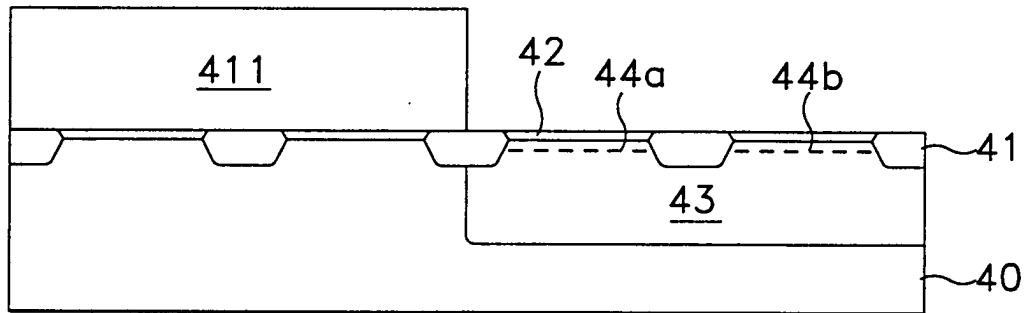


FIG.4B

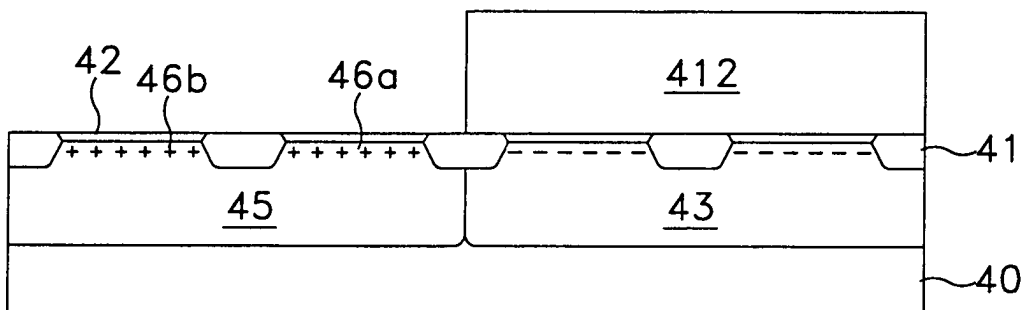


FIG. 4C

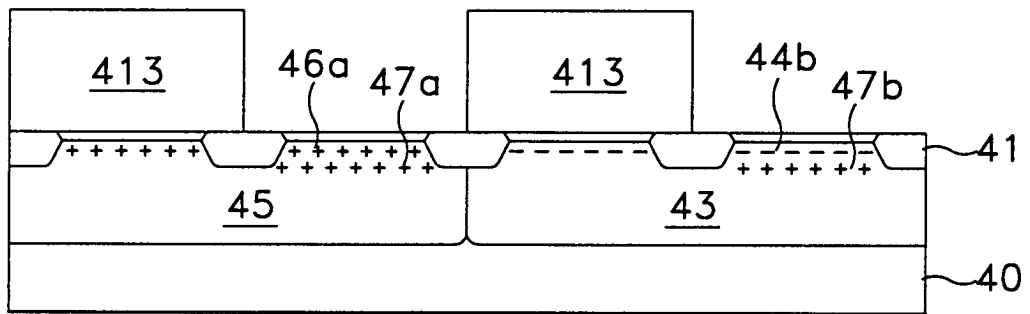


FIG. 4D

