

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>7</sup> G11C 15/00	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년10월04일 10-0518598 2005년09월26일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0077392 2003년11월03일	(65) 공개번호 (43) 공개일자	10-2005-0042609 2005년05월10일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자                    삼성전자주식회사  
   경기도 수원시 영통구 매탄동 416

(72) 발명자                        신호근  
   경기도수원시팔달구영통동벽적골주공아파트914-802

   전영현  
   서울특별시강남구대치2동미도아파트205동1105호

(74) 대리인                        리엔목특허법인  
   이해영

심사관 : 조명관

(54) 캠 셀 어레이의 결합 여부 테스트가 가능한 캠 및 캠 셀 어레이의 결합 여부 테스트 방법

요약

캠 셀 어레이의 결합 여부 테스트가 가능한 캠 및 캠 셀 어레이의 결합 여부 테스트 방법이 개시된다. 본 발명의 실시예에 따른 캠은 복수개의 캠 셀들을 구비하는 캠 셀 어레이 및 매치라인 상태 저장부를 구비한다. 매치라인 상태 저장부는 동일한 워드 라인과 매치 라인을 공유하는 상기 캠 셀들의 상기 워드 라인과 상기 매치 라인에 연결되며 상기 매치 라인의 논리 레벨에 따라 저장된 데이터의 논리 레벨이 변화되는 복수개의 상태 셀들을 구비한다. 캠은 상기 상태 셀들에 저장된 데이터를 독출함에 의하여 상기 캠 셀 어레이의 결합을 파악한다. 상기 상태 셀들은 상기 캠 셀 어레이에 결합이 존재하지 아니하는 경우 상기 상태 셀들에 저장된 데이터가 모두 일치한다. 본 발명에 따른 캠 및 캠 셀 어레이의 결합 여부 테스트 방법은 매치 라인 상태 저장부를 이용하여 종래의 우선 순위 엔코더를 이용하여 캠 셀 어레이의 결합 여부를 테스트하는 방법보다 테스트 시간을 줄일 수 있는 장점이 있다. 또한, 캠 셀의 각각의 결합 여부를 간단하게 테스트 할 수 있어 테스트 효율을 높일 수 있는 장점이 있다.

대표도

도 5

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

- 도 1은 일반적인 캠(CAM :Content Addressable Memory)의 구조를 나타내는 도면이다.
- 도 2는 우선 순위 엔코더를 이용하여 캠 셀 어레이의 결합 여부를 판단하는 방법을 설명하는 도면이다.
- 도 3은 본 발명의 실시예에 따른 캠의 구조를 나타내는 도면이다.
- 도 4는 캠 셀 어레이의 캠 셀 구조를 설명하는 회로도이다.
- 도 5는 도 3의 매치 라인 상태 저장부의 상태 셀의 구조를 설명하는 회로도이다.
- 도 6은 본 발명의 다른 실시예에 따른 캠 셀 어레이의 결합 여부 테스트 방법을 설명하는 플로우 차트이다.
- 도 7은 본 발명의 다른 실시예에 따른 캠의 구조를 설명하는 도면이다.
- 도 8은 도 7의 쉬프트 레지스터부 및 서치 데이터 발생부의 구조를 나타내는 도면이다.
- 도 9는 도 8의 제 1 제어부의 구조를 나타내는 도면이다.
- 도 10(a)는 제 1 제어 신호가 제 1 레벨인 경우 제 1 서치 데이터가 발생하는 원리를 설명하는 도면이다.
- 도 10(b)는 제 n 제어 신호가 제 1 레벨인 경우 제 n 서치 데이터가 발생하는 원리를 설명하는 도면이다.
- 도 11은 본 발명의 다른 실시예에 따른 캠 셀 어레이의 결합 여부 테스트 방법을 설명하는 플로우 차트이다.

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 캠(CAM:Content Addressable Memory)에 관한 것으로서, 특히 캠 셀 어레이의 결합 여부를 판단할 수 있는 캠 및 캠 셀 어레이의 결합 여부 판단 방법에 관한 것이다.

램(RAM)이나 롬(ROM)은 내부의 메모리 셀 어레이의 특정 위치를 지시하고 지시된 어드레스에 대응되는 저장 데이터를 출력하기 위하여 어드레스를 이용한다. 반면에 캠(CAM :Content Addressable Memory)은 외부 데이터를 수신하여 내부에 저장된 데이터와 매치(match)되는지 여부를 비교하며 비교 결과에 대응되는 어드레스를 출력한다.

캠의 각각의 셀은 비교 로직을 구비한다. 캠으로 입력되는 데이터는 모든 셀들에 저장된 데이터와 비교되고, 출력되는 어드레스는 매치 결과를 나타낸다. 캠은 패턴(pattern)이나 리스트, 이미지 데이터 등을 빨리 검색할 필요가 있는 응용분야에 많이 이용된다.

캠은 바이너리 캠(binary CAM)과 티캠(TCAM : Ternary CAM)으로 구분된다. 일반적인 바이너리 캠은 1과 0의 두 논리 상태 중 하나를 저장하기 위한 램(RAM) 셀을 구비한다.

바이너리 캠은 외부에서 제공되는 데이터(이하, 서치(search) 데이터라고 한다.)를 램(RAM) 셀에 저장된 데이터와 비교하고, 서치 데이터와 저장된 데이터가 일치되면 대응되는 매치 라인(match line)을 일정한 논리 상태로 설정하는 비교 회로를 구비한다.

바이너리 캠의 예들은 미국 특허번호 4,646, 미국 특허번호 4,780, 미국 특허번호 5,490, 및 미국 특허번호 5,495,382에 개시되어 있다. 티 캠은 세 가지 논리 상태, 즉, "1", "0" 및 "돈 캐어(don't care)" 상태를 저장할 수 있다. 티 캠의 예는 미국 특허번호 5,319,590에 개시되어 있다.

- 도 1은 일반적인 캠(CAM :Content Addressable Memory)의 구조를 나타내는 도면이다.

캠 셀 어레이(110)에 데이터가 저장되고 서치 데이터/마스킹 레지스터(130) 블록으로부터 캠 셀 어레이(110)로 서치 데이터가 인가된다. 그러면 캠 셀 어레이(110)에 저장된 데이터와 서치 데이터가 캠 셀 어레이(110)에서 비교된다.

저장된 데이터와 서치 데이터가 일치하면 매치 라인(미도시)의 논리 레벨이 하이 레벨 또는 로우 레벨로 고정되고 매치 라인 검출부(150)가 매치 라인의 논리 레벨을 인식한다.

우선 순위 엔코더(160)는 매치 라인 검출부(150)의 출력을 수신하여 서치 데이터와 저장된 데이터가 일치하는 캠 셀에 연결된 워드 라인의 어드레스를 출력한다.

그런데, 일반적으로 캠(100)은 캠 셀 어레이(100)의 결함 여부를 판단하기 위하여 우선 순위 엔코더(160)를 이용한다. 그러나, 우선 순위 엔코더(160)는 서치 데이터와 저장된 데이터가 일치되는 워드 라인 어드레스가 여러 개일 경우 최하위 비트(LSB) 어드레스를 출력하도록 설계되기 때문에 캠 셀 어레이의 결함 여부를 검증하는 데에 많은 시간이 소요되는 단점이 있다.

도 2는 우선 순위 엔코더를 이용하여 캠 셀 어레이의 결함 여부를 판단하는 방법을 설명하는 도면이다.

예를 들어, 캠 셀 어레이의 하나의 블록이  $m \times n$  ( $m$ : 로우(Row),  $n$ : 칼럼(Column))으로 구성된다고 가정한다. 우선 순위 엔코더(160)는 서치 데이터와 저장된 데이터가 일치되는 워드 라인 어드레스가 여러 개일 경우 최하위 비트(LSB) 어드레스만을 출력하므로 서치 데이터와 저장된 데이터가 일치되는 나머지 워드 라인 어드레스를 알 수 없다.

이하에서는 서치 데이터와 저장된 데이터가 일치되는 나머지 워드 라인 어드레스를 알 수 없는 현상을 "가려진다(mask)"라고 표현한다. 우선 순위 엔코더(160)에 의해서 가려지는(mask) 워드라인 어드레스 없이 캠 셀 어레이를 검증하기 위해서는 제 1 워드라인에서 제  $m-1$  워드라인까지는 동일한 데이터, 예를 들어 "00"을 기입하고, 제  $m$  워드 라인에는 "01"을 기입한다.

그리고 서치 데이터로서 "01"을 사용하여, 제  $m$  워드라인의 어드레스가 우선 순위 엔코더에서 출력되는 지를 판별한다.(도 2(1)참조)

다음에는 제 1 워드라인에서 제  $m-2$  워드라인까지 "00"을 기입하고 제  $m-1$  워드라인 및 제  $m$  워드라인에는 "01"을 기입한다. 그리고 제  $m-1$  워드 라인의 어드레스가 우선 순위 엔코더(160)에서 출력되는지를 확인한다.(도 2(2) 참조)

캠 셀 어레이의 제  $m-1$  워드라인에 공통으로 연결된 캠 셀들에 결함이 없다면, 우선 순위 엔코더(160)는 서치 데이터와 저장된 데이터가 일치되는 두 개의 워드 라인 어드레스(제  $m$  워드라인, 제  $m-1$  워드라인) 중 최하위 비트(LSB) 어드레스, 즉 제  $m-1$  워드라인 어드레스를 출력해야 한다.

도 2의 (1) 내지 (4)를 참조하면, 검은 색으로 표시된 부분이 서치 데이터와 저장된 데이터가 일치되어 워드 라인 어드레스가 출력되는 워드 라인이고, 워드 라인 어드레스가 출력되는 워드 라인의 위쪽 부분은 "가려지는(mask)" 부분이다.

이와 같은 방법으로 제 1 워드 라인까지 검증을 진행하여 캠 셀 어레이( $m \times n$ )의 결함 여부를 검증한다.  $m \times n$ 의 캠 셀 어레이를 모두 검증하기 위해서는 캠 셀 어레이에  $m * (m + 1) / 2$  번 데이터를 기입해야 하고  $m * (m + 1) / 2$  번 서치 동작(Search Operation)을 해야한다.

이는 캠(CAM)이 점차 고 집적화(High Density)되어가고 있는 현재의 추세에서는 급격한 테스트 시간의 증가를 유발시키며 또한 테스트 비용의 증가도 유발시키는 문제가 있다.

**발명이 이루고자 하는 기술적 과제**

본 발명이 이루고자하는 기술적 과제는 캠 셀 어레이의 결함 여부를 테스트하는 시간을 줄일 수 있는 구조를 가지는 캠을 제공하는데 있다.

본 발명이 이루고자하는 다른 기술적 과제는 캠 셀 어레이의 결함 여부를 테스트하는 시간을 줄일 수 있는 방법을 제공하는데 있다.

**발명의 구성 및 작용**

상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 캠은 복수개의 캠 셀들을 구비하는 캠 셀 어레이 및 매치라인 상태 저장부를 구비한다.

매치라인 상태 저장부는 동일한 워드 라인과 매치 라인을 공유하는 상기 캠 셀들의 상기 워드 라인과 상기 매치 라인에 연결되며 상기 매치 라인의 논리 레벨에 따라 저장된 데이터의 논리 레벨이 변화되는 복수개의 상태 셀들을 구비한다.

본 발명의 실시예에 따른 캠은 상기 상태 셀들에 저장된 데이터를 독출함에 의하여 상기 캠 셀 어레이의 결함을 파악한다. 상기 상태 셀들은 상기 캠 셀 어레이에 결함이 존재하지 아니하는 경우 상기 상태 셀들에 저장된 데이터가 모두 일치한다.

상기 상태 셀은 상태 메모리 셀, 제 1 상태 트랜지스터 및 제 2 상태 트랜지스터를 구비한다.

상태 메모리 셀은 상기 워드 라인에 연결되며 제 3 비트라인 쌍의 데이터를 저장한다. 제 1 상태 트랜지스터는 상기 상태 메모리 셀에 제 1단이 연결되고 상기 대응되는 캠 셀의 매치 라인에 게이트가 연결된다.

제 2 상태 트랜지스터는 상기 제 1 상태 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 인에이블 신호가 연결되고 제 2 단이 제 1 전압에 연결된다. 상기 제 1 및 제 2 상태 트랜지스터들은 엔모스 트랜지스터일 수 있다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 캠 셀 어레이의 결함 여부 테스트 방법은 복수개의 캠 셀들을 구비하는 캠 셀 어레이 및 동일한 워드 라인과 매치 라인을 공유하는 상기 캠 셀들에 대응되는 상태 셀을 구비하는 캠에 있어서, 상기 상태 셀에 데이터를 기입하여 초기화하는 단계, 상기 캠 셀들에 데이터를 기입하는 단계, 상기 캠 셀들에 대하여 서치 동작을 수행하는 단계 및 상기 상태 셀에 저장된 데이터를 독출하여 상기 캠 셀 어레이의 결함 여부를 테스트하는 단계를 구비한다.

상기 서치 동작을 수행하는 단계는 상기 캠 셀들에 기입된 데이터와 동일한 서치 데이터를 상기 캠 셀로 인가하는 단계 및 상기 캠 셀들에 저장된 데이터와 상기 서치 데이터를 비교하여 상기 매치 라인의 논리 레벨을 결정하는 단계를 구비한다.

상기 캠 셀 어레이의 결함 여부를 테스트하는 단계는 상기 캠 셀 어레이에 결함이 존재하지 아니하는 경우 상기 상태 셀들로부터 독출된 데이터가 모두 동일하다.

캠 셀 어레이의 결함 여부 테스트 방법은 상기 캠 셀들에 기입된 데이터와 반대의 서치 데이터를 상기 캠 셀로 인가하는 단계, 상기 캠 셀들에 저장된 데이터와 상기 서치 데이터를 비교하여 상기 매치 라인의 논리 레벨을 결정하는 단계 및 상기 상태 셀에 저장된 데이터를 독출하여 상기 캠 셀 어레이의 결함 여부를 테스트하는 단계를 더 구비할 수 있다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 캠은 복수개의 캠 셀들을 구비하는 캠 셀 어레이, 서치 데이터 발생부 및 쉬프트 레지스터부를 구비한다.

서치 데이터 발생부는 n 비트의 서치 데이터 패턴을 수신하고 제 1 내지 제 n 제어 신호에 응답하여 동일한 워드 라인과 매치 라인을 공유하는 상기 제 1 내지 제 n 캠 셀들로 제 1 내지 제 n 서치 데이터를 인가한다.

쉬프트 레지스터부는 클럭 신호에 응답하여 논리 레벨이 순차적으로 반전되는 상기 제 1 내지 제 n 제어 신호를 발생한다.

상기 제 1 내지 제 n 서치 데이터는 대응되는 상기 제 1 내지 제 n 제어 신호가 제 1 레벨로 발생되면 논리 레벨이 반전된다. 상기 쉬프트 레지스터부는 제 1 내지 제 n 쉬프트 레지스터들 및 초기 쉬프트 레지스터를 구비한다.

제 1 내지 제 n 쉬프트 레지스터들은 리셋 신호에 응답하여 제 2 레벨로 리셋되고 상기 클럭 신호에 응답하여 상기 제 1 내지 제 n 제어 신호를 순차적으로 제 1 레벨로 발생한다. 초기 쉬프트 레지스터는 리셋 신호에 응답하여 제 1 레벨로 리셋되고 상기 클럭 신호에 응답하여 상기 제 1 쉬프트 레지스터로 출력 값을 인가한다.

상기 서치 데이터 발생부는 상기 서치 데이터 패턴 중 대응되는 하나의 비트를 수신하고 대응되는 상기 제어 신호에 응답하여 상기 서치 데이터를 출력하는 제 1 내지 제 n 제어부들을 구비하고, 상기 제 1 내지 제 n 제어부들은 각각 래치부, 제 1 인버터 및 선택부를 구비한다.

래치부는 상기 서치 데이터 패턴 중 대응되는 하나의 비트를 수신하여 래치한다. 제 1 인버터는 상기 래치부의 출력을 반전시킨다. 선택부는 대응되는 제어 신호에 응답하여 상기 제 1 인버터의 출력 및 상기 래치부의 출력 중 하나를 상기 서치 데이터로서 출력한다.

상기 선택부는 대응되는 제어 신호가 제 1 레벨이면 상기 래치부의 출력을 상기 서치 데이터로서 출력한다.

상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 캠 셀 어레이의 결합 여부 테스트 방법은 클럭 신호에 응답하여 논리 레벨이 순차적으로 반전되는 제 1 내지 제 n 제어 신호를 발생하는 단계, n 비트의 서치 데이터 패턴을 수신하는 단계, 상기 제 1 내지 제 n 제어 신호에 응답하여 상기 서치 데이터 패턴을 제 1 내지 제 n 서치 데이터로서 출력하거나 또는 상기 서치 데이터 패턴의 논리 레벨이 반전된 값을 상기 제 1 내지 제 n 서치 데이터로서 출력하는 단계 및 상기 제 1 내지 제 n 서치 데이터를 대응되는 캠 셀들로 인가하여 캠 셀의 결합 여부를 확인하는 단계를 구비한다.

상기 제 1 내지 제 n 서치 데이터를 출력하는 단계는 상기 제어 신호가 제 1 레벨로 발생되면 대응되는 서치 데이터 패턴의 논리 레벨을 반전시켜 상기 서치 데이터로서 출력한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 3은 본 발명의 실시예에 따른 캠의 구조를 나타내는 도면이다.

도 3을 참조하면, 캠 셀 어레이(310)의 결합 여부를 테스트하기 위하여 캠 셀 어레이(310)와 매치 라인 검출부(350) 사이에 매치 라인 상태 저장부(380)가 삽입된다. 매치 라인 상태 저장부(380)는 매치 라인(미도시)의 논리 레벨 상태를 저장한다.

즉, 캠 셀 어레이(310)중 동일한 워드 라인에 연결된 캠 셀들에 결합이 있는 경우 대응되는 매치 라인의 논리 레벨이 로우 레벨로 전환되고(매치 라인이 하이 레벨 프리차지 구조인 경우), 동일한 워드 라인에 연결된 캠 셀들에 결합이 없는 경우 대응되는 매치 라인의 논리 레벨이 계속해서 하이 레벨로 유지된다.

따라서 매치 라인 상태 저장부(380)는 매치 라인의 논리 레벨이 어떠한 상태에 있는지를 저장함으로써 캠 셀 어레이(310)의 결합 여부를 테스트 할 수 있다.

도 4는 캠 셀 어레이의 캠 셀 구조를 설명하는 회로도이다.

도 4를 참조하면, 캠 셀(CCELL)은 데이터를 저장하는 제 1 및 제 2 메모리 셀들(410, 420) 및 비교 회로(430)를 구비한다. 제 1 및 제 2 메모리 셀들(410, 420)은 에스램 셀이다.

제 1 메모리 셀(410)은 두 개의 인버터들(INV1, INV2)을 구비하는 래치와 워드 라인(WL)에 게이트가 연결되고 비트라인(BL1, BLB1)의 데이터를 래치로 전송하는 제 1 및 제 2 액세스 트랜지스터(Q1, Q2)를 구비한다.

마찬가지로, 제 2 메모리 셀(420)은 두 개의 인버터들(INV3, INV4)을 구비하는 래치와 워드 라인(WL)에 게이트가 연결되고 비트라인(BL2, BLB2)의 데이터를 래치로 전송하는 제 3 및 제 4 액세스 트랜지스터(Q3, Q4)를 구비한다.

비교 회로(130)는 제 1 내지 제 4 비교 트랜지스터들(QC1, QC2, QC3, QC4)을 구비한다. 제 1 및 제 2 비교 트랜지스터(QC1, QC2)는 서로 직렬 연결되며 제 1 비교 트랜지스터(QC1)의 드레인이 매치라인(ML)과 연결되고 제 2 비교 트랜지스터(QC2)의 소스가 그라운드(VSS)에 연결된다.

제 1 비교 트랜지스터(QC1)의 게이트는 제 1 메모리 셀(410)의 노드 B에 연결되고 제 2 비교 트랜지스터(QC2)의 게이트는 반전 서치 라인(SLB)에 연결된다.

마찬가지로, 제 3 및 제 4 비교 트랜지스터(QC3, QC4)는 서로 직렬 연결되며 제 3 비교 트랜지스터(QC3)의 드레인이 매치 라인(ML)과 연결되고 제 4 비교 트랜지스터(QC4)의 소스가 그라운드(VSS)에 연결된다.

제 3 비교 트랜지스터(QC3)의 게이트는 제 2 메모리 셀(420)의 노드 D에 연결되고 제 4 비교 트랜지스터(QC4)의 게이트는 서치 라인(SL)에 연결된다.

데이터의 기입 동작에 대하여 설명한다. 제 1 및 제 2 메모리 셀(410, 420)에 저장될 데이터가 비트라인 쌍(BL1, BLB1, BL2, BLB2)에 실린다. 워드 라인(WL)이 하이 레벨로 활성화되면 제 1 내지 제 4 액세스 트랜지스터들(Q1, Q2, Q3, Q4)이 턴 온 된다.

그러면 비트라인 쌍(BL1, BLB1, BL2, BLB2)에 실린 데이터가 두 개의 제 1 및 제 2 메모리 셀(410, 420)에 저장되고 워드 라인(WL)이 비활성화 된다.

데이터의 독출 동작의 경우, 워드 라인(WL)이 하이 레벨로 활성화되고 두 개의 제 1 및 제 2 메모리 셀(410, 420)에 저장된 데이터가 비트라인 쌍(BL1, BLB1, BL2, BLB2)으로 전송된다. 그리고 비트라인 쌍(BL1, BLB1, BL2, BLB2)의 데이터는 데이터 버스(미도시)로 다시 전송된다.

캠 셀(CCELL)의 검색과 비교 동작에 대해서 설명한다.

매치 라인(ML)은 처음에는 하이 레벨로 프리차지 되고 서치 데이터는 서치 라인 쌍(SL, SLB)에 실려진다. 본 발명에서는 설명의 편의를 위하여 매치 라인(ML)이 처음에는 하이 레벨로 프리차지 된다고 설명하였으나, 반드시 하이 레벨로만 프리차지 되는 것은 아니며 로우 레벨로 프리차지 될 수 있음은 당업자에게는 자명하다 할 것이다.

만일 서치 데이터와 저장된 데이터가 불일치한다면 매치 라인(ML)의 논리 레벨이 변화된다. 즉, 서치 데이터와 저장된 데이터가 불일치하면 매치 라인(ML)의 논리 레벨은 로우 레벨로 변화된다.

그러나 서치 데이터와 저장된 데이터가 일치하면 매치 라인(ML)의 논리 레벨은 하이 레벨을 그대로 유지한다.

예를 들어, 제 1 메모리 셀(410)에 "1"이 저장되고 제 2 메모리 셀(420)에 "0"이 저장되며, 서치 라인(SL)이 "0"을 가지고 반전 서치 라인(SLB)이 "1"을 가진다고 가정한다. 제 1 메모리 셀(410)은 논리 "1"을 제 1 비교 트랜지스터(QC1)로 인가하고 제 1 비교 트랜지스터(QC1)는 턴 온 된다.

서치 라인(SL)은 논리 "0"을 제 2 비교 트랜지스터(QC2)에 인가하고 제 2 비교 트랜지스터(QC2)는 턴 오프 된다. 제 1 비교 트랜지스터(QC1)는 턴 온 되고 제 2 비교 트랜지스터(QC2)는 턴 오프 되므로 매치 라인(ML)의 논리 레벨은 하이 레벨로 유지된다.

제 2 메모리 셀(420)은 논리 "0"을 제 3 비교 트랜지스터(QC3)로 인가하고 제 3 비교 트랜지스터(QC3)는 턴 오프 된다.

반전 서치 라인(SLB)은 논리 "1"을 제 4 비교 트랜지스터(QC4)에 인가하고 제 4 비교 트랜지스터(QC4)는 턴 온 된다. 제 3 비교 트랜지스터(QC3)는 턴 오프 되고 제 4 비교 트랜지스터(QC4)는 턴 온 되므로 매치 라인(ML)의 논리 레벨은 하이 레벨로 유지된다. 이러한 경우를 서치 데이터와 저장된 데이터가 일치된다고 한다.

도 5는 도 3의 매치 라인 상태 저장부의 상태 셀의 구조를 설명하는 회로도이다.

매치 라인 상태 저장부(380)는 동일한 워드 라인(WL)과 매치 라인(ML)을 공유하는 캠 셀들(CCELL1, CCELL2 ~ CCELLn)의 워드 라인(WL)과 매치 라인(ML)에 연결되며 매치 라인(ML)의 논리 레벨에 따라 저장된 데이터의 논리 레벨이 변화되는 복수개의 상태 셀들을 구비한다.

상태 셀들은 캠 셀 어레이(310)에 결함이 존재하지 아니하는 경우 상태 셀들에 저장된 데이터가 모두 일치한다.

도 5를 참조하면, 상태 셀(SCELL)은 상태 메모리 셀(SMCELL), 제 1 상태 트랜지스터(N1) 및 제 2 상태 트랜지스터(N2)를 구비한다.

상태 메모리 셀(SMCELL)은 워드 라인(WL)에 연결되며 제 3 비트라인 쌍(BL, BLB)의 데이터를 저장한다. 제 1 상태 트랜지스터(N1)는 상태 메모리 셀(SMCELL)에 제 1단이 연결되고 대응되는 캠 셀의 매치 라인(ML)에 게이트가 연결된다.

제 2 상태 트랜지스터(N2)는 제 1 상태 트랜지스터(N1)의 제 2단에 제 1단이 연결되고 게이트에 인에이블 신호(EN)가 연결되고 제 2 단이 제 1 전압(VSS)에 연결된다. 여기서 제 1 전압(VSS)은 접지 전압이다. 제 1 및 제 2 상태 트랜지스터들(N1, N2)은 엔모스 트랜지스터일 수 있다.

도 6은 본 발명의 다른 실시예에 따른 캠 셀 어레이의 결함 여부 테스트 방법을 설명하는 플로우 차트이다.

도 6을 참조하면, 캠 셀 어레이의 결함 여부 테스트 방법(600)은 복수개의 캠 셀들을 구비하는 캠 셀 어레이 및 동일한 워드 라인과 매치 라인을 공유하는 상기 캠 셀들에 대응되는 상태 셀을 구비하는 캠에 있어서, 상기 상태 셀에 데이터를 기입하여 초기화하는 610 단계, 캠 셀들에 데이터를 기입하는 620 단계, 상기 캠 셀들에 대하여 서치 동작을 수행하는 630 단계 및 상기 상태 셀에 저장된 데이터를 독출하여 상기 캠 셀 어레이의 결함 여부를 테스트하는 640 단계를 구비한다.

이하, 도 5 및 도 6을 참조하여 본 발명의 실시예에 따른 캠 및 캠 셀 어레이의 결함 여부 테스트 방법의 동작이 상세히 설명된다.

먼저, 상기 상태 셀에 데이터를 기입하여 초기화한다.(610 단계)

상태 셀(SCELL)의 초기화는 캠 셀 어레이의 캠 셀들에 데이터를 기입하는 타이밍과 같은 타이밍에 상태 셀(SCELL)의 노드 A 에 로우 레벨의 데이터를 저장한다. 즉, 노드 B에는 하이 레벨의 데이터가 저장된다. 그러나 노드 A와 노드 B에 저장되는 데이터의 논리 레벨이 반대로 될 수도 있다.

캠 셀들에 데이터를 기입한다.(620 단계) 그리고, 상기 캠 셀들에 대하여 서치 동작을 수행한다.(630 단계)

상기 630 단계는 상기 캠 셀들에 기입된 데이터와 동일한 서치 데이터를 상기 캠 셀로 인가하는 단계 및 상기 캠 셀들에 저장된 데이터와 상기 서치 데이터를 비교하여 상기 매치 라인의 논리 레벨을 결정하는 단계를 구비한다.

제 1 워드 라인(미도시)에 연결된 캠 셀들에서 제 m 워드 라인(미도시)에 연결된 캠 셀들까지 데이터를 기입한다. 그리고, 기입한 데이터와 일치되는 서치 데이터를 캠 셀로 인가하여 서치 동작을 수행한다.

매치 라인(ML)이 하이 레벨 프리차지 구조일 경우, 기입 데이터와 서치 데이터가 일치하므로 매치 라인(ML)은 하이 레벨을 유지한다. 도 5의 인에이블 신호가 하이 레벨로 활성화되면 제 1 상태 트랜지스터(N1)와 제 2 상태 트랜지스터(N2)가 모두 턴 온 된다.

인에이블 신호(EN)는 캠 셀 어레이(310)의 결함 여부를 판단하는 경우에만 매치 라인 상태 저장부(380)를 활성화시키는 신호이다. 제 1 상태 트랜지스터(N1)와 제 2 상태 트랜지스터(N2)가 모두 턴 온 되면, 상태 메모리 셀(SMCELL)의 노드 A가 하이 레벨로 전환된다.

캠 셀 어레이(310)의 캠 셀들에 결함이 없다면 매치 라인 상태 저장부(380)의 상태 셀들은 모두 하이 레벨의 데이터를 상태 메모리 셀(SMCELL)에 저장한다.

상기 상태 셀에 저장된 데이터를 독출하여 상기 캠 셀 어레이의 결함 여부를 테스트한다.(640 단계) 모든 상태 셀들에 저장된 데이터를 독출하고 독출된 값이 하이 레벨이면 캠 셀 어레이(310)가 정상인 것을 검증할 수 있다.

캠 셀 어레이(310)의 캠 셀들에 기입된 데이터와 반대의 서치 데이터를 상기 캠 셀로 인가하고 상기 캠 셀들에 저장된 데이터와 상기 서치 데이터를 비교한다면 서치 데이터와 기입 데이터가 불일치하므로 매치 라인의 논리 레벨이 로우 레벨로 전환된다.

그러면 제 1 상태 트랜지스터(N1)는 턴 오프 되고 상태 메모리 셀(SMCELL)의 노드 A는 로우 레벨을 유지한다. 만일 캠 셀 어레이(310)의 캠 셀들에 결합이 없다면 매치 라인 상태 저장부(380)의 상태 셀들은 모두 로우 레벨의 데이터를 상태 메모리 셀(SMCELL)에 저장하고 출력한다.

즉, 매치 라인 상태 저장부(380)의 모든 상태 셀들에서 출력되는 데이터가 로우 레벨이면 캠 셀 어레이(310)의 캠 셀들에 결합이 존재하지 아니한다. 이와 같은 방법으로 기입 데이터와 서치 데이터를 변경시켜가면서 테스트를 진행한다면 m 캠 셀 기입과 1번의 서치 동작, 그리고 m번의 상태 셀의 독출 동작으로 총  $(2*m + 1) * (\text{서치 데이터의 패턴 수})$ 만큼의 시간이 소비되고 테스트 시간을 감소시킬 수 있다.

도 7은 본 발명의 다른 실시예에 따른 캠의 구조를 설명하는 도면이다.

워드 라인을 공유하는 캠 셀들 중 하나의 캠 셀에 결합이 있더라도 워드 라인을 공유하는 캠 셀들에 연결된 매치 라인의 논리 레벨이 바뀌기 때문에 워드 라인을 공유하는 캠 셀들 중 어느 캠 셀에 결합이 있는지 알 수 없다.

따라서 워드 라인을 공유하는 캠 셀들 각각에 대하여 테스트를 수행할 수밖에 없다. 도 7의 캠 구조는 워드 라인을 공유하는 캠 셀들의 각각의 결합 여부를 테스트 할 수 있는 구조이다.

도 7을 참조하면, 본 발명의 다른 실시예에 따른 캠(700)은 복수개의 캠 셀들을 구비하는 캠 셀 어레이(710), 서치 데이터 발생부(730) 및 쉬프트 레지스터부(735)를 구비한다.

서치 데이터 발생부(730)는 n 비트의 서치 데이터 패턴(SPAT)을 수신하고 제 1 내지 제 n 제어 신호(CTRL1~CTRLn)에 응답하여 동일한 워드 라인과 매치 라인을 공유하는 제 1 내지 제 n 캠 셀들(미도시)로 제 1 내지 제 n 서치 데이터(SDATA1 ~ SDATAN)를 인가한다.

쉬프트 레지스터부(735)는 클럭 신호(CLK)에 응답하여 논리 레벨이 순차적으로 반전되는 제 1 내지 제 n 제어 신호(CTRL1~CTRLn)를 발생한다. 제 1 내지 제 n 서치 데이터(SDATA1 ~ SDATAN)는 대응되는 제 1 내지 제 n 제어 신호(CTRL1~CTRLn)가 제 1 레벨로 발생되면 논리 레벨이 반전된다.

도 11은 본 발명의 다른 실시예에 따른 캠 셀 어레이의 결합 여부 테스트 방법을 설명하는 플로우 차트이다.

도 11의 방법은 도 7의 캠(700)의 동작에 대응된다. 도 11을 참조하면, 본 발명의 실시예에 따른 캠 셀 어레이의 결합 여부 테스트 방법(1100)은 클럭 신호에 응답하여 논리 레벨이 순차적으로 반전되는 제 1 내지 제 n 제어 신호를 발생하는 1110 단계, n 비트의 서치 데이터 패턴을 수신하는 1120 단계, 상기 제 1 내지 제 n 제어 신호에 응답하여 상기 서치 데이터 패턴을 제 1 내지 제 n 서치 데이터로서 출력하거나 또는 상기 서치 데이터 패턴의 논리 레벨이 반전된 값을 상기 제 1 내지 제 n 서치 데이터로서 출력하는 1130 단계 및 상기 제 1 내지 제 n 서치 데이터를 대응되는 캠 셀들로 인가하여 캠 셀의 결합 여부를 확인하는 1140 단계를 구비한다.

이하, 도 7 및 도 11을 참조하여 캠 셀의 각각의 비트의 결합 여부를 판단하는 방법 및 결합 여부 판단이 가능한 캠의 동작이 상세히 설명된다.

도 8은 도 7의 쉬프트 레지스터부 및 서치 데이터 발생부의 구조를 나타내는 도면이다.

도 9는 도 8의 제 1 제어부의 구조를 나타내는 도면이다.

클럭 신호에 응답하여 논리 레벨이 순차적으로 반전되는 제 1 내지 제 n 제어 신호를 발생한다.(1110 단계) 1110 단계의 동작은 도 7의 쉬프트 레지스터부(735)의 동작에 대응된다.

쉬프트 레지스터부(735)는 제 1 내지 제 n 쉬프트 레지스터들(SR1 ~ SRn) 및 초기 쉬프트 레지스터(SR0)를 구비한다. 제 1 내지 제 n 쉬프트 레지스터들(SR1 ~ SRn)은 리셋 신호(RESET)에 응답하여 제 2 레벨로 리셋 된다.

그리고, 제 1 내지 제 n 쉬프트 레지스터들(SR1 ~ SRn)은 클럭 신호(CLK)에 응답하여 제 1 내지 제 n 제어 신호(CTRL1~CTRLn)를 순차적으로 제 1 레벨로 발생한다.

초기 쉬프트 레지스터(SR0)는 리셋 신호(RESET)에 응답하여 제 1 레벨로 리셋 되고 클럭 신호(CLK)에 응답하여 제 1 쉬프트 레지스터(SR1)로 출력 값을 인가한다.

설명의 편의를 위하여 제 1 레벨을 하이 레벨로 가정하고 제 2 레벨을 로우 레벨로 가정한다. 초기 쉬프트 레지스터(SR0)는 리셋 신호(RESET)에 응답하여 하이 레벨의 값을 저장하고 나머지 제 1 내지 제 n 쉬프트 레지스터들(SR1 ~ SRn)은 클럭 신호(CLK)에 응답하여 로우 레벨의 값을 저장한다.

클럭 신호(CLK)에 응답하여 초기 쉬프트 레지스터(SR0)는 저장된 하이 레벨의 값을 제 1 쉬프트 레지스터(SR1)로 인가한다. 그리고, 초기 쉬프트 레지스터(SR0)는 접지 전압(VSS)에 의하여 로우 레벨의 값을 저장한다.

즉, 클럭 신호(CLK)에 응답하여 하이 레벨의 값이 초기 쉬프트 레지스터(SR0)에서 제 1 쉬프트 레지스터(SR1)로 이동한다. 그리고 클럭 신호(CLK)의 다음 클럭에 응답하여 제 1 쉬프트 레지스터(SR1)의 하이 레벨의 값이 제 2 쉬프트 레지스터(SR2)로 이동하고 제 1 쉬프트 레지스터(SR1)는 로우 레벨의 값을 저장한다.

이와 같이 제 1 내지 제 n 쉬프트 레지스터들(SR1 ~ SRn)은 순차적으로 하이 레벨의 값을 저장한다. 따라서 제 1 내지 제 n 쉬프트 레지스터들(SR1 ~ SRn)은 제 1 내지 제 n 제어 신호(CTRL1~CTRLn)를 순차적으로 하이 레벨로 발생한다.

서치 데이터 발생부(730)는 n 비트의 서치 데이터 패턴을 수신한다.(1120 단계) 그리고, 상기 제 1 내지 제 n 제어 신호에 응답하여 상기 서치 데이터 패턴을 제 1 내지 제 n 서치 데이터로서 출력하거나 또는 상기 서치 데이터 패턴의 논리 레벨이 반전된 값을 상기 제 1 내지 제 n 서치 데이터로서 출력한다.(1130 단계)

서치 데이터 발생부(730)는 서치 데이터 패턴(SPAT) 중 대응되는 하나의 비트를 수신하고 대응되는 제어 신호에 응답하여 서치 데이터를 출력하는 제 1 내지 제 n 제어부들(CUNIT1 ~ CUNITn)을 구비한다.

제 1 내지 제 n 제어부들(CUNIT1 ~ CUNITn)은 수신되는 제어 신호의 논리 레벨이 하이 레벨이면 서치 데이터 패턴(SPAT)을 반전 시켜서 서치 데이터로서 출력하고 수신되는 제어 신호의 논리 레벨이 로우 레벨이면 서치 데이터 패턴을 그대로 서치 데이터로서 출력한다.

제 1 내지 제 n 제어부들(CUNIT1 ~ CUNITn)은 각각 래치부, 제 1 인버터 및 선택부를 구비한다. 제 1 내지 제 n 제어부들(CUNIT1 ~ CUNITn)의 구조는 모두 동일하므로 제 1 제어부(CUNIT1)의 구조 및 동작을 중심으로 설명한다.

제 1 제어부(CUNIT1)의 래치부(910)는 서치 데이터 패턴(SPAT) 중 대응되는 하나의 비트를 수신하여 래치한다. 래치부(910)는 두 개의 인버터들(I2, I3)을 구비한다. 제 1 인버터(I1)는 래치부(910)의 출력을 반전시킨다.

선택부(920)는 대응되는 제어 신호(CTRL1)에 응답하여 제 1 인버터(I1)의 출력 및 래치부(910)의 출력 중 하나를 제 1 서치 데이터(SDATA1)로서 출력한다. 즉, 선택부(920)는 대응되는 제어 신호(CTRL1)가 제 1 레벨이면 래치부(910)의 출력을 서치 데이터(SDATA1)로서 출력하고 제어 신호(CTRL1)가 제 2 레벨이면 제 1 인버터(I1)의 출력을 서치 데이터(SDATA1)로서 출력한다.

제 1 내지 제 n 제어 신호(CTRL1~CTRLn)가 순차적으로 제 1 레벨로 발생되므로 n 비트의 서치 데이터 패턴(SPAT)도 첫 번째에서 n 번째 비트까지 순차적으로 논리 레벨이 반전된다.

그리고 순차적으로 논리 레벨이 반전되는 서치 데이터 패턴(SPAT)이 제 1 내지 제 n 서치 데이터(SDATA1 ~ SDATAN)로서 캠 셀 어레이의 대응되는 캠 셀들로 인가된다.

도 10(a)는 제 1 제어 신호가 제 1 레벨인 경우 제 1 서치 데이터가 발생하는 원리를 설명하는 도면이다.

도 10(b)는 제 n 제어 신호가 제 1 레벨인 경우 제 n 서치 데이터가 발생하는 원리를 설명하는 도면이다.

도 10(a)를 참조하면, 초기 쉬프트 레지스터(SR0)의 하이 레벨의 값이 제 1 쉬프트 레지스터(SR1)로 인가되어 초기 쉬프트 레지스터(SR0)는 로우 레벨의 값을 저장하고 제 1 쉬프트 레지스터(SR1)는 하이 레벨의 값을 저장한다.

따라서, 제 1 쉬프트 레지스터(SR1)는 제 1 제어 신호(CTRL1)를 하이 레벨로 출력한다. 그러면 서치 데이터 패턴 (SPAT)은 제 1 제어 신호(CTRL1)에 응답하여 논리 레벨이 반전되고 제 1 서치 데이터(SDATA1)가 하이 레벨로 발생된다.

이와 같은 방법에 의하여 제 1 내지 제 n 제어 신호(CTRL1 ~ CTRLn)가 순차적으로 하이 레벨로 발생된다. 도 10(b)를 참조하면, 제 n 쉬프트 레지스터(SRn)는 하이 레벨의 값을 저장한다.

따라서, 제 n 쉬프트 레지스터(SRn)는 제 n 제어 신호(CTRLn)를 하이 레벨로 출력한다. 그러면 서치 데이터 패턴 (SPAT)은 제 n 제어 신호(CTRLn)에 응답하여 논리 레벨이 반전되고 제 n 서치 데이터(SDATAn)가 하이 레벨로 발생된다.

이와 같은 방법에 의하여 하나의 워드 라인에 공통으로 연결된 캠 셀들 중 어느 캠 셀에 결함이 있는지를 쉽게 찾을 수 있다.

이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다.

그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**발명의 효과**

상술한 바와 같이 본 발명에 따른 캠 및 캠 셀 어레이의 결함 여부 테스트 방법은 매치 라인 상태 저장부를 이용하여 종래의 우선 순위 엔코더를 이용하여 캠 셀 어레이의 결함 여부를 테스트하는 방법보다 테스트 시간을 줄일 수 있는 장점이 있다. 또한, 캠 셀의 각각의 결함 여부를 간단하게 테스트 할 수 있어 테스트 효율을 높일 수 있는 장점이 있다.

**(57) 청구의 범위**

**청구항 1.**

복수개의 캠 셀들을 구비하는 캠 셀 어레이 ; 및

동일한 워드 라인과 매치 라인을 공유하는 상기 캠 셀들의 상기 워드 라인과 상기 매치 라인에 연결되며 상기 매치 라인의 논리 레벨에 따라 저장된 데이터의 논리 레벨이 변화되는 복수개의 상태 셀들을 구비하는 매치라인 상태 저장부를 구비하고,

상기 상태 셀들에 저장된 데이터를 독출함에 의하여 상기 캠 셀 어레이의 결함을 파악하는 것을 특징으로 하는 캠(CAM : Content Addressable Memory).

**청구항 2.**

제 1항에 있어서, 상기 상태 셀들은,

상기 캠 셀 어레이에 결함이 존재하지 아니하는 경우 상기 상태 셀들에 저장된 데이터가 모두 일치하는 것을 특징으로 하는 캠.

**청구항 3.**

제 1항에 있어서, 상기 캠 셀은,

상기 워드 라인에 연결되며 제 1 비트라인 쌍의 데이터를 저장하는 제 1 메모리 셀 ;

상기 워드 라인에 연결되며 제 2 비트라인 쌍의 데이터를 저장하는 제 2 메모리 셀 ; 및

서치라인 쌍을 통하여 입력되는 서치 데이터와 상기 제 1 및 제 2 메모리 셀에 저장되는 데이터를 비교하고 비교 결과에 따라 상기 매치 라인의 논리 레벨을 결정하는 비교 회로를 구비하는 것을 특징으로 하는 캠.

#### 청구항 4.

제 3항에 있어서 상기 제 1 및 제 2 메모리 셀은,

에스램(SRAM : Static Random Access Memory) 셀인 것을 특징으로 하는 캠.

#### 청구항 5.

제 3항에 있어서, 상기 비교 회로는,

상기 매치 라인에 제 1 단이 연결되고 상기 제 1 메모리 셀에 저장된 데이터가 게이트로 인가되는 제 1 비교 트랜지스터 ;

상기 제 1 비교 트랜지스터의 제 2단에 제 1단이 연결되고 반전 서치라인에 게이트가 연결되며 제 2단이 제 2 전압에 연결되는 제 2 비교 트랜지스터 ;

상기 매치 라인에 제 1 단이 연결되고 상기 제 2 메모리 셀에 저장된 데이터가 게이트로 인가되는 제 3 비교 트랜지스터 ; 및

상기 제 3 비교 트랜지스터의 제 2단에 제 1단이 연결되고 서치라인에 게이트가 연결되며 제 2단이 상기 제 2 전압에 연결되는 제 4 비교 트랜지스터를 구비하는 것을 특징으로 하는 캠.

#### 청구항 6.

제 1항에 있어서, 상기 상태 셀은,

상기 워드 라인에 연결되며 제 3 비트라인 쌍의 데이터를 저장하는 상태 메모리 셀 ;

상기 상태 메모리 셀에 제 1단이 연결되고 상기 대응되는 캠 셀의 매치 라인에 게이트가 연결되는 제 1 상태 트랜지스터 ; 및

상기 제 1 상태 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 인에이블 신호가 연결되고 제 2 단이 제 1 전압에 연결되는 제 2 상태 트랜지스터를 구비하는 것을 특징으로 하는 캠.

#### 청구항 7.

제 6항에 있어서, 상기 제 1 및 제 2 상태 트랜지스터들은,

엔모스 트랜지스터인 것을 특징으로 하는 캠.

### 청구항 8.

복수개의 캠 셀들을 구비하는 캠 셀 어레이 및 동일한 워드 라인과 매치 라인을 공유하는 상기 캠 셀들에 대응되는 상태 셀을 구비하는 캠에 있어서,

상기 상태 셀에 데이터를 기입하여 초기화하는 단계 ;

상기 캠 셀들에 데이터를 기입하는 단계 ;

상기 캠 셀들에 대하여 서치 동작을 수행하는 단계 ; 및

상기 상태 셀에 저장된 데이터를 독출하여 상기 캠 셀 어레이의 결합 여부를 테스트하는 단계를 구비하는 것을 특징으로 하는 캠 셀 어레이의 결합 여부 테스트 방법.

### 청구항 9.

제 8항에 있어서, 상기 서치 동작을 수행하는 단계는,

상기 캠 셀들에 기입된 데이터와 동일한 서치 데이터를 상기 캠 셀로 인가하는 단계 ; 및

상기 캠 셀들에 저장된 데이터와 상기 서치 데이터를 비교하여 상기 매치 라인의 논리 레벨을 결정하는 단계를 구비하는 것을 특징으로 하는 캠 셀 어레이의 결합 여부 테스트 방법.

### 청구항 10.

제 8항에 있어서, 상기 캠 셀 어레이의 결합 여부를 테스트하는 단계는,

상기 캠 셀 어레이에 결합이 존재하지 아니하는 경우 상기 상태 셀들로부터 독출된 데이터가 모두 동일한 것을 특징으로 하는 캠 셀 어레이의 결합 여부 테스트 방법.

### 청구항 11.

제 8항에 있어서,

상기 캠 셀들에 기입된 데이터와 반대의 서치 데이터를 상기 캠 셀로 인가하는 단계 ;

상기 캠 셀들에 저장된 데이터와 상기 서치 데이터를 비교하여 상기 매치 라인의 논리 레벨을 결정하는 단계 ; 및

상기 상태 셀에 저장된 데이터를 독출하여 상기 캠 셀 어레이의 결합 여부를 테스트하는 단계를 더 구비하는 것을 특징으로 하는 캠 셀 어레이의 결합 여부 테스트 방법.

### 청구항 12.

복수개의 캠 셀들을 구비하는 캠 셀 어레이 ;

$n$  비트의 서치 데이터 패턴을 수신하고 제 1 내지 제  $n$  제어 신호에 응답하여 동일한 워드 라인과 매치 라인을 공유하는 상기 제 1 내지 제  $n$  캠 셀들로 제 1 내지 제  $n$  서치 데이터를 인가하는 서치 데이터 발생부 ; 및

클럭 신호에 응답하여 논리 레벨이 순차적으로 반전되는 상기 제 1 내지 제 n 제어 신호를 발생하는 쉬프트 레지스터부를 구비하는 것을 특징으로 하는 캠(CAM : Content Addressable Memory).

**청구항 13.**

제 12항에 있어서, 상기 제 1 내지 제 n 서치 데이터는,

대응되는 상기 제 1 내지 제 n 제어 신호가 제 1 레벨로 발생되면 논리 레벨이 반전되는 것을 특징으로 하는 캠.

**청구항 14.**

제 12항에 있어서, 상기 쉬프트 레지스터부는,

리셋 신호에 응답하여 제 2 레벨로 리셋 되고 상기 클럭 신호에 응답하여 상기 제 1 내지 제 n 제어 신호를 순차적으로 제 1 레벨로 발생하는 제 1 내지 제 n 쉬프트 레지스터들 ; 및

리셋 신호에 응답하여 제 1 레벨로 리셋 되고 상기 클럭 신호에 응답하여 상기 제 1 쉬프트 레지스터로 출력 값을 인가하는 초기 쉬프트 레지스터를 구비하는 것을 특징으로 하는 캠.

**청구항 15.**

제 12항에 있어서, 상기 서치 데이터 발생부는,

상기 서치 데이터 패턴 중 대응되는 하나의 비트를 수신하고 대응되는 상기 제어 신호에 응답하여 상기 서치 데이터를 출력하는 제 1 내지 제 n 제어부들을 구비하고,

상기 제 1 내지 제 n 제어부들은 각각,

상기 서치 데이터 패턴 중 대응되는 하나의 비트를 수신하여 래치하는 래치부 ;

상기 래치부의 출력을 반전시키는 제 1 인버터 ;

대응되는 제어 신호에 응답하여 상기 제 1 인버터의 출력 및 상기 래치부의 출력 중 하나를 상기 서치 데이터로서 출력하는 선택부를 구비하는 것을 특징으로 하는 캠.

**청구항 16.**

제 15항에 있어서, 상기 선택부는,

대응되는 제어 신호가 제 1 레벨이면 상기 래치부의 출력을 상기 서치 데이터로서 출력하는 것을 특징으로 하는 캠.

**청구항 17.**

클럭 신호에 응답하여 논리 레벨이 순차적으로 반전되는 제 1 내지 제 n 제어 신호를 발생하는 단계 ;

n 비트의 서치 데이터 패턴을 수신하는 단계 ;

상기 제 1 내지 제 n 제어 신호에 응답하여 상기 서치 데이터 패턴을 제 1 내지 제 n 서치 데이터로서 출력하거나 또는 상기 서치 데이터 패턴의 논리 레벨이 반전된 값을 상기 제 1 내지 제 n 서치 데이터로서 출력하는 단계; 및

상기 제 1 내지 제 n 서치 데이터를 대응되는 캠 셀들로 인가하여 캠 셀의 결합 여부를 확인하는 단계를 구비하는 것을 특징으로 하는 캠 셀 어레이의 결합 여부 테스트 방법.

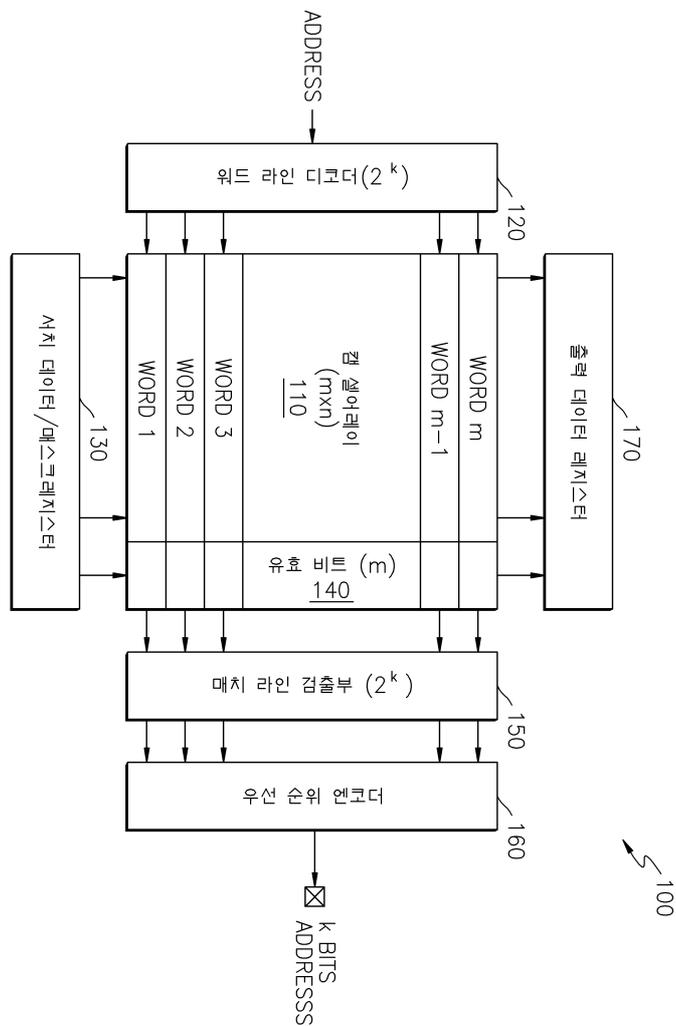
**청구항 18.**

제 17항에 있어서, 상기 제 1 내지 제 n 서치 데이터를 출력하는 단계는,

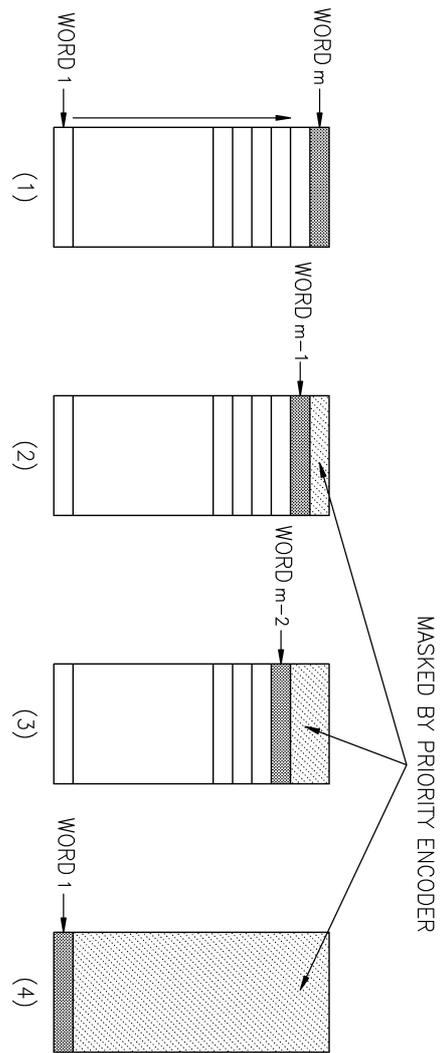
상기 제어 신호가 제 1 레벨로 발생되면 대응되는 서치 데이터 패턴의 논리 레벨을 반전시켜 상기 서치 데이터로서 출력하는 것을 특징으로 하는 캠 셀 어레이의 결합 여부 테스트 방법.

**도면**

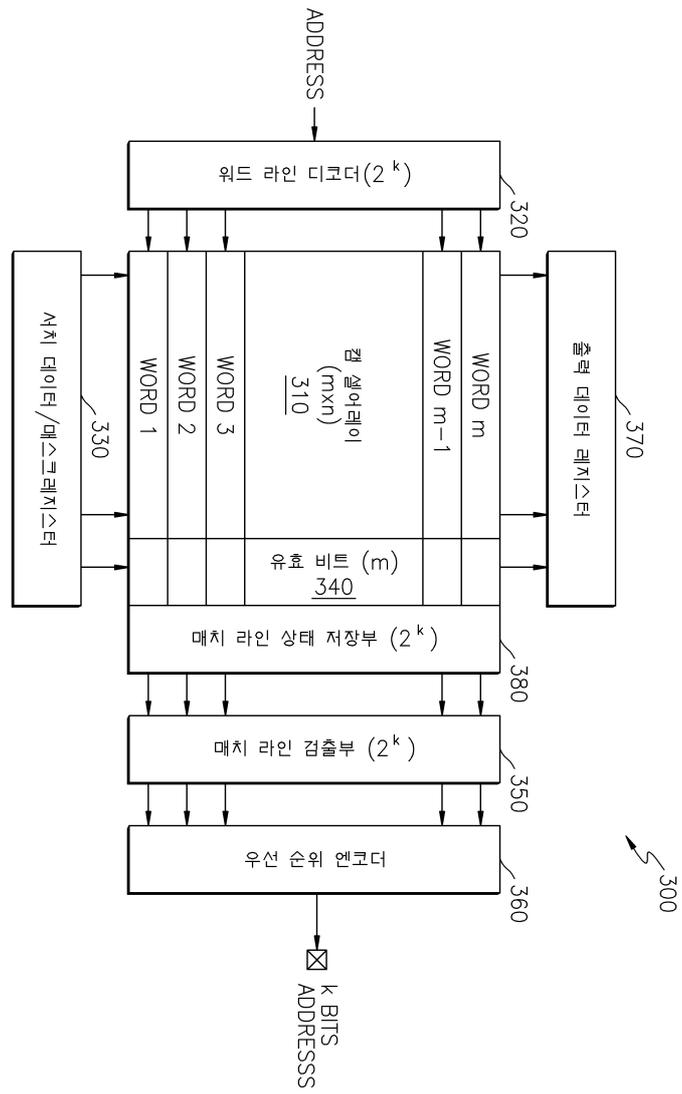
**도면1**



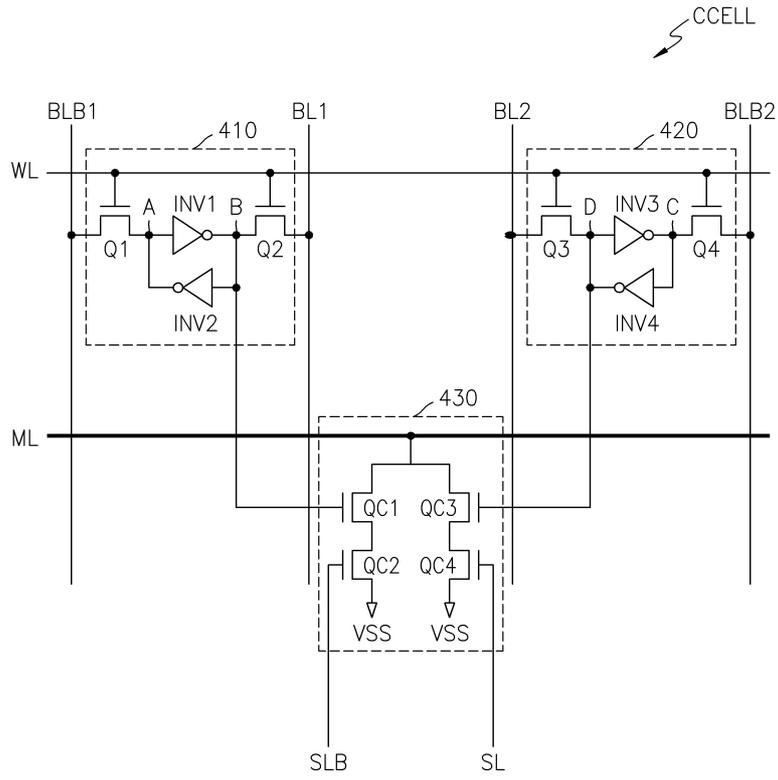
도면2



도면3

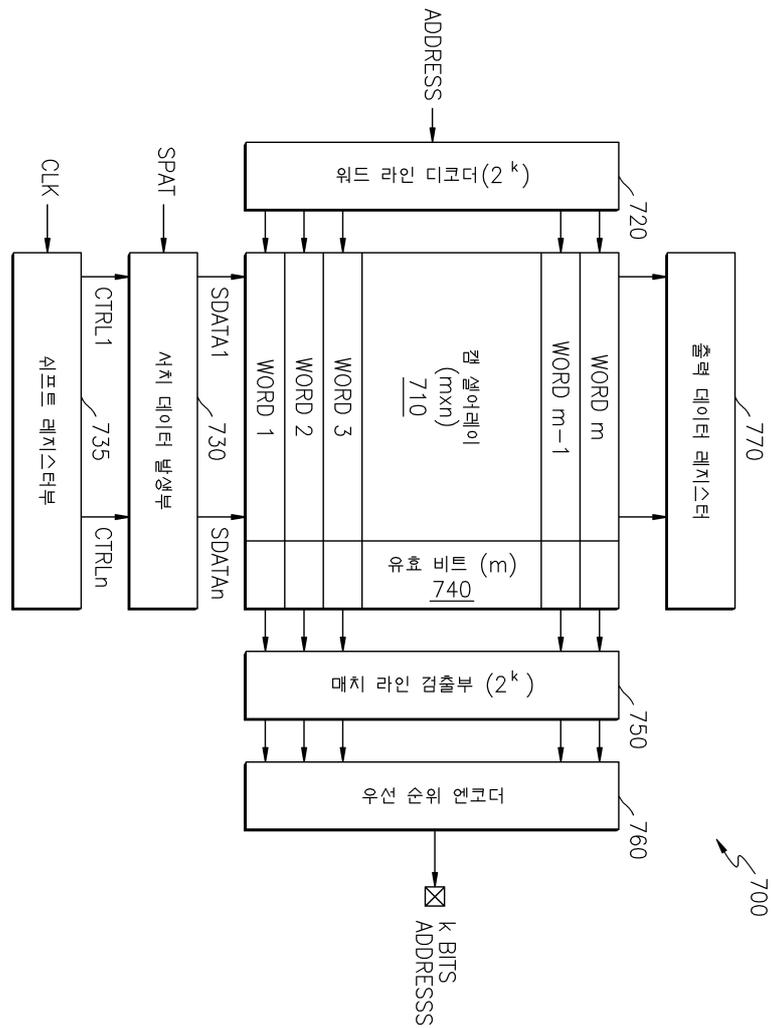


도면4

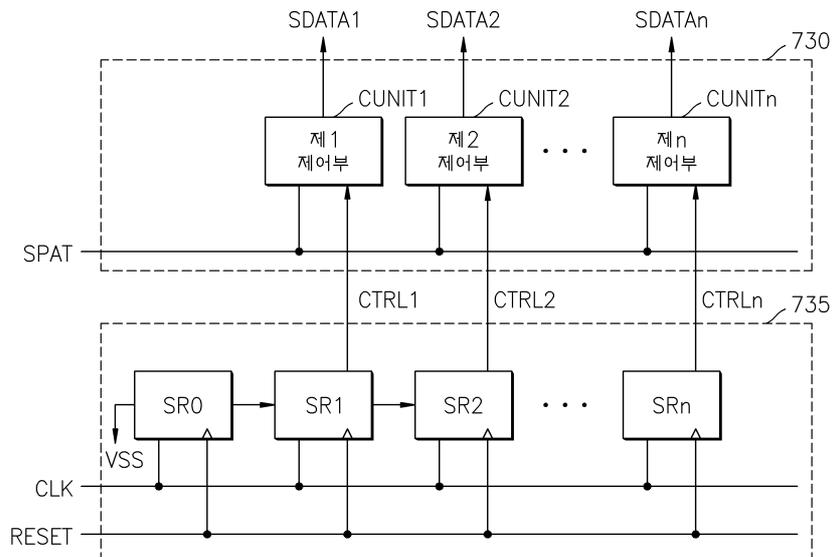




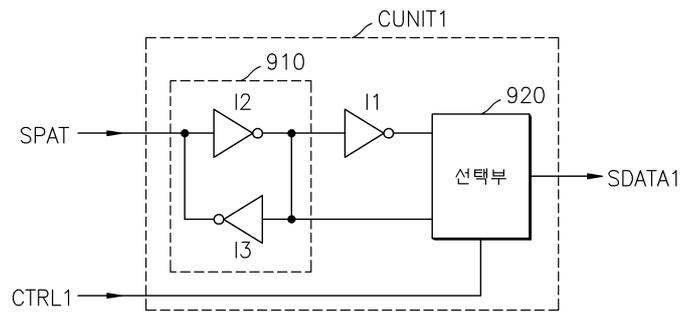
도면7



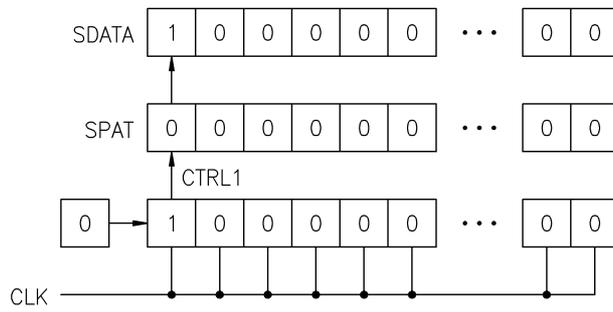
도면8



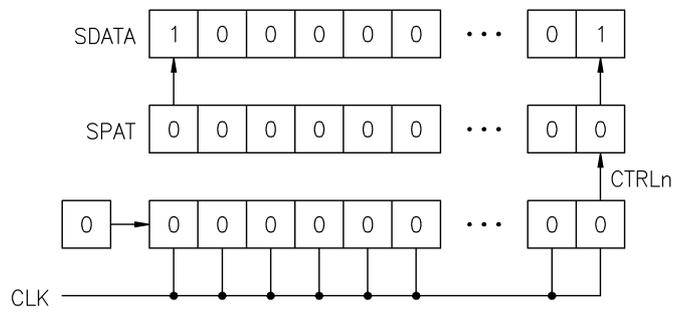
도면9



도면10a



도면10b



도면11

