



(12) 发明专利

(10) 授权公告号 CN 115513297 B

(45) 授权公告日 2023. 09. 22

(21) 申请号 202211400274.0

H01L 29/06 (2006.01)

(22) 申请日 2022.11.09

H01L 29/423 (2006.01)

H01L 21/336 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 115513297 A

(43) 申请公布日 2022.12.23

(73) 专利权人 中芯越州集成电路制造(绍兴)有限公司

地址 312000 浙江省绍兴市越城区皋埠街道
道临江路508号

(72) 发明人 马跃 何云

(74) 专利代理机构 上海思微知识产权代理事务所(普通合伙) 31237

专利代理师 郑星

(56) 对比文件

CN 114530504 A, 2022.05.24

CN 108735795 A, 2018.11.02

CN 112531017 A, 2021.03.19

CN 110875309 A, 2020.03.10

CN 103545216 A, 2014.01.29

CN 102725849 A, 2012.10.10

CN 109148583 A, 2019.01.04

US 2021305369 A1, 2021.09.30

US 5736753 A, 1998.04.07

WO 2022028315 A1, 2022.02.10

审查员 丁宁

(51) Int. Cl.

H01L 29/78 (2006.01)

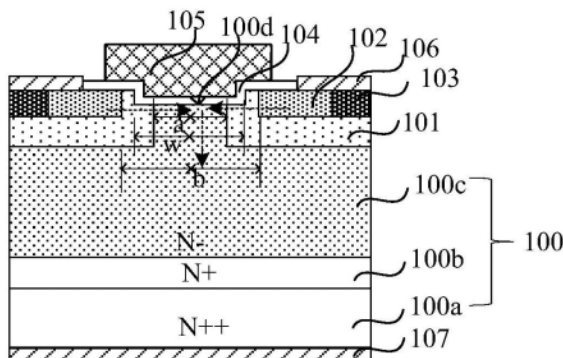
权利要求书2页 说明书8页 附图7页

(54) 发明名称

碳化硅平面MOSFET器件及其制造方法

(57) 摘要

本发明提供一种碳化硅平面MOSFET器件及其制造方法,在沟道电流仍平行于SiC晶体的(0001)晶面基础上设置一些浅沟槽来进一步有效使用SiC晶体的具有高沟道迁移率的晶面,例如(1120)晶面、(1100)晶面或(0338)晶面等,继而可以有效减少碳化硅平面MOS器件的沟道电阻。且源区、阱区和沟道的形成不需要添加额外的离子注入层(IMP layer)的保护,工艺简单。



1. 一种碳化硅平面MOSFET器件,其特征在于,包括:
第一导电类型的碳化硅漂移层,顶面为(0001)晶面;
栅氧化层和栅极,依次层叠在所述碳化硅漂移层的顶面上;
第二导电类型的阱区和第一导电类型的源区,所述阱区形成在所述栅极两侧的所述碳化硅漂移层的表层,所述源区形成在所述栅极两侧的阱区表层中;
至少一个沟槽,形成在所述栅极底部的所述碳化硅漂移层的待形成沟道和耗尽层的区域的表层中,且向着所述栅极的两侧延伸到所述源区的边界和所述阱区的边界之间,所述沟槽的底部浅于所述阱区的底部,所述沟槽沿所述栅极宽度方向延伸的两个侧壁的表面均为沟道迁移率高于(0001)晶面的晶面;
其中,所述栅氧化层至少覆盖在所述沟槽的内表面上并延伸覆盖到所述源区被暴露的表面上,所述栅极将所述沟槽掩埋在内,所述碳化硅漂移层的(0001)晶面作为沟道,各个所述沟槽均设置在沟道电流交叉方向上,且所述沟槽的设置使所述沟道电流仍平行于所述(0001)晶面。
2. 如权利要求1所述的碳化硅平面MOSFET器件,其特征在于,所述沟道迁移率高于(0001)晶面的晶面包括 $(11\bar{2}0)$ 晶面、 $(11\bar{0}0)$ 晶面或 $(03\bar{3}8)$ 晶面。
3. 如权利要求1所述的碳化硅平面MOSFET器件,其特征在于,多个所述沟槽按照所述栅极的长度方向依次并排且间隔设置,且任意两个所述沟槽无连通或者至少两个沟槽在相应的区域中连通。
4. 如权利要求1所述的碳化硅平面MOSFET器件,其特征在于,所述沟槽的底部深度小于所述源区的底部深度。
5. 如权利要求1所述的碳化硅平面MOSFET器件,其特征在于,还包括介质隔断结构,所述介质隔断结构形成在所述沟槽的部分区域中,所述栅氧化层覆盖所述介质隔断结构外围的所述沟槽的内表面,所述栅极还将所述介质隔断结构掩埋在内。
6. 如权利要求5所述的碳化硅平面MOSFET器件,其特征在于,所述介质隔断结构的顶部高于所述沟槽外围的所述栅氧化层的顶部,所述栅极随形覆盖在所述介质隔断结构上而形成凸起部或者所述栅极具有平坦的顶部。
7. 如权利要求1-6中任一项所述的碳化硅平面MOSFET器件,其特征在于,还包括:
源极,形成在所述栅极两侧的碳化硅漂移层的(0001)晶面上且与所述源区电性连接;
第一导电类型的缓冲层,层叠在所述碳化硅漂移层的底面上;
第一导电类型的基底,层叠在所述缓冲层的底面上;
漏极,层叠在所述基底的底面上。
8. 一种权利要求1-7中任一项所述的碳化硅平面MOSFET器件的制造方法,其特征在于,包括:
提供具有第一导电类型的碳化硅漂移层的衬底,所述碳化硅漂移层的顶面为(0001)晶面;
刻蚀待形成栅极的区域中的所述碳化硅漂移层的顶面,以形成至少一个沟槽,所述沟槽向着待形成的栅极的两侧延伸到源区的边界和阱区的边界之间,所述沟槽的底部浅于所述阱区的底部,所述沟槽沿所述待形成的栅极宽度方向延伸的两个侧壁的表面均为沟道迁

移率高于(0001)晶面的晶面；

在所述碳化硅漂移层的顶面上依次形成栅氧化层和栅极，所述栅氧化层至少覆盖在所述沟槽的内表面上，所述栅极将所述沟槽掩埋在内。

9. 如权利要求8所述的制造方法，其特征在于，在刻蚀待形成栅极的区域中的所述碳化硅漂移层的顶面以形成至少一个所述沟槽之前，先在所述碳化硅漂移层的顶面中形成第二导电类型的所述阱区和第一导电类型的所述源区，所述阱区形成在所述栅极两侧的所述碳化硅漂移层的顶面表层中，所述源区形成在所述栅极两侧的所述阱区的表层中；

或者，在形成至少一个所述沟槽之后且在形成所述栅极之前或之后，在所述碳化硅漂移层的顶面中形成所述阱区和所述源区。

10. 如权利要求8或9所述的制造方法，其特征在于，所述衬底还包括依次层叠在所述碳化硅漂移层的底面上的第一导电类型的缓冲层和第一导电类型的基底，所述制造方法还包括：

在所述碳化硅漂移层的顶面上形成源极，所述源极与所述源区电性连接；

在所述基底的底面上形成漏极。

碳化硅平面MOSFET器件及其制造方法

技术领域

[0001] 本发明涉及半导体器件及其制造技术领域,特别涉及一种碳化硅平面MOSFET器件及其制造方法。

背景技术

[0002] 碳化硅(SiC)MOSFET(Metal Oxide Semiconductor Field Effect Transistor,金属氧化物半导体场效应晶体管)器件具有开关速度快、导通电阻小等优势,且在较小的漂移层厚度可以实现较高的击穿电压水平,减小功率开关模块的体积,降低能耗,在功率开关、转换器等应用领域中优势明显。

[0003] SiC平面MOSFET器件因其工艺简单、单元的一致性较好、雪崩能量比较高等优点被广泛应用。但是如何进一步提高SiC平面MOSFET器件的性能,也成为本领域技术人员一直研究的热点问题之一。

发明内容

[0004] 本发明的目的在于提供一种碳化硅平面MOSFET器件及其制造方法,能够提高SiC平面MOSFET器件的性能。

[0005] 为实现上述目的,本发明提供一种碳化硅平面MOSFET器件,其包括:

[0006] 第一导电类型的碳化硅漂移层,顶面为(0001)晶面;

[0007] 栅氧化层和栅极,依次层叠在所述碳化硅漂移层的顶面上;

[0008] 第二导电类型的阱区和第一导电类型的源区,所述阱区形成在所述栅极两侧的所述碳化硅漂移层的表层,所述源区形成在所述栅极两侧的阱区表层中;

[0009] 至少一个沟槽,形成在所述栅极底部的所述碳化硅漂移层中,且向着所述栅极的两侧延伸到所述源区的边界和所述阱区的边界之间,所述沟槽的底部浅于所述阱区的底部,所述沟槽沿所述栅极宽度方向延伸的两个侧壁的表面均为沟道迁移率高于(0001)晶面的晶面;

[0010] 其中,所述栅氧化层至少覆盖在所述沟槽的内表面上,所述栅极将所述沟槽掩埋在内。

[0011] 可选地,所述沟道迁移率高于(0001)晶面的晶面包括 $(11\bar{2}0)$ 晶面、 $(11\bar{1}0)$ 晶面或 $(0\bar{3}38)$ 晶面。

[0012] 可选地,多个所述沟槽按照所述栅极的长度方向依次并排且间隔设置,且任意两个所述沟槽无连通或者至少两个沟槽在相应的区域中连通。

[0013] 可选地,所述沟槽的底部深度小于所述源区的底部深度。

[0014] 可选地,所述的碳化硅平面MOSFET器件还包括介质隔断结构,所述介质隔断结构形成在所述沟槽的部分区域中,所述栅氧化层覆盖所述介质隔断结构外围的所述沟槽的内表面,所述栅极还将所述介质隔断结构掩埋在内。

[0015] 可选地,所述介质隔断结构的顶部高于所述沟槽外围的所述栅氧化层的顶部,所述栅极随形覆盖在所述介质隔断结构上而形成凸起部或者所述栅极具有平坦的顶部。

[0016] 可选地,所述的碳化硅平面MOSFET器件还包括:

[0017] 源极,形成在所述栅极两侧的碳化硅漂移层的(0001)晶面上且与所述源区电性连接;

[0018] 第一导电类型的缓冲层,层叠在所述碳化硅漂移层的底面上;

[0019] 第一导电类型的基底,层叠在所述缓冲层的底面上

[0020] 漏极,层叠在所述基底的底面上。

[0021] 基于同一发明构思,本发明还提供一种如本发明所述的碳化硅平面MOSFET器件的制造方法,其包括:

[0022] 提供具有第一导电类型的碳化硅漂移层的衬底,所述碳化硅漂移层的顶面为(0001)晶面;

[0023] 刻蚀待形成栅极的区域中的所述碳化硅漂移层的顶面,以形成至少一个沟槽,所述沟槽向着待形成的栅极的两侧延伸到源区的边界和阱区的边界之间,所述沟槽的底部浅于所述阱区的底部,所述沟槽沿所述待形成的栅极宽度方向延伸的两个侧壁的表面均为沟道迁移率高于(0001)晶面的晶面;

[0024] 在所述碳化硅漂移层的顶面上依次形成栅氧化层和栅极,所述栅氧化层至少覆盖在所述沟槽的内表面上,所述栅极将所述沟槽掩埋在内。

[0025] 可选地,在刻蚀待形成栅极的区域中的所述碳化硅漂移层的顶面以形成至少一个所述沟槽之前,先在所述碳化硅漂移层的顶面中形成第二导电类型的所述阱区和第一导电类型的所述源区,所述阱区形成在所述栅极两侧的所述碳化硅漂移层的顶面表层中,所述源区形成在所述栅极两侧的所述阱区的表层中;

[0026] 或者,在形成至少一个所述沟槽之后且在形成所述栅极之前或之后,在所述碳化硅漂移层的顶面中形成所述阱区和所述源区。

[0027] 可选地,所述衬底还包括依次层叠在所述碳化硅漂移层的底面上的第一导电类型的缓冲层和第一导电类型的基底,所述制造方法还包括:

[0028] 在所述碳化硅漂移层的顶面上形成源极,所述源极与所述源区电性连接;

[0029] 在所述基底的底面上形成漏极。

[0030] 与现有技术相比,本发明的技术方案至少具有以下有益效果之一:

[0031] 1、仍然保证器件为碳化硅平面MOSFET器件,以主要利用碳化硅晶体的(0001)晶面作为沟道,沟道电流仍平行于SiC的(0001)晶面在此基础上设置一些浅沟槽来进一步有效使用碳化硅晶体的具有高沟道迁移率的晶面,例如 $(1\bar{1}20)$ 晶面、 $(\bar{1}100)$ 晶面或 $(0\bar{3}38)$ 晶面等,继而可以有效减少碳化硅平面MOS器件的沟道电阻。

[0032] 2、沟槽的底部深度浅于源区或阱区,不需要添加额外的离子注入层(IMP layer)的保护,工艺简单。

[0033] 3、沟道电阻 R_{on} 或者 R_{sp} 减少的程度与沟槽的密度相关,对于1700V以下应用的平面MOSFET器件有益效果更为明显,例如本发明的方案,应用在750V碳化硅平面MOSFET器件中时,沟道电阻 R_{on} 或者 R_{sp} 可以被减少30%。

附图说明

[0034] 本领域的普通技术人员将会理解,提供的附图用于更好地理解本发明,而不对本发明的范围构成任何限定。其中:

[0035] 图1是一种现有的平面SiC MOSFET器件的俯视结构示意图。

[0036] 图2是沿图1中的AA线的剖视结构示意图。

[0037] 图3是SiC晶体的晶面示意图。

[0038] 图4是SiC晶体的不同晶面的沟道偏移率(Channel Mobility)和栅极电压(Gate Voltage)之间的关系曲线示意图。

[0039] 图5是本发明一实施例的碳化硅平面MOSFET器件的俯视结构示意图。

[0040] 图6是沿图5中的AA'线的剖视结构示意图。

[0041] 图7是沿图5中的BB'线的剖视结构示意图。

[0042] 图8是沿图5中的CC'线的剖视结构示意图。

[0043] 图9是本发明另一实施例的碳化硅平面MOSFET器件的剖视结构示意图。

[0044] 图10是本发明又一实施例的碳化硅平面MOSFET器件的剖视结构示意图。

[0045] 图11是本发明再一实施例的碳化硅平面MOSFET器件中的沟槽俯视结构示意图。

[0046] 图12和图13是本发明其他实施例的碳化硅平面MOSFET器件的多级沟槽的剖面结构示意图。

[0047] 图14是本发明具体实施例的碳化硅平面MOSFET器件的制造方法的流程示意图。

[0048] 图15是本发明具体实施例的碳化硅平面MOSFET器件的制造方法中的器件剖面结构示意图。

具体实施方式

[0049] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。应当理解的是,本发明能够以不同形式实施,而不应当解释为局限于这里提出的实施例。相反地,提供这些实施例将使公开彻底和完全,并且将本发明的范围完全地传递给本领域技术人员。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。应当明白,当元件或层被称为“在...上”、“连接到”其它元件或层时,其可以直接地在其它元件或层上、连接其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在...上”、“直接连接到”其它元件或层时,则不存在居间的元件或层。尽管可使用术语第一、第二等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。空间关系术语例如“在……之下”、“在下面”、“下面的”、“在……之上”、“在上面”、“上面的”、“顶面上”、“底面上”、“正面上”、“背面上”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为

“在……之下”、“在下面”、“下面的”、“底面上”、“背面上”的元件或特征将取向为在其它元件或特征“上”或“顶”或者“正”。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚的指出另外的方式。还应明白术语“包括”用于确定可以特征、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0050] 以下结合附图和具体实施例对本发明提出的技术方案作进一步详细说明。根据下面说明,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0051] 请参考图1和图2,现有的SiC平面MOSFET器件的结构包括自下而上依次层叠的漏极107、N++基底100a、N+缓冲层100b、N-漂移层100c、栅氧化层104和栅极105,还包括形成在N-漂移层100c中的P阱101、形成在P阱101(又称为P base区)中的N+源区102和P+接触区103以及形成在N-漂移层100c上的源极金属层106,源极106与N+源区102和P+接触区103电接触以短接N+源区102和P+接触区103。

[0052] 上述的SiC平面MOSFET器件中,沟道(未标记)位于栅极105底部与P阱101交叠的区域。正向工作时,栅压正偏置并大于其阈值时,反型层形成,沟道打开,电子从源极106出发,依次流经N+源区102和沟道,达到耗尽区域(又称为JFET区域,即位于栅极105底部下方且位于两个P阱101之间的N-漂移层100c),向下流经N-漂移层100c、N+缓冲层100b和N++基底100a,最终达到漏极金属层107。栅极105和源极106短接且漏极107正偏时,P阱101和N-漂移层100c形成反偏耗尽区域,且由于P阱101的P型离子掺杂浓度大于N-漂移层100c中的N型离子掺杂浓度,所以反偏耗尽区域主要向N-漂移层100c扩展,达到较高的击穿电压。

[0053] 但是上述的SiC平面MOSFET器件也具有一些缺陷,具体地,现有的SiC平面MOSFET器件通常是利用4H-SiC晶型晶体来制造,该4H-SiC晶型晶体的晶面和晶向的分布图如图3所示,由于4H-SiC外延(EPI)晶向的影响,上述的SiC平面MOSFET器件的栅极105始终处于SiC晶体的(0001)晶面。而该(0001)晶面的界面态较多,沟道迁移率只有 $(\bar{1}120)$ 晶面和 $(\bar{1}100)$ 晶面的1/3,如图4所示,因此SiC平面MOSFET器件具有较高的沟道电阻。此外,这种结构的寄生电容也较大。 $(\bar{1}120)$ 晶面和 $(\bar{1}100)$ 晶面是垂直于(0001)晶面的棱面。

[0054] 此外,现有技术中,SiC晶体的 $(\bar{1}120)$ 晶面、 $(\bar{1}100)$ 晶面和 (0338) 晶面等高沟道迁移率晶面外延的晶圆很少,而且即使能够采用SiC晶体的 $(\bar{1}120)$ 晶面、 $(\bar{1}100)$ 晶面和 (0338) 晶面等高沟道迁移率晶面外延,外延缺陷也会直接延伸到整个晶圆表面,制作得到的器件漏电很大,电学性能不好。

[0055] 为此,本发明提出一种新的SiC平面MOSFET器件的结构设计和制造方法,能够在栅极处于SiC晶体的(0001)晶面的基础上,进一步有效利用SiC晶体的其他高沟道迁移率的晶面,例如 $(\bar{1}120)$ 晶面、 $(\bar{1}100)$ 晶面和 (0338) 晶面等高沟道迁移率晶面,降低沟道电阻,提高器件性能。此外,还进一步地降低器件的寄生电容。

[0056] 请参考图5至图8,本发明一实施例提供一种碳化硅平面MOSFET器件,其包括自下而上(即自底面至顶面)依次层叠的:漏极107、基底100a、缓冲层100b、碳化硅漂移层100c、栅氧化层104和栅极105。

[0057] 其中,基底100a、缓冲层100b和碳化硅漂移层100c均为第一导电类型(例如N型),且第一导电类型的杂质的掺杂浓度依次降低。

[0058] 碳化硅漂移层100c中的SiC晶体为4H-SiC或6H-SiC等六角晶体,碳化硅漂移层100c的顶面(也可称之为正面)为该SiC晶体的(0001)晶面,且栅极105两侧的碳化硅漂移层100c的顶面表层中分别形成有第二导电类型(例如为P型)的阱区101,每一侧的阱区101的顶面表层中形成第一导电类型的源区102,源区102外围的阱区101中形成有第二导电类型的体接触区103。源区102中的第一导电类型的杂质掺杂浓度以及接触区103中的第二导电类型的杂质掺杂浓度分别大于阱区101中的第二导电类型的杂质掺杂浓度。

[0059] 源极106形成在源区102和体接触区103的表面上,并电性连接体接触区103和源区102,使两者等电位。漏极107层叠在基底100a的底面(即基底100a的背面)上。源极106和漏极107可以均主要由金属制成,其材料可选自Al、AlCu、AlSiCu中的一种。

[0060] 本实施例中,栅极105、源区102、阱区101均呈相互平行的条状结构设置。栅极105的材料可以包括掺杂多晶硅,且栅极105的导电类型可以与碳化硅漂移层100c的导电类型相反。

[0061] 栅极105底部下方的碳化硅漂移层100c中设有至少一个沟槽100d,这些沟槽100d均设置在沟道电流交叉方向(如图5中的虚线箭头所示)上,且当有多个沟槽100d时,这些沟槽100d间隔在沟道电流交叉方向(如图5中的虚线箭头所示)上形成。各个沟槽100d的底部浅于阱区101的底部,可选地,各个沟槽100d的底部浅于阱区源区102的底部。例如各个沟槽100d的底部深度(即从碳化硅漂移层的顶面到沟槽100d底面的高度)均小于 1000\AA 。

[0062] 各个沟槽100d的形状可以是任意合适的,例如呈长方体、梯形体等。各个沟槽100d向着栅极105的两侧延伸到源区102的边界和阱区101的边界之间,即沟槽100d在栅极宽度方向(即图5中的AA'方向或BB'方向)上延伸的长度w介于栅极105两侧的阱区101之间的间距a和源区102之间的间距b之间,即 $a < w < b$ 。

[0063] 各个沟槽100d沿栅极105宽度方向延伸的两个侧壁表面S1、S2的晶面均是SiC晶体的中的沟道迁移率高于(0001)晶面的晶面,例如为SiC晶体的 $(11\bar{2}0)$ 晶面、 $(1\bar{1}00)$ 晶面或 $(03\bar{3}8)$ 晶面等。也可以说,侧壁表面S1、S2与碳化硅漂移层100c中的SiC晶体的 $(11\bar{2}0)$ 晶面、 $(1\bar{1}00)$ 晶面或 $(03\bar{3}8)$ 晶面平行。其中,请参考图3,SiC晶体的 $(11\bar{2}0)$ 晶面和 $(1\bar{1}00)$ 晶面均是垂直于SiC晶体的(0001)晶面的棱面,且 $(11\bar{2}0)$ 晶面、 $(1\bar{1}00)$ 晶面的沟道迁移率是(0001)晶面的3倍左右。SiC晶体的 $(03\bar{3}8)$ 晶面是与SiC晶体的 $(000\bar{1})$ 晶面呈约 55° 或 54.74° 夹角的晶面。SiC晶体的 $(000\bar{1})$ 晶面平行于SiC晶体的(0001)晶面。

[0064] 应当理解的是,各个沟槽100d的两个侧壁表面S1、S2可以与栅极宽度方向AA'平行,或者因工艺误差而相交但夹角被限制在允许范围内。也就是说,沟槽100d的两个侧壁表面S1、S2与AA'方向的夹角可以不是 90° ,只要保证侧壁表面S1、S2的晶面是 $(11\bar{2}0)$ 晶面、

(1100)晶面或(0338)晶面等高沟道迁移率的晶面即可。

[0065] 可选地,在本发明的其他实施例中,为了减少栅极105的寄生电容,请参考图9,该碳化硅平面MOSFET器件还包括介质隔断结构108,该介质隔断结构108形成在沟槽100d的部分区域中且用于垫高栅极105的底部,栅氧化层104覆盖介质隔断结构108外围的沟槽100d的内表面以及源区102被暴露的表面,栅极105还将介质隔断结构108掩埋在内。介质隔断结构108由绝缘介质材料制成,其材料选自氧化硅、氮化硅、氮氧化硅、氧化铝、高K材料、旋涂介电材料(例如旋涂磷硅玻璃、硼磷硅玻璃或氟硅玻璃等)、低介电常数介电材料中的一种或几种。

[0066] 其中,作为一种示例,介质隔断结构108的顶部高于沟槽100d外围的栅氧化层104的顶部,栅极105随形覆盖在介质隔断结构108和栅氧化层104上,进而形成凸起部(未标记),如图9所示。作为另一种示例,介质隔断结构108的顶部高于沟槽100d外围的栅氧化层104的顶部,栅极105还将介质隔断结构108掩埋在内且栅极105具有平坦的顶部,如图10所示。

[0067] 请参考图5至图10,上述各实施例中,形成的多个沟槽100d可以按照栅极105的长度方向依次并排且等间隔设置或者不等间隔设置,其中任意两个沟槽100d无连通,此时这些多个沟槽100d在沟道电流交叉方向上间隔形成。但是本发明的技术方案并不仅仅限定于此。在本发明的其他实施例中,请参考图11,这些多个沟槽100d可以按照栅极105的长度方向依次并排且间隔设置,且其中至少两个沟槽100d在相应的区域(例如端部或者中间段等)中连通。连通的这些沟槽100d可以是相邻的,也可以是两者之间还间隔至少一个沟槽100d的。

[0068] 进一步参考图5至图10,上述各实施例中,形成的各个沟槽100d均为单级沟槽,但是本发明的技术方案并不仅仅限定于此。在本发明的其他实施例中,在沟槽100d整体深度设计允许的情况下,至少一个沟槽100d可以是双级沟槽或者三级沟槽或者更多级沟槽。其中,呈双级沟槽的沟槽100d的剖面结构如图12所示,该沟槽100d的包括S1、S2在内的侧壁表面可以具有两级台阶;呈三级沟槽的沟槽100d的剖面结构如图13所示,该沟槽100d的包括S1、S2在内的侧壁表面可以具有三级台阶。

[0069] 基于同一发明构思,请参考图14,本发明一实施例还提供一种碳化硅平面MOSFET器件的制造方法,其能够制作本发明的碳化硅平面MOSFET器件,该制造方法具体包括以下步骤:

[0070] s11,提供具有第一导电类型的碳化硅漂移层的衬底,所述碳化硅漂移层的顶面为(0001)晶面;

[0071] s12,刻蚀待形成栅极的区域中的所述碳化硅漂移层的顶面,以形成至少一个沟槽,所述沟槽向着待形成的栅极的两侧延伸到源区的边界和阱区的边界之间,所述沟槽的底部浅于所述阱区的底部,所述沟槽沿所述待形成的栅极宽度方向延伸的两个侧壁的表面均为沟道迁移率高于(0001)晶面的晶面;

[0072] s13,在所述碳化硅漂移层的顶面上依次形成栅氧化层和栅极,所述栅氧化层至少覆盖在所述沟槽的内表面上,所述栅极将所述沟槽掩埋在内。

[0073] 在步骤s11中,请参考图15中的(A),提供基底100a,并通过外延生长工艺等任意合

适工艺,在基底100a上依次形成第一导电类型的缓冲层100b、碳化硅漂移层100c,碳化硅漂移层100c的顶面为(0001)晶面,基底100a、缓冲层100b和碳化硅漂移层100c的厚度和掺杂浓度均根据器件的要求进行设计,本实施例不作具体限定。

[0074] 在步骤s12中,请参考图15中的(A),首先,对碳化硅漂移层100c中待形成沟道和耗尽层的区域的表层进行干法刻蚀,形成至少一个沟槽100d,其该沟槽100d沿待形成的栅极的宽度方向延伸的两侧壁表面均为沟道迁移率高于(0001)晶面的晶面。

[0075] 可选地,可以通过湿法腐蚀或者先氧化后湿法腐蚀等合适的工艺对沟槽100d的晶面进行修调,以形成(1120)晶面、(1100)晶面或(0338)晶面等高沟道迁移率的晶面,或者,将沟槽100d由单级沟槽修调为如图12所示的双级沟槽或图13所示的三级沟槽或者更多级沟槽。

[0076] 在本实施例的一示例中,请参考图15中的(A),在执行步骤s12之前,即在刻蚀待形成栅极的区域中的碳化硅漂移层100c的顶面以形成至少一个沟槽100d之前,先通过掩膜沉积、图形化和离子注入等一系列工艺,在碳化硅漂移层110c的顶面中形成第二导电类型的阱区101,之后形成第一导电类型的源区102和第二导电类型的体接触区103,形成的沟槽100d从一侧阱区101用作沟道的边界区域延伸到另一侧阱区101用作沟道的边界区域。源区102分别形成在两侧的阱区101的表层中,且沟槽100d与源区102的边界之间有间隔,即如图5和图6所示,沟槽100d在栅极宽度方向(即图5中的AA'方向或BB'方向)上延伸的长度w介于栅极105两侧的阱区101之间的间距a和源区102之间的间距b之间,即 $a < w < b$ 。进一步地,在形成阱区101、源区102和体接触区103之后,去除相应的掩膜,并通过高温退火工艺激活注入杂质。沟槽100d的底部深度浅于源区102的底部深度或阱区101的底部深度。

[0077] 在本实施例的另一示例中,请参考图15中的(A),在执行步骤s12之后,通过掩膜沉积、图形化和离子注入等一系列工艺,先在沟槽100d两侧的碳化硅漂移层100c的顶面中形成阱区101,之后形成第一导电类型的源区102和第二导电类型的体接触区103。在形成阱区101、源区102和体接触区103之后,去除相应的掩膜,并通过高温退火工艺激活注入杂质。沟槽100d的底部深度浅于源区102的底部深度或阱区101的底部深度。各个沟槽100d向着栅极105的两侧延伸到源区102的边界和阱区101的边界之间,即如图5和图6所示,沟槽100d在栅极宽度方向(即图5中的AA'方向或BB'方向)上延伸的长度w介于栅极105两侧的阱区101之间的间距a和源区102之间的间距b之间,即 $a < w < b$ 。

[0078] 在步骤s13中,请参考图15中的(D)和(E),可以通过热氧化工艺或者沉积工艺等形成栅氧化层104;在所述栅氧化层104上沉积多晶硅,并注入第二导电类型杂质激活形成高掺的多晶硅栅极材料层,然后图形化多晶硅栅极材料层和栅氧化层104,形成栅极105及其覆盖的栅氧化层104。

[0079] 在本实施例的一示例中,请参考图15中的(B)和(C),在执行步骤s12之后且在步骤s13之前,先通过沉积、旋涂等合适工艺,覆盖介质层108'于沟槽100d及源区102、体接触区103上,介质层108'可以具有平坦的顶面,也可以具有不平坦的顶面。其顶部高度凸出于碳化硅漂移层100c的顶面,之后,通过光刻胶涂覆、曝光、显影等工艺形成图形化掩膜200,并进一步在图形化掩膜200的掩蔽作用下,刻蚀介质层108',在沟槽100d中形成介质隔断结构108。步骤s13中形成的栅极105可以随形覆盖在介质隔断结构108和栅氧化层104上,栅极105可以具有平坦的顶面或者相对凸起的顶面。

[0080] 应当注意的是,源区、阱区和沟道的形成,相对现有技术,其并没有因为沟槽100d的形成而需要添加额外的离子注入层(IMP layer)的保护,因此本实施例的制造方法,工艺简单,易于实现。

[0081] 进一步地,请参考图15中的(E)和(F),在执行步骤s13之后,可以在栅极105及其暴露出的器件表面上沉积形成钝化层(未图示),并刻蚀钝化层形成暴露出源区102和体接触区103的表面,进一步在源区102和体接触区103生长源极金属,退火形成源极106,源极106与源区102和体接触区103电性连接。之后,在基底100a的底面沉积漏极金属,并退火形成漏极107。

[0082] 综上所述,本发明的碳化硅平面MOSFET器件及其制造方法,在沟道电流仍平行于SiC晶体的(0001)晶面基础上设置一些浅沟槽来进一步有效使用SiC晶体的具有高沟道迁移率的晶面,例如 $(\bar{1}1\bar{2}0)$ 晶面、 $(\bar{1}100)$ 晶面或 $(0\bar{3}3\bar{8})$ 晶面等,继而可以有效减少碳化硅平面MOS器件的沟道电阻。且源区、阱区和沟道的形成不需要添加额外的离子注入层(IMP layer)的保护,工艺简单。此外,沟道电阻 R_{on} 或者 R_{sp} 减少的程度与沟槽的密度相关,对于1700V以下应用的平面MOSFET器件有益效果更为明显,例如本发明的方案,应用在750V碳化硅平面MOSFET器件中时,沟道电阻 R_{on} 或者 R_{sp} 可以被减少30%。

[0083] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于本发明技术方案的保护范围。

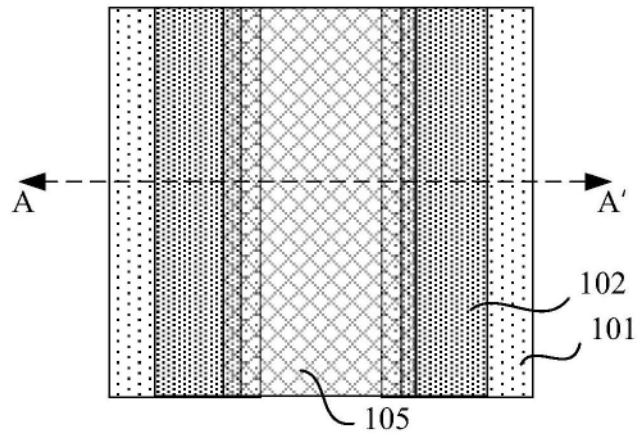


图1

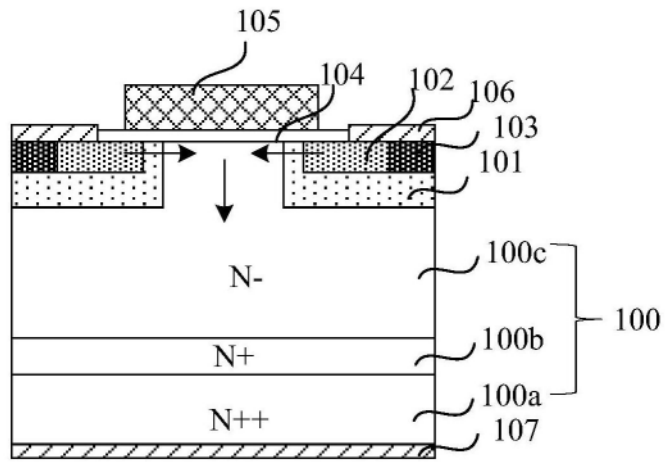


图2

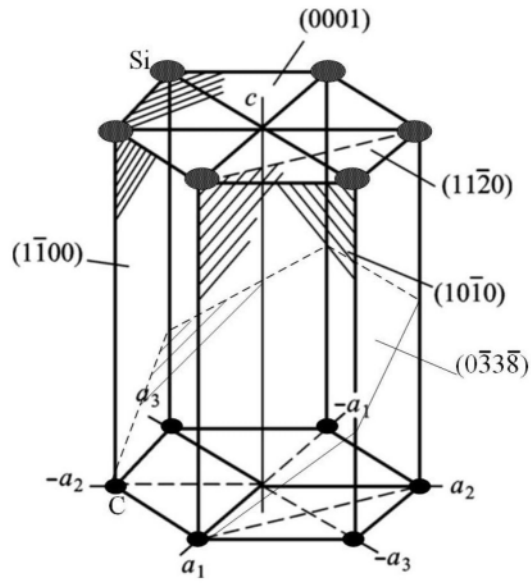


图3

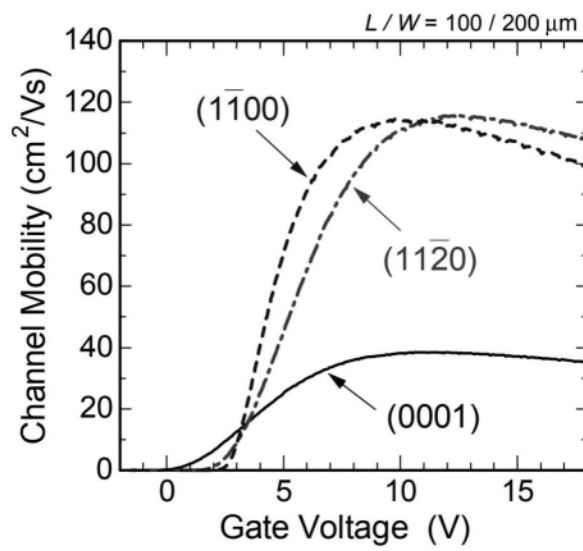


图4

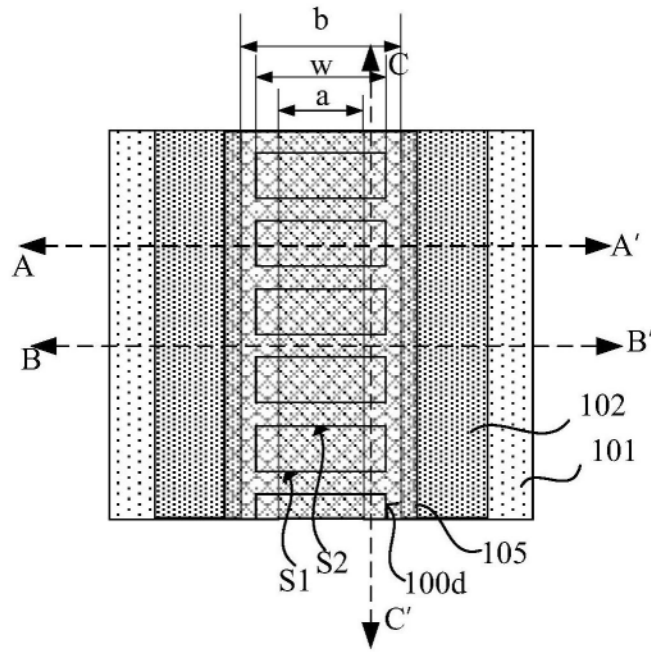


图5

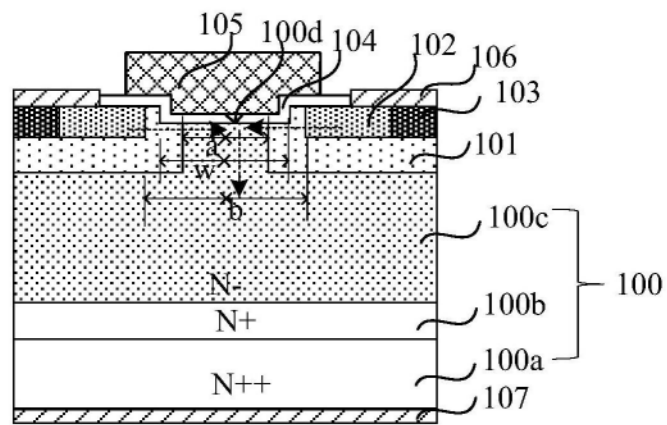


图6

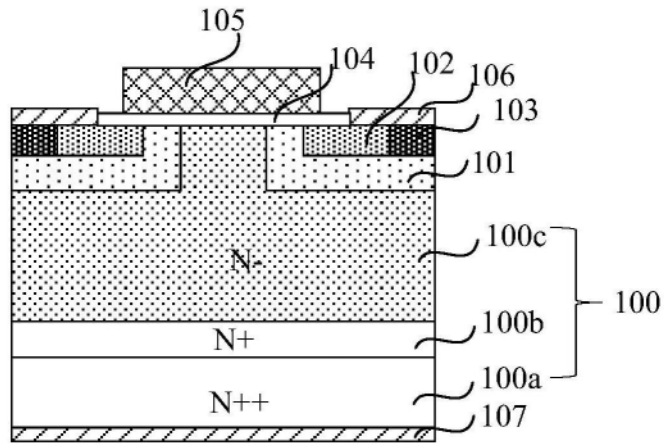


图7

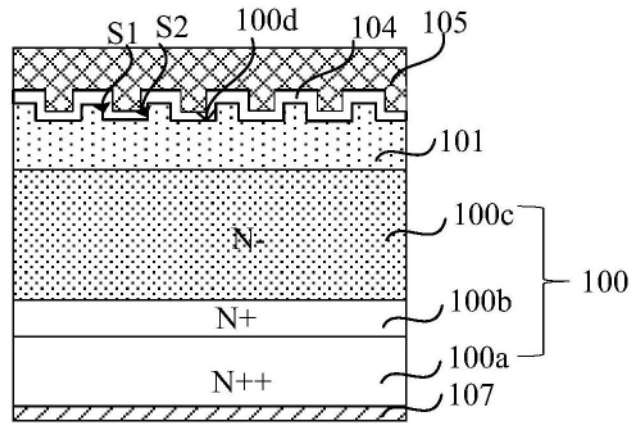


图8

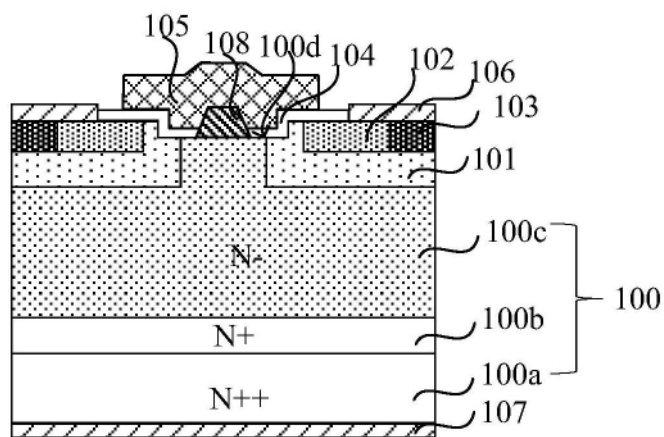


图9

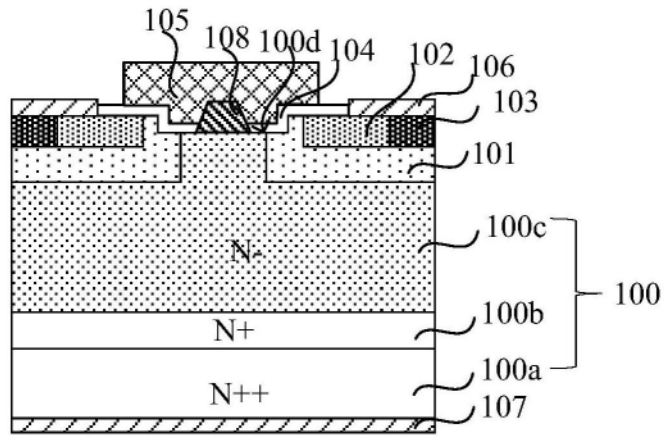


图10

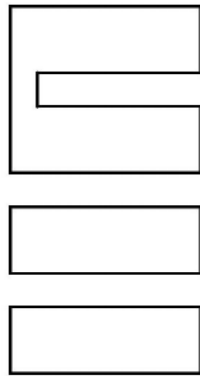


图11

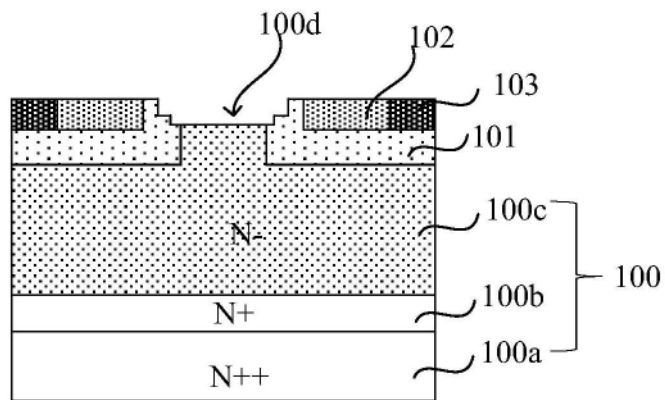


图12

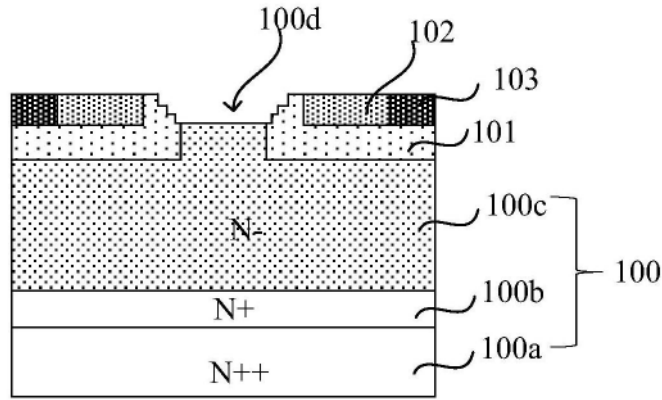


图13

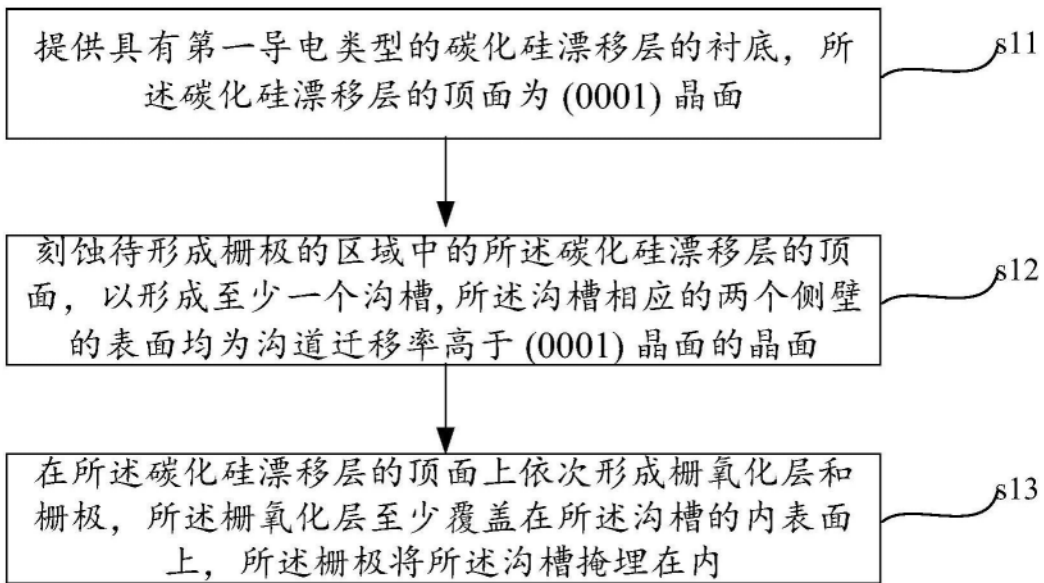


图14

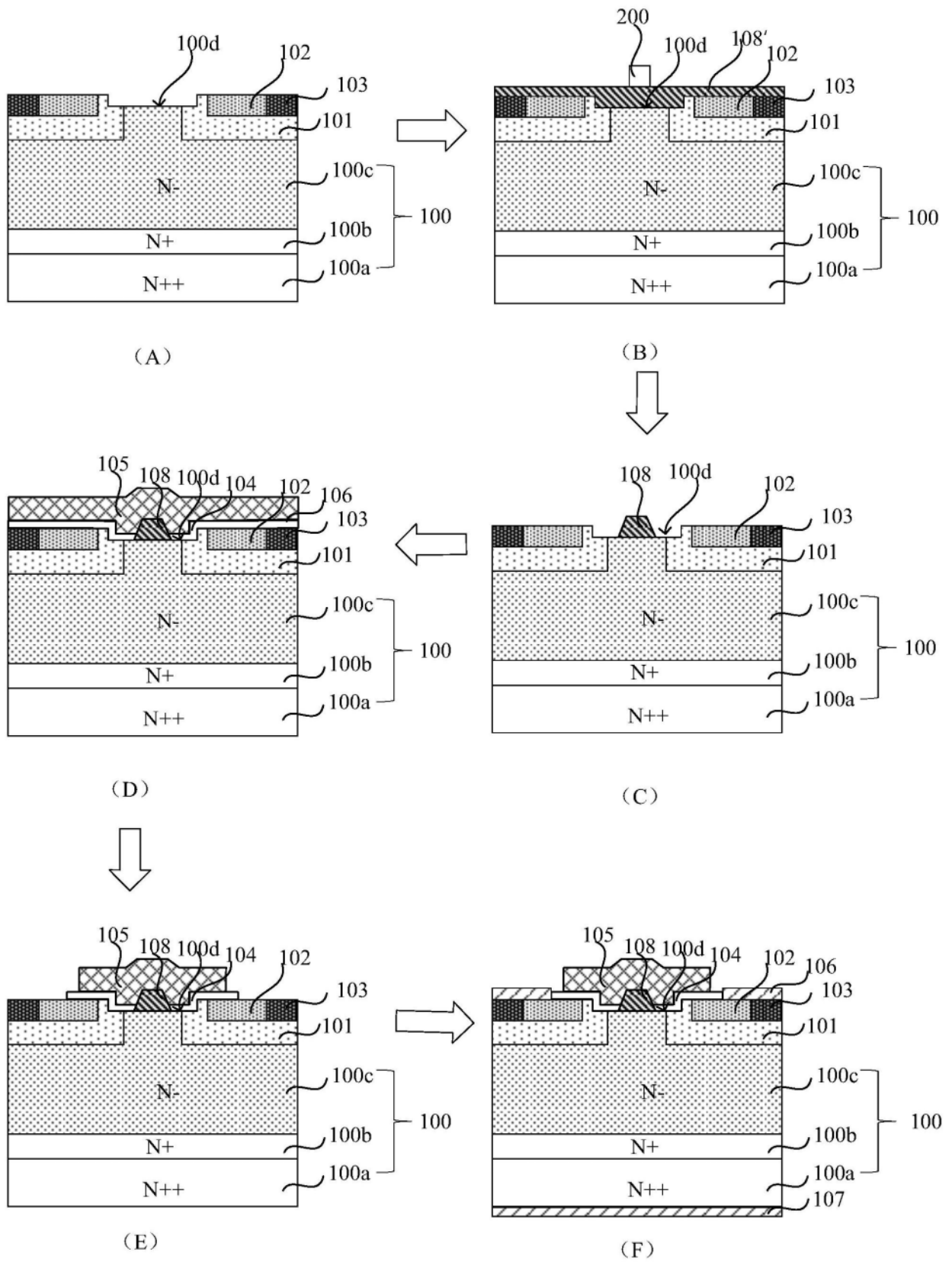


图15