



(21)申請案號：099113219

(22)申請日：中華民國 99 (2010) 年 04 月 27 日

(51)Int. Cl. : H01L23/488 (2006.01)

H01L21/60 (2006.01)

(71)申請人：群豐科技股份有限公司 (中華民國) APTOS TECHNOLOGY INC. (TW)

新竹縣湖口鄉光復北路 65 號

(72)發明人：卓恩民 JOW, EN MIN (TW)

(74)代理人：陳昭誠

(56)參考文獻：

TW 482334

TW 521865

TW 200924137A

審查人員：張添智

申請專利範圍項數：12 項 圖式數：17 共 0 頁

## (54)名稱

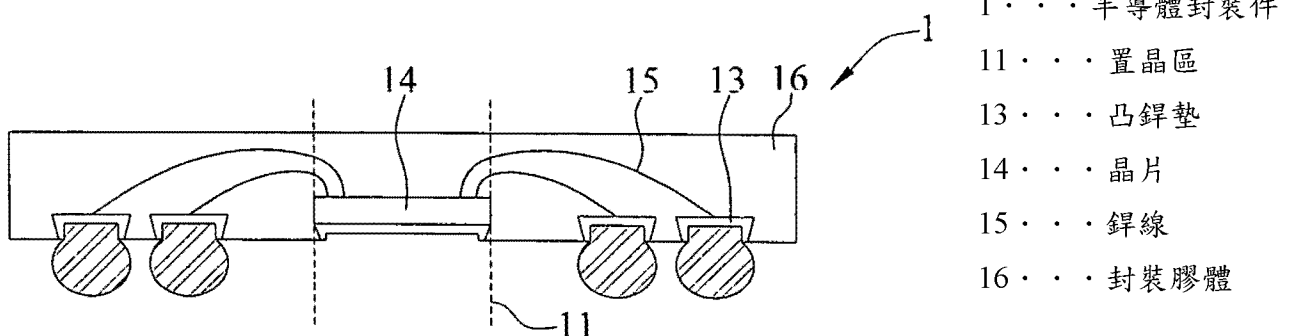
四方扁平無導腳之半導體封裝件及其製法及用於製造該半導體封裝件之金屬板

QUAD FLAT NO-LEAD PACKAGE, METHOD FOR FORMING THE SAME, AND METAL PLATE FOR FORMING THE PACKAGE

## (57)摘要

一種具電性連接結構之半導體封裝件及其製法，係包括沖壓金屬板以得到置晶墊及複數凸錔墊，且令該凸錔墊之至少一橫截面面積大於其下方另一橫截面之面積以及置晶墊之至少一橫截面面積大於其下方另一橫截面面積，俾使該置晶墊及凸錔墊嵌卡於封裝膠體內，此外，本發明係於形成封裝膠體後才移除金屬板，更可避免溢膠至凸錔墊底面。

A Quad Flat No-Lead Package and a fabrication method thereof are proposed, the method comprising forming die pads and bump solder pads by pressing a metal board, wherein at least a cross section area of the solder pads is larger than another located underneath and at least a cross section area of the die pads is larger than another located underneath, thereby enabling solder pads and die pads to be embedded in an encapsulant. The invention is characterized by removing the metal board after formation of the encapsulant that prevents excessive underfill from overflowing to the bottom of solder pads.



第1E圖

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99113219

※申請日： 99.4.27

※IPC 分類：

H01L 23/488 (2006.01)

H01L 21/60

(2006.01)

### 一、發明名稱：(中文/英文)

四方扁平無導腳之半導體封裝件及其製法及用於製造該半導體封裝件之金屬板

QUAD FLAT NO-LEAD PACKAGE, METHOD FOR FORMING THE SAME, AND METAL PLATE FOR FORMING THE PACKAGE

### 二、中文發明摘要：

一種具電性連接結構之半導體封裝件及其製法，係包括沖壓金屬板以得到置晶墊及複數凸錫墊，且令該凸錫墊之至少一橫截面面積大於其下方另一橫截面之面積以及置晶墊之至少一橫截面面積大於其下方另一橫截面面積，俾使該置晶墊及凸錫墊嵌卡於封裝膠體內，此外，本發明係於形成封裝膠體後才移除金屬板，更可避免溢膠至凸錫墊底面。

### 三、英文發明摘要：

A Quad Flat No-Lead Package and a fabrication method thereof are proposed, the method comprising forming die pads and bump solder pads by pressing a metal board, wherein at least a cross section area of the solder pads is larger than another located underneath and at least a cross section area of the die pads is larger than another located underneath, thereby enabling solder pads and die pads to be embedded in an encapsulant. The invention is characterized by removing the metal board after formation of the encapsulant that prevents excessive underfill from

overflowing to the bottom of solder pads.

四、指定代表圖：

(一)本案指定代表圖為：第 ( 1E ) 圖。

(二)本代表圖之元件符號簡單說明：

- |    |        |
|----|--------|
| 1  | 半導體封裝件 |
| 11 | 置晶區    |
| 13 | 凸錫墊    |
| 14 | 晶片     |
| 15 | 錫線     |
| 16 | 封裝膠體   |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種封裝結構及其製法，尤指一種四方扁平無導腳之半導體封裝件(Quad Flat Non Leaded Package, QFN)及其製法。

### 【先前技術】

傳統晶片係以導線架(Lead Frame)作為晶片承載件以形成一半導體封裝件，而該導線架主要包括一晶片座及形成於該晶片座周圍之複數導腳，於該晶片座上黏接晶片，並以鐳線電性連接該晶片與導腳後，再將封裝樹脂包覆該晶片、晶片座、鐳線以及導腳之內段而形成該具導線架之半導體封裝件。

就積體電路技術發展而言，在半導體製程上不斷朝向積集度更高的製程演進，且高密度的構裝結構係為業者追求的目標。而晶片尺寸構裝所採用之承載器(carrier)包括：導線架(lead frame)、軟質基板(flexible substrate)或硬質基板(rigid substrate)等，由於導線架具有成本低，加工容易等特性，為電子產品常用之晶片尺寸構裝類型；其中之四方扁平無接腳構裝(QFN)為以導線架為構裝基材之晶片尺寸構裝(lead frame based CSP)，其特徵在於未設置有外導腳，即未形成有用以與外界電性連接之外導腳，而能縮小整體尺寸。

請參閱第 4A 圖，係美國專利第 6,143,981、6,130,115、及 6,198,171 號所揭示之以導線架作為晶片承載件之四方

扁平無導腳構裝(QFN)之剖視圖；如圖所示，係於具有引腳 41 之導線架 40 上固設晶片 42，且該晶片 42 並藉由鐸線 43 電性連接至該引腳 41，形成封裝材 44 以包覆該導線架 40、晶片 42、及鐸線 43，並使該導線架 40 之引腳 41 的底面外露於該封裝材 44 表面，使該 QFN 半導體封裝結構得藉由該外露之引腳 41 外露表面以直接透過鐸錫材料（未以圖式表示）而與外界裝置如印刷電路板（printed circuit board）之外部裝置電性連接。

惟，上述之習知導線架式結構，所能提供之輸入/輸出數量較少，無法滿足高階產品，且在切單製程後，該引腳有脫落之風險。再者，由於該外露之引腳 41 與封裝材 44 表面齊平，當該外露之引腳 41 上形成鐸球 46 以與外部裝置之印刷電路板電性連接時，如第 4B 圖所示，該鐸球 46 容易產生橋接(solder bridge)，而導致該引腳 41 之間產生橋接或短路，而造成電性連接不良的情況。

為獲得更多之輸入/輸出數量，亦有在銅箔基板上藉由蝕刻方式形成導線架，以得到更多引腳，然而，蝕刻製程步驟繁多且耗時，且不論是前述第 4A 圖之封裝件或以蝕刻方式得到的導線架，在填入封裝膠體時都存在溢膠之問題，導致無法佈植鐸球及影響鐸球與引腳之電性連接。此外，蝕刻方式形成之導線架，其結構係分離而不完整，於超音波鐸接時常有脫鐸的狀況。

因此，鑒於上述之問題，如何以簡化之製程提供更多的輸入/輸出數量，且避免習知之半導體封裝件之引腳脫落

及封裝膠體溢膠等問題，實已成為目前亟欲解決之課題。

### 【發明內容】

鑑於上述習知技術之種種缺失，本發明提供一種四方扁平無導腳之半導體封裝件，係包括：置晶墊，其中，在該置晶墊之厚度範圍內，該置晶墊之至少一橫截面面積大於其下方另一橫截面面積；複數凸鐸墊，係設於該置晶墊週圍，其中，在該凸鐸墊之厚度範圍內，該凸鐸墊之至少一橫截面面積大於其下方另一橫截面面積，且該凸鐸墊之頂面高於置晶墊之頂面；設置於該置晶墊上之晶片；鐸線，電性連接該晶片及各該凸鐸墊；以及封裝膠體，係包覆該置晶墊、凸鐸墊、晶片及鐸線，使該置晶墊及凸鐸墊嵌卡於該封裝膠體中並外露出該些凸鐸墊及置晶墊之底面。

為得到本發明之半導體封裝件，本發明復提供一種四方扁平無導腳之半導體封裝件之製法，係包括：準備一定義有複數置晶區之金屬板；以模具沖壓該金屬板，以於金屬板上之各該置晶區形成置晶墊，並於該置晶區外圍形成複數凸鐸墊，其中，在該置晶墊及凸鐸墊之厚度範圍內，該凸鐸墊之至少一橫截面面積大於其下方另一橫截面面積，以及該置晶墊之至少一橫截面面積大於其下方另一橫截面面積，且該凸鐸墊之底面高於置晶墊之底面；於各該置晶墊上接置晶片；以鐸線電性連接該晶片與凸鐸墊；於該金屬板、晶片及鐸線上覆蓋封裝膠體，使該凸鐸墊嵌卡於該封裝膠體中；移除該金屬板底部，使該置晶墊及各該凸鐸墊彼此間隔分佈；以及切割該封裝膠體，以形成複數

半導體封裝件。

於前述之製法中，該模具可包括公模、母模及複數插入件，且該母模具有複數陣列式排列之凹穴以及溝槽，係用以連通位於同一列上之凹穴，其中，該溝槽係供插入件滑設其中，使該凹穴開口面積小於凹穴底面積。

於另一實施方式中，該沖壓形成該置晶墊及凸鐸墊之步驟包括以模具沖壓該金屬板以形成複數置晶墊及凸鐸墊；以及壓制該置晶墊及凸鐸墊頂面，俾使在該置晶墊及凸鐸墊之厚度範圍內，該凸鐸墊之至少一橫截面面積大於其下方另一橫截面面積，以及該置晶墊之至少一橫截面面積大於其下方另一橫截面面積。

另一方面，本發明復提供一種用於製造四方扁平無導腳之半導體封裝件之金屬板，係包括：複數凸鐸墊，係一體成形於該金屬板上，且該些凸鐸墊圍設出置晶區，其中，在該凸鐸墊之厚度範圍內，該凸鐸墊之至少一橫截面面積大於其下方另一橫截面面積；置晶墊，係位於置晶區，其中，在該置晶墊之厚度範圍內，該置晶墊之至少一橫截面面積大於其下方另一橫截面面積；以及複數孔穴，係對應形成於各該凸鐸墊底面。

由上可知，本發明之半導體封裝件及其製法，係先於金屬板上沖壓出凸鐸墊，接置放並電性連接晶片以及形成封裝膠體，之後才進行切單作業，可避免習知技術灌注封裝膠體時之溢膠問題，此外，本發明金屬板上之凸鐸墊具有嵌卡之功能，可避免於形成封裝膠體後，凸鐸墊自封裝



膠體內脫落。又，凸錒墊之頂面高於置晶墊之頂面，可降低打線的高度，縮小整體封裝件之體積。本發明之半導體封裝件及製法，不僅防止溢膠及凸錒墊脫落，更具有簡化製程，提供更多的輸入/輸出數量之優點。

### 【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

並須說明的是，本說明書中所敘述之“頂面”與“底面”並非絕對之空間概念，而係隨構成要件之空間關係而變化，亦即，倒置本案圖式中所示之半導體封裝件時，“頂面”即成“底面”而“底面”即成“頂面”。故該等“頂面”、“底面”名詞之使用，係用以說明本發明所揭示之半導體封裝件中構成要件間之連結關係，使本發明所揭示之半導體封裝件在等效之範圍內具有合理之變化與替換，而非用以限定本發明之可實施範圍於一特定之態樣(Embodiment)。

#### 第一實施例

請參閱第 1A 至 1E”圖，係說明本發明四方扁平無導腳之半導體封裝件之製法。

如第 1A 圖所示，準備一定義有複數置晶區 11 之金屬板 10，該金屬板可為銅，此外，該金屬板 10 上下表面可藉由電鍍形成有金屬層，其可包括選自金、鈮、銀、銅及鎳所組成群組的一種或多種材質，例如，金/鈮/鎳/鈮層依序組成或金/鎳/銅/鎳/銀、金/鎳/銅/銀、鈮/鎳/鈮、金/鎳/

金或鈮/鎳/金之多層金屬其中一者所構成。

如第 1B 及 1B' 圖所示，以模具 12 沖壓該金屬板 10，以於金屬板 10 上之各該置晶區 11 形成置晶墊 19，並於該置晶區 11 外圍形成複數凸鐸墊 13，其中，在該置晶墊 19 及凸鐸墊 13 之厚度  $h$ 、 $h'$  範圍內，該凸鐸墊 13 之至少一橫截面面積大於其下方另一橫截面面積，以及該置晶墊 19 之至少一橫截面面積大於其下方另一橫截面面積，且該凸鐸墊 13 之底面高於置晶墊 19 之底面。該凸鐸墊 13 可為鳩尾形或半鳩尾形，如第 1B 圖所示，該凸鐸墊 13 為鳩尾形，在該凸鐸墊 13 之厚度  $h$  範圍內的任意兩個橫截面，上方橫截面之面積大於下方另一橫截面之面積。又，復可包括於沖壓該金屬板之後，形成金屬層於該金屬板上下表面(未圖示)。

在實施上，該模具 12 包括公模 121、母模 122 及複數插入件 123，且如第 1B' 圖所示之母模 122 底視圖，該母模 122 具有複數陣列式排列之凹穴 1221 以及溝槽 1222，係用以連通位於同一列上之凹穴 1221，其中，該溝槽 1222 係供插入件 123 滑設其中，使該凹穴 1221 開口面積小於凹穴 1221 底面積，從而於沖壓後得到鳩尾形之凸鐸墊 13。

如第 1C 圖所示，於各該置晶墊 19 上接置晶片 14，接著以鐸線 15 電性連接該晶片 14 與凸鐸墊 13；之後再於該金屬板 10、晶片 14 及鐸線 15 上覆蓋封裝膠體 16，由於鳩尾形凸鐸墊 13 之任一橫截面之面積皆大於下方另一橫截面之面積(在本發明中，凸鐸墊 13 內之孔穴 131 橫截面

亦計算於凸鐳墊 13 的橫截面)，例如頂面面積大於底面面積，俾使該凸鐳墊 13 嵌卡於該封裝膠體 16 中，此外，因該凸鐳墊 13 之底面高於置晶墊 19 之底面，以及凸鐳墊 13 之頂面高於置晶墊 19 之頂面，可降低打線的高度，縮小整體封裝件之體積，再者，因金屬板為連續結構，可減少超音波鐳接時脫鐳的缺陷。又因為形成封裝膠體時，該金屬板仍為連續結構，更可防止溢膠的問題。

如第 1D 圖所示，以銑刀或蝕刻等方式移除該金屬板 10 底部，使各該該置晶墊 19 及凸鐳墊 13 彼此間隔分佈。復參閱第 1D' 圖，不同於第 1D 圖中該置晶墊 19 及凸鐳墊 13 底部與封裝膠體底部齊平，在移除該金屬板 10 底部時，由於沖壓時可設定沖壓深度，得以於移除金屬板 10 視需要令得到的置晶墊及凸鐳墊 13 底面對應形成孔穴 131，如第 1E 圖所示，該孔穴可供鐳球 17 佈設其中，在鐳球 17 與凸鐳墊之間提供較佳的接合強度，最後切割該封裝膠體 16，以形成複數半導體封裝件 1。另一方面，當相鄰兩封裝單元具有共用之凸鐳墊時，於執行切割步驟，可如第 1E' 圖所示，切割封裝膠體 16 及相鄰兩半導體封裝件共用的凸鐳墊 13，以令所得之半導體封裝件之最外圍凸鐳墊 13 側邊外露，並與封裝膠體 16 側邊齊平。當然亦可如第 1E 圖所示，相鄰兩封裝單元不具有共用之凸鐳墊 13，封裝膠體 16 則包覆住凸鐳墊 13 側邊。

此外，如第 1E'' 圖所示，復可包括於移除該金屬板 10 後，於該封裝膠體 16 底面上形成防鐳層 18，且令該防鐳

層 18 具有複數供對應露出各該置晶墊 19 及凸鐸墊 13 的防鐸層開孔 181。本實例中，雖以具有孔穴 131 之凸鐸墊 13 做說明，但不以此態樣為限。

### 第二實施例

本實施例與前述製法大致相同，其差異在於不同的沖壓方式。如第 2A 至 2C 圖所示之沖壓形成該置晶墊及凸鐸墊之步驟，包括先以包括上模 221 及下模 222 之模具 22 沖壓該金屬板 20 以形成複數置晶墊 29 及凸鐸墊 23；以及再次，壓制該置晶墊 29 及凸鐸墊 23 頂面，俾使在該置晶墊 29 及凸鐸墊 23 之厚度範圍內，即便凸鐸墊 23 頂面並非最大的面積，仍存在至少一橫截面面積大於其下方另一橫截面面積之關係，以於形成封裝膠體後，令凸鐸墊 23 嵌卡於於封裝膠體中，同樣地，使該置晶墊 29 之至少一橫截面面積大於其下方另一橫截面面積。具體而言，如第 2B 圖所示，係可利用另一上模 221' 再次壓制該置晶墊 29 及凸鐸墊 23 頂面，最後脫模即可得到具有凸鐸墊 23 之金屬板 20。

### 第三實施例

本實施例與前述製法大致相同，其差異在於置晶墊外形。如第 3A 圖所示，沖壓該金屬板 30 之步驟復包含以模具 32 沖壓置晶區 31 形成置晶墊 38，該置晶墊 38 由複數個凸墊 381 所構成，其外形可與凸鐸墊 33 相同。同樣地，在該置晶墊 38 之厚度範圍內，該置晶墊 38 之至少一橫截面面積大於其下方另一橫截面面積。

根據前述之製法，本發明提供一種四方扁平無導腳之半導體封裝件 1、3，如第 1E 及 3C 圖所示，該半導體封裝件 1、3 係包括：置晶墊 19、38，其中，在該置晶墊 19、38 之厚度範圍內，該置晶墊之至少一橫截面面積大於其下方另一橫截面面積；複數凸錫墊 13、33，係設於該置晶墊 19、38 週圍，其中，在該凸錫墊 13、33 之厚度範圍內，該凸錫墊 13、33 之至少一橫截面面積大於其下方另一橫截面面積，且該凸錫墊 13、33 之頂面高於置晶墊 19、38 之頂面；晶片 14、34，係設置於該置晶墊 19、38 上；錫線 15、35，電性連接該晶片 14、34 及各該凸錫墊 13、33；以及封裝膠體 16、36，係包覆該置晶墊 19、38、凸錫墊 13、33、晶片 14、34 及錫線 15、35，使該置晶墊 19、38 及凸錫墊 13、33 嵌卡於該封裝膠體 16、36 中並外露出該些凸錫墊 13、33 及置晶墊 19、38 之底面。此外，該凸錫墊 13、33 及置晶墊 19、38 底面可接置有錫球 17、37。

在本發明之半導體封裝件中，該凸錫墊 13 及置晶墊 19 可為如第 1E 圖所示之鳩尾形，或者可為半鳩尾形或其他形狀。

如第 1E' 圖所示，該半導體封裝件復可包括防錫層 18，係形成於該封裝膠體 16 底面上，且該防錫層 18 具有複數供對應露出各該置晶墊 19 及凸錫墊 13 的防錫層開孔 181。

另一方面，根據前述之製法，本發明提供一種用於製造四方扁平無導腳之半導體封裝件之金屬板，如第 1C 圖

所示，該金屬板 10 係包括：複數凸鐸墊 13，係一體成形於該金屬板 10 上，且該些凸鐸墊 13 圍設出置晶區 11，其中，在該凸鐸墊 13 之厚度範圍內，該凸鐸墊 13 之至少一橫截面面積大於其下方另一橫截面面積；置晶墊 19，係位於置晶區 11，其中，在該置晶墊 19 之厚度範圍內，該置晶墊 19 之至少一橫截面面積大於其下方另一橫截面面積；以及複數孔穴 131，係對應形成於各該凸鐸墊 13 底面。

本發明之半導體封裝件及其製法，係先於金屬板上沖壓出凸鐸墊，接置放並電性連接晶片以及形成封裝膠體，之後才進行切單作業，可避免習知技術灌注封裝膠體時之溢膠問題，此外，本發明金屬板上之置晶墊及凸鐸墊具有嵌卡之功能，可避免於形成封裝膠體後，凸鐸墊自封裝膠體內脫落，而提升可靠度。又較佳地，沖壓之方式亦可使該置晶墊高度低於凸鐸墊，有利於降低封裝件之高度，縮小體積提升導熱性能，本發明之半導體封裝件及製法，不僅防止溢膠及凸鐸墊脫落，更具有簡化製程，提供更多的輸入/輸出數量之優點。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

#### 【圖式簡單說明】

第 1A 至 1E'' 圖係為本發明四方扁平無導腳之半導體

封裝件之製法示意圖，其中，第 1B'圖為第 1B 圖之母模的底視圖；第 1D'圖為具有孔穴之半導體封裝件示意圖，第 1E 圖為凸錫墊與封裝膠體側邊齊平之半導體封裝件示意圖；以及第 1E'圖為具有防錫層之半導體封裝件示意圖；

第 2A 至 2C 圖係為本發明形成凸錫墊之另一製法示意圖；

第 3A 至 3C 圖係為本發明另一沖壓形成置晶墊之製法示意圖，其中，第 3C 圖係具有置晶墊之半導體封裝件示意圖；以及

第 4A 及 4B 圖係習知以導線架作為晶片承載件之四方扁平無接腳構裝(QFN)之剖視圖。

#### 【主要元件符號說明】

1、3	半導體封裝件	10、20、30	金屬板
11、31	置晶區	12、22、32	模具
121	公模	122	母模
123	插入件	1221	凹穴
1222	溝槽	13、23、33	凸錫墊
131	孔穴	14、34、42	晶片
15、35、43	錫線	16、36	封裝膠體
17、37、46	錫球	18	防錫層
181	開孔	221、221'	上模
222	下模	19、29、38	置晶墊
381	凸墊	40	導線架
41	引腳	44	封裝材

## 七、申請專利範圍：

1. 一種四方扁平無導腳之半導體封裝件，係包括：

置晶墊，其中，在該置晶墊之厚度範圍內，該置晶墊之至少一橫截面面積大於其下方另一橫截面面積；

複數凸鉸墊，係設於該置晶墊週圍，其中，在該凸鉸墊之厚度範圍內，該凸鉸墊之至少一橫截面面積大於其下方另一橫截面面積，且該凸鉸墊之頂面高於置晶墊之頂面；

晶片，係設置於該置晶墊上；

鉸線，電性連接該晶片及各該凸鉸墊；以及

封裝膠體，係包覆該置晶墊、凸鉸墊、晶片及鉸線，使該置晶墊及凸鉸墊嵌卡於該封裝膠體中並外露出該些凸鉸墊及置晶墊之底面。

2. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該凸鉸墊為鳩尾形或半鳩尾形。
3. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該置晶墊為鳩尾形或半鳩尾形。
4. 如申請專利範圍第 1 項所述之半導體封裝件，復包括防鉸層，係形成於該封裝膠體底面上，且該防鉸層具有複數供對應露出各該置晶墊及凸鉸墊的防鉸層開孔。
5. 一種四方扁平無導腳之半導體封裝件之製法，係包括：  
準備一定義有複數置晶區之金屬板；  
以模具沖壓該金屬板，以於金屬板上之各該置晶區形成置晶墊，並於該置晶區外圍形成複數凸鉸墊，其



中，在該置晶墊及凸鐸墊之厚度範圍內，該凸鐸墊之至少一橫截面面積大於其下方另一橫截面面積，以及該置晶墊之至少一橫截面面積大於其下方另一橫截面面積，且該凸鐸墊之底面高於置晶墊之底面；

於各該置晶墊上接置晶片；

以鐸線電性連接該晶片與凸鐸墊；

於該金屬板、晶片及鐸線上覆蓋封裝膠體，使該凸鐸墊嵌卡於該封裝膠體中；

移除該金屬板底部，使該置晶墊及各該凸鐸墊彼此間隔分佈；以及

切割該封裝膠體，以形成複數半導體封裝件。

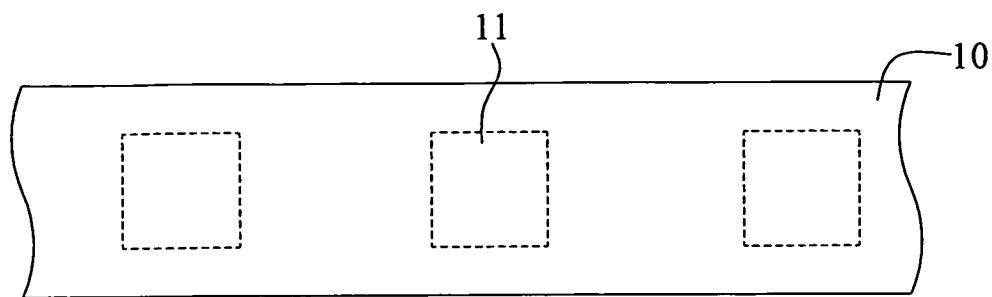
6. 如申請專利範圍第 5 項所述之半導體封裝件之製法，其中，該模具包括公模、母模及複數插入件，且該母模具有複數陣列式排列之凹穴以及溝槽，係用以連通位於同一列上之凹穴，其中，該溝槽係供插入件滑設其中，使該凹穴開口面積小於凹穴底面積。
7. 如申請專利範圍第 5 項所述之半導體封裝件之製法，其中，沖壓形成該置晶墊及凸鐸墊之步驟包括以模具沖壓該金屬板以形成複數置晶墊及凸鐸墊；以及壓制該置晶墊及凸鐸墊頂面，俾使在該置晶墊及凸鐸墊之厚度範圍內，該凸鐸墊之至少一橫截面面積大於其下方另一橫截面面積，以及該置晶墊之至少一橫截面面積大於其下方另一橫截面面積。
8. 如申請專利範圍第 5 項所述之半導體封裝件之製法，其

- 中，該凸鐳墊之頂面高於置晶墊之頂面。
9. 如申請專利範圍第 5 項所述之半導體封裝件之製法，復包括於沖壓該金屬板之前或之後，形成金屬層於該金屬板上下表面。
  10. 如申請專利範圍第 6 項所述之半導體封裝件之製法，其中，該凸鐳墊為鳩尾形或半鳩尾形。
  11. 如申請專利範圍第 5 項所述之半導體封裝件之製法，復包括於移除該金屬板後，於該封裝膠體底面上形成防鐳層，且令該防鐳層具有複數供對應露出各該置晶墊及凸鐳墊的防鐳層開孔。
  12. 一種用於製造四方扁平無導腳之半導體封裝件之金屬板，係不具有貫穿之孔洞，且包括：

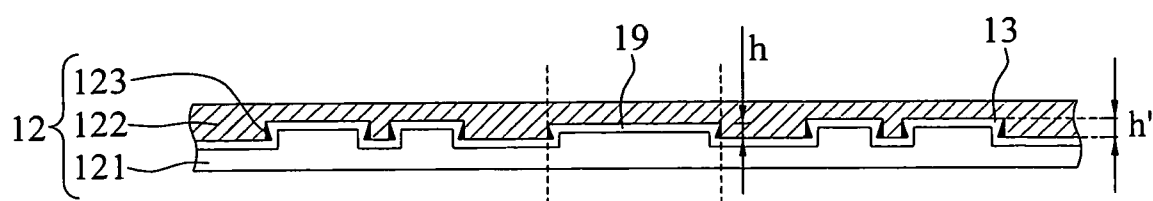
複數凸鐳墊，係一體成形於該金屬板上，且該些凸鐳墊圍設出置晶區，其中，在該凸鐳墊之厚度範圍內，該凸鐳墊之至少一橫截面面積大於其下方另一橫截面面積；

置晶墊，係位於置晶區，其中，在該置晶墊之厚度範圍內，該置晶墊之至少一橫截面面積大於其下方另一橫截面面積；以及

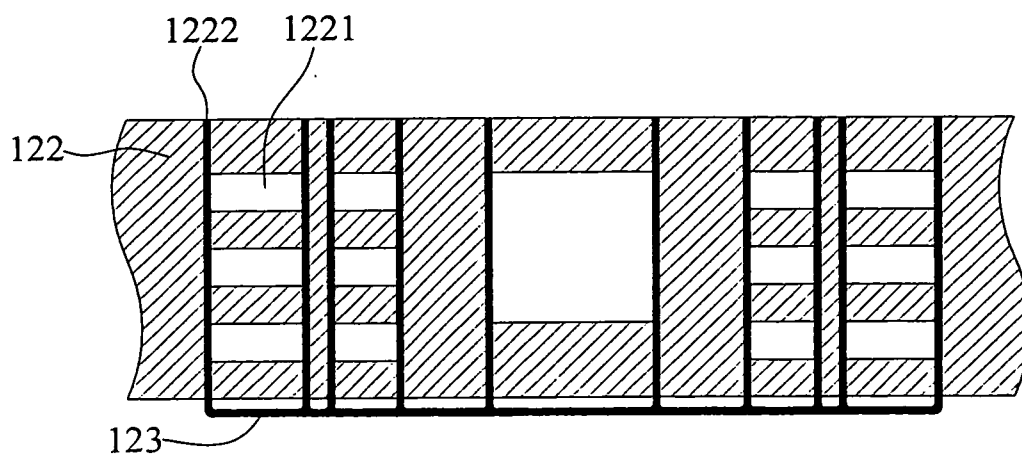
複數孔穴，係對應形成於各該凸鐳墊底面。



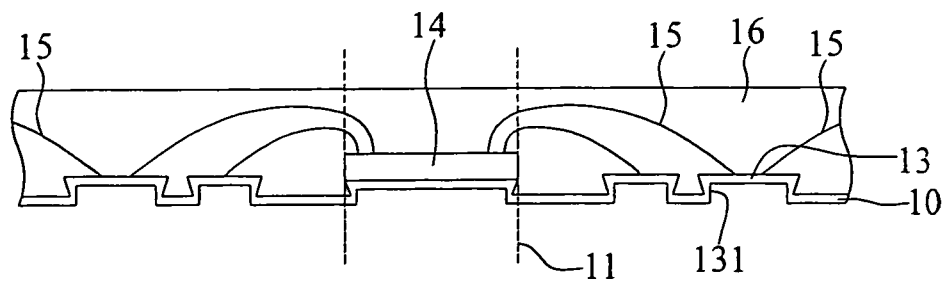
第1A圖



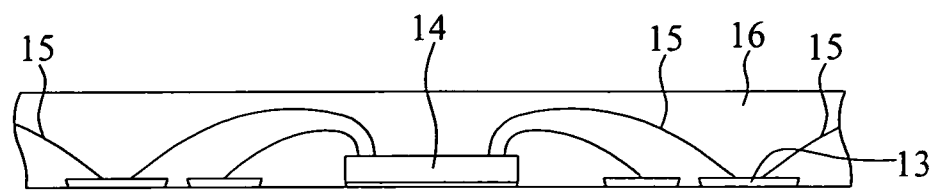
第1B圖



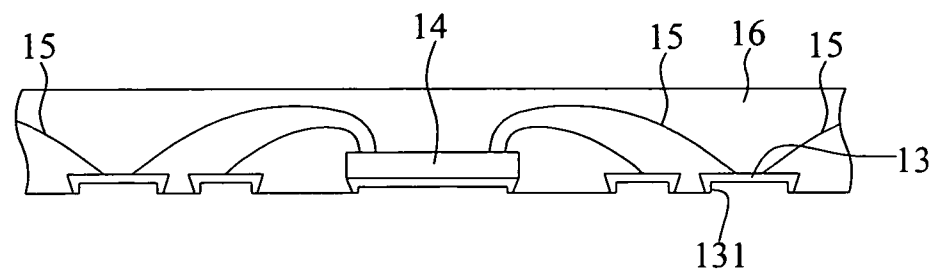
第1B'圖



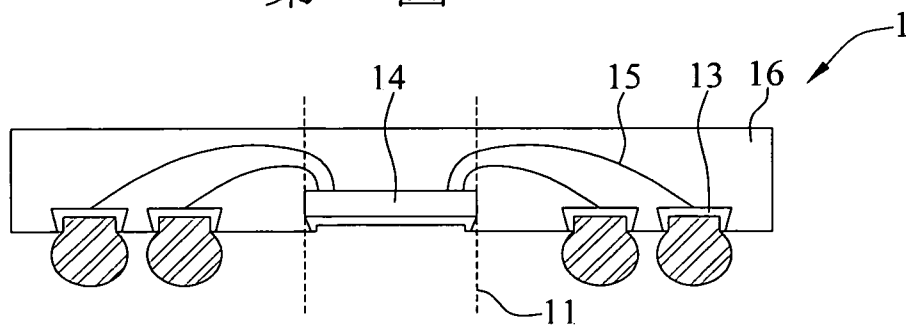
第1C圖



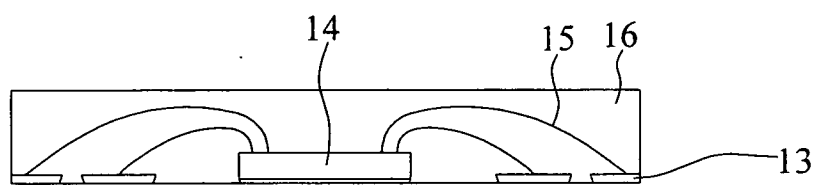
第1D圖



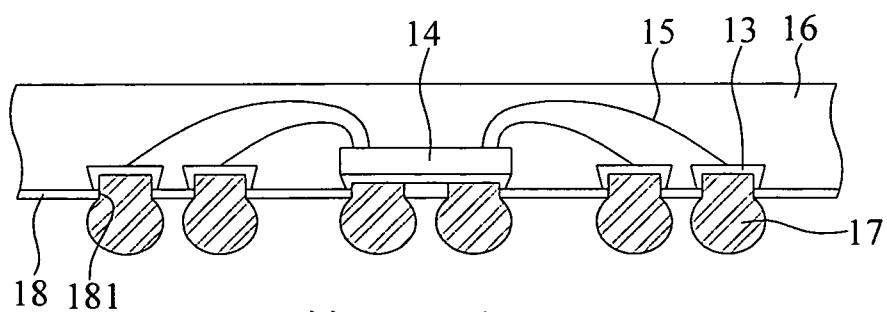
第1D'圖



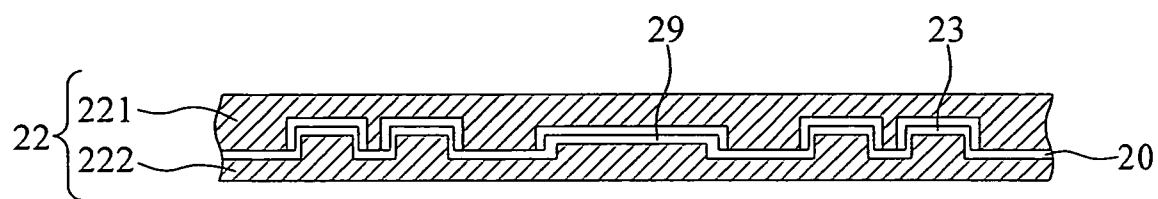
第1E圖



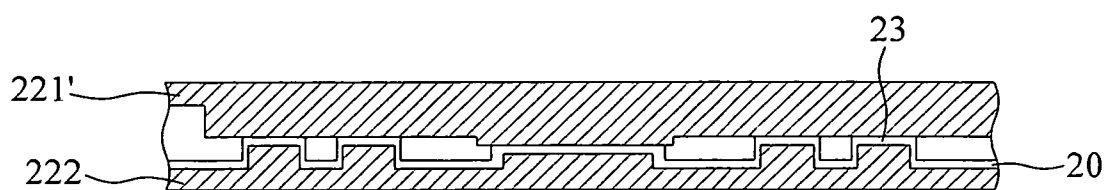
第1E'圖



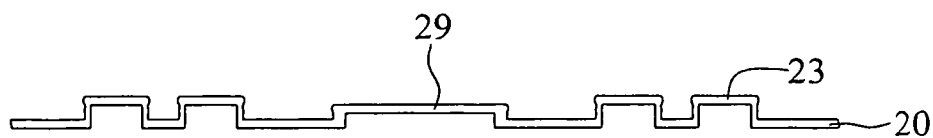
第1E''圖



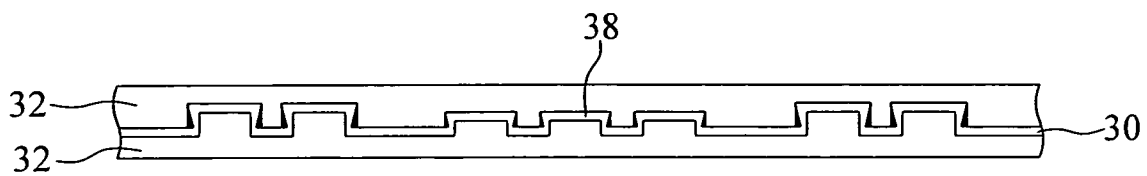
第2A圖



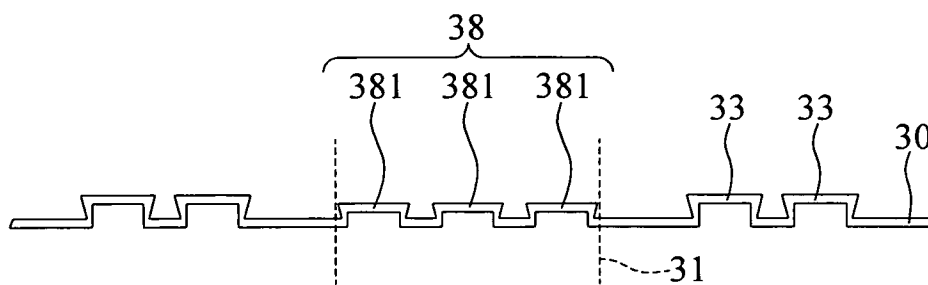
第2B圖



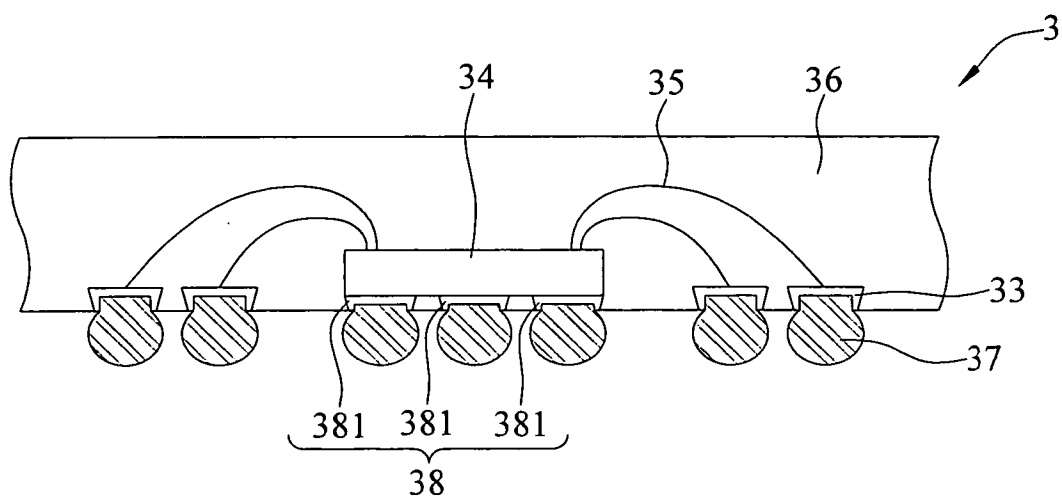
第2C圖



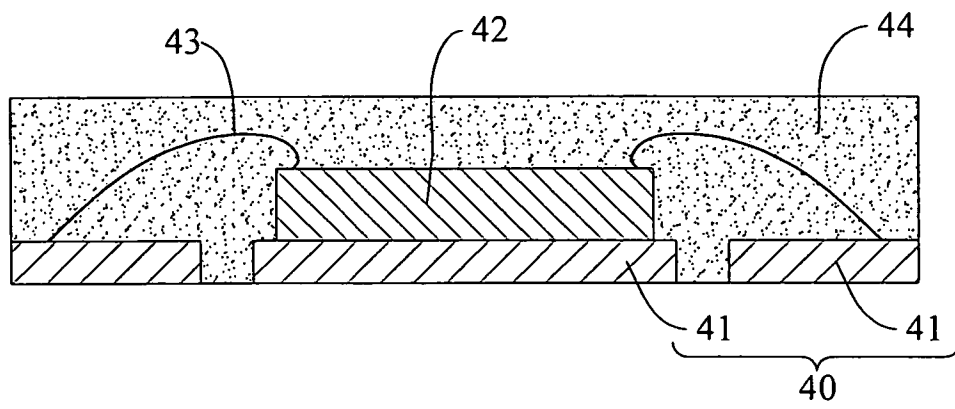
第3A圖



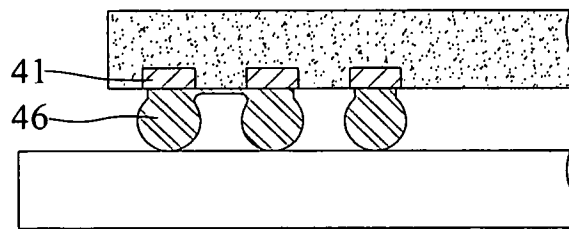
第3B圖



第3C圖



第4A圖



第4B圖