



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2007-0107111  
(43) 공개일자 2007년11월06일

(51) Int. Cl.

*H01L 21/20*(2006.01)

- (21) 출원번호 10-2007-7020396
- (22) 출원일자 2007년09월06일  
심사청구일자 2007년09월06일  
번역문제출일자 2007년09월06일
- (86) 국제출원번호 PCT/EP2006/061012  
국제출원일자 2006년03월23일
- (87) 국제공개번호 WO 2006/100301  
국제공개일자 2006년09월28일
- (30) 우선권주장  
0502923 2005년03월24일 프랑스(FR)

(71) 출원인

에스오아이테크 실리콘 온 인슐레이터 테크놀로지스 (에스.에이.)

프랑스, 베르낭 에프-38190, 빠크 테크노로지끄 데 폰텐느

(72) 발명자

레테르트르 파브리스

프랑스 에프-38000 그레노블르 계 종킹 33

기셀렌 브루노

프랑스 에프-38170 세씨느-파리세 뒤 조르주 매데 58

카이르푸르끄 이앙

프랑스 에프-38330 생 나제르 레 이메 슈맹 뒤 데 이 74

(74) 대리인

리엔목특허법인

전체 청구항 수 : 총 13 항

**(54) 적어도 하나의 두꺼운 반도체 물질층을 포함하는헤테로-구조 제조 방법**

**(57) 요약**

본 발명은 극소 전자공학, 광전자 공학, 광학 등에서 사용하기 위한 적어도 하나의 반도체 물질을 포함하는 구조를 제조하는 방법에 관련된다. 본 발명의 방법은 다음으로 구성되는 단계들을 포함한다: 제1 물질로 구성되는 서포트(10)와 상기 제1 물질과는 다른 제2 물질로 구성되는 얇은 단결정 막(22)을 준비하는 단계, 상기 막이 상기 서포트에 전이되는 단계; 및 상기 박막과 상기 서포트 사이의 분당 계면(12)을 적어도 강화하기 위한 소정의 열처리를 수행하는 단계. 상기 방법은 상기 제1 물질 및 상기 제2 물질의 열팽창 계수들 사이의 차이의 함수로서 그리고 상기 열처리에 의해 서포트/전이되는 박막 어셈블리 상에 미치는 응력들이 동일하게 본래대로(intact) 두도록, 상기 소정의 열처리의 인자들의 함수로서 상기 박막의 두께(e1)가 선택되는 것을 특징으로 한다. 상기 발명은 또한 단결정 상태인 추가적인 두께의 상기 제2 물질(22')이 상기 박막 상에 증착되는 추가적인 단계를 포함하는 것을 특징으로 한다. 본 발명은 두꺼운 유용한 막을 포함하는 헤테로-기판의 제조를 위하여 적합하다.

**대표도**

도 1a 내지 도 1d

## 특허청구의 범위

### 청구항 1

극소 전자공학, 광전자 공학, 광학 등에서 어플리케이션들을 위한 적어도 하나의 반도체 물질을 포함하는 구조를 제조하는 공정으로서, 상기 공정은,

제1 물질로 구성되는 서포트(10) 상으로 상기 제1 물질과는 다른 제2 물질로 구성되는 단결정 박막(22)을 전이하는 단계와, 그리고 상기 박막과 상기 서포트 사이의 본딩 계면(12)을 적어도 강화하기 위한 소정의 열처리 단계를 포함하고,

상기 박막의 두께(e1)는 상기 제1 물질 및 상기 제2 물질의 열팽창 계수들 사이의 차이에 따라 그리고 상기 열처리에 의해 상기 서포트 및 전이되는 박막을 포함하는 어셈블리 상에 미치는 응력들이 상기 어셈블리에 영향을 미치지 않는(intact) 상기 소정의 열처리의 인자들에 따라 선택되고, 상기 공정은 단결정 상태인 상기 제2 물질의 추가적인 두께의 막(22')을 상기 박막 상에 증착하는 추가적인 단계를 포함하는 것을 특징으로 하는 공정.

### 청구항 2

제1항에 있어서, 상기 전이되는 박막의 두께(e1)는 약 100과 300Å 사이이고, 바람직하게는 150과 250Å 사이인 것을 특징으로 하는 공정.

### 청구항 3

제2항에 있어서, 상기 전이되는 박막(22) 상에 증착되는 막(22')의 두께(e2)가 1000과 5000Å 사이인 것을 특징으로 하는 공정.

### 청구항 4

제1항 내지 제3항 중 어느 하나의 항에 있어서, 상기 제2 물질의 상기 박막(22)을 전이하는 단계는 종들의 주입에 의해 도너 웨이퍼(20)에 전이되는 상기 박막의 경계를 가지는 취약 영역(21)을 생성하는 단계, 상기 도너 웨이퍼를 상기 서포트에 접촉시키는 단계 및 상기 접촉 단계 이후에 상기 도너 웨이퍼의 나머지에서 상기 박막의 분리를 유도할 수 있는 응력들을 인가하는 단계로 구성되는 부단계들을 포함하는 것을 특징으로 하는 공정.

### 청구항 5

제4항에 있어서, 상기 막(22')을 증착하기 위해, 분리 이후에, 상기 박막(22)의 자유 표면을 준비하는 추가적인 단계를 포함하는 것을 특징으로 하는 공정.

### 청구항 6

제1항 내지 제5항 중 어느 하나의 항에 있어서, 상기 증착 단계는 에피택시에 의해 수행되는 것을 특징으로 하는 공정.

### 청구항 7

제1항 내지 제6항 중 어느 하나의 항에 있어서, 상기 제1 물질은 절연체인 것을 특징으로 하는 공정.

### 청구항 8

제7항에 있어서, 상기 제1 물질은 석영인 것을 특징으로 하는 공정.

### 청구항 9

제8항에 있어서, 상기 제2 물질은 실리콘인 것을 특징으로 하는 공정.

### 청구항 10

제1항 내지 제6항 중 어느 하나의 항에 있어서, 상기 제1 물질은 반도체인 것을 특징으로 하는 공정.

**청구항 11**

제10항에 있어서, 상기 제1 물질은 실리콘인 것을 특징으로 하는 공정.

**청구항 12**

제11항에 있어서, 상기 제2 물질은 게르마늄인 것을 특징으로 하는 공정.

**청구항 13**

제1항 내지 제12항 중 어느 하나의 항에 있어서, 상기 열처리하는 상기 전이되는 박막(22) 내에서 상기 제1 물질 및 상기 제2 물질의 열팽창 계수들 사이의 차이에 기인하는 수용할 만한 수준의 결함들을 생성할 수 있는 것을 특징으로 하는 공정.

**명세서**

**기술분야**

- <1> 본 발명은 일반적으로 물질들의 제조에 관련되고 특히 상세하게는 극소 전자공학, 광전자 공학, 광학 또는 포토닉스에서 사용하기 위한 헤테로 기관 (heterosubstrate)들의 제조에 관련된다.
- <2> 더욱 상세하게는, 본 발명은 적어도 하나의 서포트(support) 및 하나 또는 그 이상의 박막들로 구성되는 헤테로 기관을 제조하기 위한 새로운 공정에 관련되는데, 그 내에 사용되는 물질들 및 그들의 열적 특성들은 다를 수 있다.

**배경 기술**

- <3> 이러한 타입의 공정들은 이미 알려져 있다.
- <4> 이렇게, 본딩 기술들, 특히 분자 접착(이하에서는 “다이렉트 본딩”으로 불리는) 기술들을 사용하여 헤테로 기관들을 제조하는 것이 알려져 있다.
- <5> 본딩 단계를 사용하는 알려진 공정들의 비제한적인 예시들은 Besoi®, Eltran® 또는 Smart Cut® 타입의 공정들을 포함한다.
- <6> 일반적으로, 헤테로 기관들을 제조하는 상황(context), 상기 공정들은 적어도 다음의 단계들을 포함한다:
- <7> a) 서포트 기관 상에 있는 유용한 막을 가지고, 전체의 어셈블리가 헤테로 구조를 형성하도록, 일반적으로 비유사한 물질들로 구성된 두 개의 일반적인 벌크 기관들을 접촉함으로써 본딩하는 단계;
- <8> b) 상기 계면의 취약점을 감소시키도록 고온 열처리를 적용함으로써 - 따라서 상기 유용한 막의 기계적 및/또는 전기적 특성의 손상 및 디라미네이션(delamination)의 문제점들이 회피되거나 또는 가장 최소로 제한된다 - 두 기관들 사이의 본딩 계면을 강화하는 단계;
- <9> c) 박막을 구성하기 위해 상기 서포트 기관 상에 위치하는 상기 유용한 막의 두께를 감소시키는 단계;
- <10> 그러한 단계들은 예를 들어, c)단계에서 희생 산화와 같은 다양한 옵션들과 함께 사용될 수 있거나 또는 순서를 다르게 하여, 특히 b)단계와 c)단계를 바꾸어 사용될 수 있다.
- <11> 더욱이, 이러한 단계들의 어떠한 단계들은 공정의 일반적인 최적화를 위해 결합될 수 있다(처리들의 누적적인 지속시간, 핸들링과 관련된 누적적인 지속시간 등)
- <12> 예를 들어, 본딩 막을 안정화하기 위한 열처리(단계 b)는 얇게 하는 단계(단계 c)와 상기 열처리를 결합하여 적용될 수 있다.(미국 특허 6403450을 참조)
- <13> 그러나 다른 특성들, 예를 들어 다른 열팽창 계수들을 가지는 물질들과 함께 헤테로 기관들을 제조하는 상황 내에서, 제조(계면 강화, 박막화 등)하는 동안 합성(composite) 기관이 받는 열처리들은 높은 기계적 응력들을 유발한다.
- <14> 그러한 응력들은 하나 또는 모두의 처리되는 기관들의 취화(embrittlement)를 그리고 게다가 어떠한 경우들에서는 크래킹(cracking) 또는 심지어는 프랙처링(fracturing)을 유발할 수 있다.

- <15> 이러한 응력들은 또한 처리되는 기판(들)의 들이킬 수 없는 소성 변형을 유발할 수 있다.
- <16> 특히, 전위들 및/또는 슬립면들 및/또는 다른 결정 결함들이 나타날 수 있다.
- <17> 문제점들이 통상적으로 발생하는 온도들은 다음에 의존한다고 또한 알려져 있다:
- <18> · 열처리가 적용되는 동안 합성 구조에 의해 저장되는 기계적 에너지;
- <19> · 합성 구조를 구성하는 물질들의 열팽창 계수들 사이의 차이; 및
- <20> · 사용되는 기판들의 두께.
- <21> 따라서, Smart Cut® 타입의 공정에 의해 헤테로 기판들을 제조하는 상황 내에서, 그러한 문제점들은 실제적인 제한들을 구성한다.
- <22> 더욱 상세하게는, 온도에 관하여 가능한 최대 수준들이 감소하므로, 열처리들을 적용하는 것은 효율성이 부족하여 어렵게 된다.
- <23> 예를 들어, 총망라한 것이 아니라, 약 1050-1000°C에서 계면을 강화하기 위한 열처리는, 이러한 타입의 열처리에서 일반적으로 사용되는 온도 수준들이 앞에서 언급한 문제점들에 관해서 너무 높기 때문에, 유용한 막이 500 Å 두께를 가지는 헤테로 구조의 경우에서 적용하기 어려울 수 있다.
- <24> 더욱이, 추가적인 열 공급 없이 헤테로 기판의 본딩 계면의 강화를 개선하기 위한 해결책이 알려져 있다.
- <25> "플라즈마 본딩"으로 알려져 있는 제1 제안은 소정의 강화 열처리에 대한 본딩 에너지를 증가시키기 위해 접합(bond)되는 표면에 어떠한 처리들을 적용하는 것에 있다.
- <26> 이러한 방법으로, 합성 구조에서 계면의 적절한 강화 및 본딩을 유지하면서, 기판이 받는 열응력들이 완화된다.
- <27> 그러나, 이러한 제안은 특별한 장치를 요구하고 따라서 경제적인 관점에서는 그 매력을 제한한다.
- <28> 제2의 알려진 해결책은 유택틱(eutectic) 본딩을 수행하는 것에 있다: 열처리에 의해 두 기판들을 접합하는 것을 쉽게 하도록 금속의 (Au<sub>2</sub>Si<sub>3</sub>)막이 접합되는 두 기판들 사이에 개재되어, 온도 수준들을 비교적 낮게 유지할 수 있다.
- <29> 따라서 이러한 해결책은 헤테로 기판의 계면을 강화하는 동안 처리에서 열응력들을 완화할 수 있는 이점을 제공한다.
- <30> 그러나, 계면에서 상기 금속 막의 존재는 제조 공정에서 후속의 단계들 동안 허용되는 최대 온도들을 제한하는데, 상기 후속의 단계들에서 지나치게 높은 온도 수준들은 실제로 막의 용융을 유발할 수 있다. 더욱이, 이러한 해결책은 이러한 금속 막을 개재하는 추가적인 단계를 필요로 한다.
- <31> 본 발명의 하나의 목적은 상기 문제점들을 극복하는 것이다.

**발명의 상세한 설명**

- <32> 이러한 목적을 위해, 본 발명은 극소 전자공학, 광전자 공학, 광학 등에서 어플리케이션들을 위한 적어도 하나의 반도체 물질을 포함하는 구조를 제조하는 공정을 제공하는데, 상기 공정은 제1 물질로 구성되는 서포트 상으로 상기 제1 물질과는 다른 제2 물질로 구성되는 단결정 박막을 전이하는 단계와, 그리고 상기 박막과 상기 서포트 사이의 본딩 계면을 적어도 강화하기 위한 소정의 열처리 단계를 포함하고, 상기 제1 물질 및 상기 제2 물질의 열팽창 계수들 사이의 차이에 따라 그리고 상기 열처리에 의해 서포트 및 전이되는 박막을 포함하는 어셈블리 상에 미치는 응력들이 상기 어셈블리에 영향을 미치지 않는(intact) 상기 소정의 열처리의 인자들에 따라 상기 박막의 두께가 선택되고, 상기 공정은 단결정 상태인 상기 제2 물질의 추가적인 두께의 막을 상기 박막 상에 증착하는 추가적인 단계를 포함하는 것을 특징으로 한다.
- <33> 본 발명에 따른 공정의 다른 바람직한, 그러나 비제한적인, 측면들은 다음과 같다:
- <34> \* 상기 전이되는 박막의 두께는 약 100과 300Å 사이이고, 바람직하게는 150과 250Å 사이이다;
- <35> \* 상기 전이되는 박막 상에 증착되는 막의 두께가 1000과 5000Å 사이이다;
- <36> \* 상기 제2 물질의 상기 박막을 전이하는 단계는 종들의 주입에 의해 도너 웨이퍼 내에 전이되는 상기 박막의 경계를 가지는 취약 영역을 생성하는 단계, 상기 도너 웨이퍼를 상기 서포트에 접촉시키는 단계 및 상기 접촉

단계 이후에 상기 도너 웨이퍼의 나머지에서 상기 박막의 분리를 유도할 수 있는 응력들을 인가하는 단계로 구성되는 부단계들을 포함한다;

- <37> 상기 공정은 상기 막을 증착하기 위해, 분리 이후에, 상기 박막의 자유 표면을 준비하는 추가적인 단계를 포함한다;
- <38> \* 상기 증착 단계는 에피택시에 의해 수행된다;
- <39> \* 상기 제1 물질은 절연체이다;
- <40> \* 상기 제2 물질은 실리콘임에 반해, 상기 제1 물질은 석영이다;
- <41> \* 상기 제1 물질은 반도체이다;
- <42> \* 상기 제2 물질은 게르마늄임에 반해, 상기 제1 물질은 실리콘이다; 그리고
- <43> \* 상기 열처리하는 상기 전이되는 박막 내에서 상기 제1 물질 및 상기 제2 물질의 열팽창 계수들 사이의 차이에 기인하는 수용할 만한 수준의 결함들을 생성할 수 있다.

**실시예**

- <45> 본 발명의 다른 측면들, 목적들 및 이점들은 첨부된 도면들을 참조하여 다음의 비제한적인 예시의 방법으로 주어진 본 발명의 바람직한 실시예들의 상세한 설명을 읽으면 더욱 분명해질 것이고, 상기 도면들에서 도 1a 내지 도 1d는 본 발명의 바람직한 공정의 주요한 단계들을 개요적으로 도해한다.
- <46> 도면들에서 도시된 치수들, 특히 상대적인 두께는 명확성을 위해 선택되어 지고 물체의 실체를 도해하는 것이 아니라는 것을 여기에서 주의해야 할 것이다.
- <47> 우선 도 1a를 참조하면, 이것은 서포트(10) 및 도너 웨이퍼(20)를 도시하는데, 취약 영역(21)은 예를 들어 웨이퍼의 일면(20a)을 관통하여 이온 주입됨으로써 도너 웨이퍼(20) 내에 형성되고, 상기 영역은 서포트(10) 상으로 전이되는 웨이퍼(20)의 영역(22)의 경계를 특징짓는다.
- <48> 도 1b에서는, 서포트(10) 및 웨이퍼(20)가 다이렉트 본딩에 의해 결합되고 접합되는데, 산화막 또는 질화막과 같은 본딩 계면 막(미도시)은 상기 서포트 및/또는 상기 웨이퍼 상에 선택적으로 형성된다. 본딩 계면이 기준선(12)에 의해 표시된다.
- <49> 그 다음에 어셈블리는, 한편으로는 상기 취약 영역을 따라 웨이퍼(20)의 나머지에서 영역(22)을 분리하기 위해서, 또 다른 한편으로는 앞에서 지적한 것처럼 서포트(10)와 분리된 영역(22)에 의해 새롭게 형성된 박막 사이의 본딩 계면을 강화하기 위해, 하나 또는 그 이상의 단계들에서 열처리를 받는다. 이렇게 하여 형성된 구조가 도 1c에서 도해된다.
- <50> 상기 단계들은 출원인에 의해 이용되는 Smart Cut® 공정에 일반적으로 해당한다.
- <51> 본 발명은 서포트(10)의 물질과 박막(22)의 물질이 서로 충분히 다른 열팽창 계수를 가지는 경우들에 대해 상정된 것이고, 따라서 전술한 열처리하는 선택적인 본딩 계면 막들을 가지고 서포트(10)와 박막(22)으로 구성되는 구조에 일부 열화를 초래하지 않고서는 수행될 수 없다.
- <52> 본 발명에 따르면, 앞에서 설명한 열처리들이 상기 구조에 본질적으로 영향을 미치지 않게 두도록, 전이된 막(22)의 두께 e1에 대하여 낮은 값이 선택된다; 즉, 막(22)의 두께는 상기 막(22)에 예를 들어, 전위들, 원자 먼들의 슬립, 크랙들 등에 의해 기인하는 바람직 하지 않은 소성 변형 또는 어떠한 파괴를 유발하지 않도록 충분히 작게 선택된다.
- <53> 그 다음에 막(22)의 자유 표면은 그 상에 증착되는 동일한 물질의 막을 위해 준비된다. 이러한 준비는 화학-기계적 폴리싱, 희생 산화, RTA(급속 열적 어닐링), 후속의 퍼니스 어닐링 등을 포함할 수 있고, 여기에서의 목적은 충분히 낮은 거칠기의 표면으로 끝나는 것이다.
- <54> 도 1d에서 도해되는, 공정의 다음 단계는 에피택시에 의해 e2의 두께를 가지고 동일한 물질로 구성된 막(22')을 증착하기 위해 막(22)을 사용하여 시드 막으로서 준비되는 단계 및 막들(22 및 22')을 구성하는 물질의 전체 막(유용한 막, 220)의 두께를 소정의 값까지 증가시키는 단계로 구성된다. 에피택시는 훌륭한 결정질 수준을 얻을 수 있도록 허용한다.

<55> 상기 전이되는 막(22)의 두께 e1의 선택은 도 1c에서 도시된 중간 헤테로 구조 내의, 그리고 특히 전이된 막(22)내의, 전위들 또는 슬립 면들의 어떠한 밀도가 존재하도록 선택된다는 것이 여기에서 지적되어야 한다. 실제로, 막(22')의 에피택셜 성장 후의, 그러한 결함들은 상기 유용한 막(220)의 깊이 방향으로 매립되고 관통하는 결함들(through-defects)이 아니다.

<56> 또한 막(22')의 에피택셜 증착에 의해 두껍게 하는 단계는 Smart Cut® 타입의 기술을 사용하여 가능한 두께보다 훨씬 더 큰 두께를 전이하는 것을 결국 가능하게 한다는 것을 인지하게 되는데, 여기에서 상기 Smart Cut® 타입의 기술은 주입의 가능한 깊이에 의해 본질적으로 제한되기 때문이다.

<57> 예 1

<58> 이러한 제1예의 목적은 극소 전자공학 어플리케이션들을 위한 500에서 2000Å에 도달할 수 있는 두께 또는 CCD(전하 결합 소자) 어플리케이션들과 같은 다른 어플리케이션들을 위한 더 높은 두께를 가지는 단결정 실리콘의 막으로 코팅된 석영 서포트, 예를 들어 1.2mm의 두께를 가지는 석영 서포트로 구성된 구조를 제조하는 것이다.

<59> Smart Cut 공정을 사용하여 석영 서포트 상으로 전이되는 얇은 실리콘 막으로 구성되는 구조에서 그 이상의 온도에서 과도한 소성 변형이(전위들, 슬립 면들 등에 의해) 발생하는 임계 온도는 다음과 같이 전이되는 막의 두께에 의존한다는 것이 실험에 의해 설명된다:

<60> 막(22)의 두께      임계 온도

<61>            2000Å            750℃

<62>            500Å            950℃

<63>            200Å            1100℃

<64> 본 예에서, 200Å의 두께를 가지는 단결정 실리콘 막(22)이 석영 서포트(10)로 전이되는데, 이러한 전이는 약 2시간의 시간동안 1050℃에서의 열처리에 의해 본딩 계면을 강화하는 것을 포함한다. 막(22)의 제한된 두께 때문에, 이러한 열처리에 의해 상기 구조는 해가 되는 열화(크랙킹 또는 프랙처)를 받지 않는다. 그 다음에 소정의 두께로 단결정의 유용한 막을 제조하기 위한 실리콘 보완물(complement)의 에피택셜 증착을 위해 박막(22)의 자유 표면이 준비된다. 이러한 에피택시는 막(22')을 형성하기 위하여 수행되고, 또한 어플리케이션에 널리 의존하여 변할 수 있는 두께를 가지면서 단결정 실리콘으로 구성된다.

<65> 따라서, 극소 전자공학 어플리케이션에서, 결국 1000에서 2000Å의 상기 유용한 막의 두께를 가질 수 있도록 막(22')의 두께는 예를 들어 약 800에서 1800Å까지이다.

<66> CCD 어플리케이션들에서, 바람직한 전체 두께는 일반적으로 5에서 10μm이다.

<67> 예 2

<68> 이 예의 목적은, 예를 들어, 광기전성 구성요소들에서의 어플리케이션을 위해, 실리콘(단결정 또는 다결정 실리콘)으로 구성되는 서포트 및 단결정 게르마늄으로 구성되는 두꺼운 유용한 막을 포함하는 절연체 상의 반도체 구조를 제조하는 것이다.

<69> 도너 웨이퍼에서 얇은 게르마늄 막(22)을 분리하기 위해 그리고 실리콘 서포트(10)와 본딩 계면을 강화하기 위해 필요한 열처리들이 결정된다.

<70> 일반적으로, 이러한 처리들은 약 수 분에서 두 시간까지의 시간동안 약 300에서 400℃의 온도에서 분리 단계, 그리고 그 다음에 약 500에서 800℃의 온도에서 약 1시간의 시간 동안 본딩 계면 강화 단계를 포함한다.

<71> 다음에, 약 200Å를 초과하지 않는 박막(22)의 두께가 상기 박막의 열화 없이 이러한 열처리들이 상기 구조에 적용되는 것을 허용하는지 여부가 실험적으로 결정된다.

<72> 다음에, 화학적-기계적 폴리싱 단계와 같은, 에피택시에 대한 예비적인 처리가 박막(22) 상에 수행된 이후에, 그 다음에 단결정 게르마늄 막(22')이 결정 구조의 측면에서 막(22)과 연속성을 가지고 증착되고, 따라서 막(22)을 두껍게 한다. 본 예에서, 이러한 막(22')은, 전부 5000Å 또는 그 이상의(3μm 까지) 두께를 가지는 단결정의 유용한 게르마늄 막을 형성하도록, 약 700℃의 온도에서 4800Å의 두께를 가지고 증착된다.

<73> 물론, 본 발명은 결코 설명된 실시예들에 한정되지 않으며 당업자는 실시예들에 다양한 변형들을 행하는 방법을 알고 있을 것이다. 본 발명은, 적어도 하나의 반도체 물질을 포함하고, 그 내에 부가되는 막이 본질적인 출발

데이터, 즉 적용되는 열처리 및 두 물질들의 열팽창 계수 사이의 차이,에 의해 허용되는 두께보다 더 큰 두께를 가지는 헤테로 구조를 제조하는 것이 요망되는 경우에는 언제나 적용될 수 있다. InP-on-Si 및 GaAs-on-Si 구조들이 본질적으로 언급될 수 있다.

<74> 전이되는 박막이 인장 또는 압축되어 변형될 수 있고, 증착에 의해 제공되는 추가적인 두께를 가지는 물질이 이러한 변형을 유지한다는 것이 또한 지적될 수 있다. 이것은 유지되도록 요망되는 변형의 수준에 의존하여, 수십 나노미터 또는 수백 나노미터에 이르기까지의 두께에 걸쳐 상기 변형들이 제공되면서, 두꺼운 변형된 막들이 제조되는 것을 허용한다.

**산업상 이용 가능성**

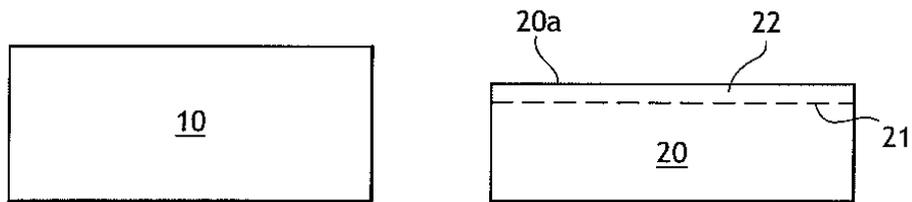
<75> 본 발명에 따르면 그 내에 사용되는 물질들 및 그들의 열적 특성들이 다를 수 있는 하나 또는 그 이상의 박막들 및 적어도 하나의 서포트(support)로 구성되는 헤테로 기판을 제조할 수 있다.

**도면의 간단한 설명**

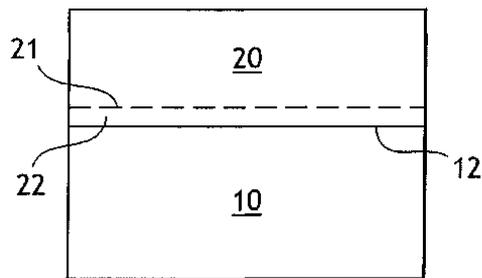
<44> 도 1a 내지 도 1d는 본 발명의 바람직한 공정의 주요한 단계들을 개요적으로 도해하는 도면들이다.

**도면**

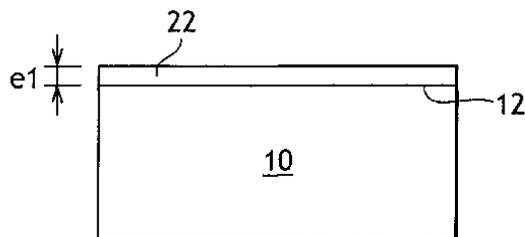
**도면1a**



**도면1b**



**도면1c**



도면1d

