

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-128323

(P2010-128323A)

(43) 公開日 平成22年6月10日(2010.6.10)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO9F 9/30 (2006.01)	GO9F 9/30 338	5C094
HO1L 29/786 (2006.01)	GO9F 9/30 336	5F033
HO1L 21/768 (2006.01)	HO1L 29/78 612C	5F110
HO1L 21/3205 (2006.01)	HO1L 29/78 616U	

審査請求 未請求 請求項の数 8 O L (全 27 頁) 最終頁に続く

(21) 出願番号 特願2008-304732 (P2008-304732)
 (22) 出願日 平成20年11月28日 (2008.11.28)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (72) 発明者 原 猛
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 近間 義雅
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 中川 興史
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

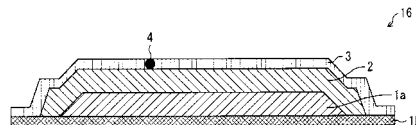
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板及び液晶表示装置

(57) 【要約】

【課題】 アクティブマトリクス基板における配線と電極端子との接続部において、電極端子に欠陥が生じた場合でも、配線に含まれる金属が腐食することがない構成を提供する。

【解決手段】 本発明のアクティブマトリクス基板は、接続部16を備えたアクティブマトリクス基板であって、上記接続部16は、第1の金属層1bと、上記第1の金属層1bの上に、上記第1の金属層1bの幅より狭く積層された第2の金属層1aと、上記第2の金属層1aの上に、上記第2の金属層1aを完全に覆い、かつ上記第1の金属層1bの幅より狭く積層された保護部2と、上記保護部2の上に、上記保護部2を完全に覆い、かつ上記第1の金属層1bに接触するように積層された電極端子3とを備えているので、電極端子3に欠陥部4が生じた場合でも、配線に含まれる金属が腐食することがない。



【選択図】 図1

【特許請求の範囲】**【請求項 1】**

接続部を備えたアクティブマトリクス基板であって、
上記接続部は、

第 1 の金属層と、

上記第 1 の金属層の上に、上記第 1 の金属層の幅より狭く積層された第 2 の金属層と

、
上記第 2 の金属層の上に、上記第 2 の金属層を完全に覆い、かつ上記第 1 の金属層の幅より狭く積層された保護層と、

上記保護層の上に、上記保護層を完全に覆い、かつ上記第 1 の金属層に接触するように積層された電極層とを備えていることを特徴とするアクティブマトリクス基板。

10

【請求項 2】

上記第 2 の金属層が、銅又は銅合金を含んでいることを特徴とする請求項 1 に記載のアクティブマトリクス基板。

【請求項 3】

上記第 1 の金属層が、チタン、タンタル、モリブデン、及びこれらの合金からなる群より選択される少なくとも 1 つを含んでいることを特徴とする請求項 1 又は 2 に記載のアクティブマトリクス基板。

【請求項 4】

上記第 1 の金属層と上記第 2 の金属層とが走査配線を構成していることを特徴とする請求項 1 ~ 3 の何れか 1 項に記載のアクティブマトリクス基板。

20

【請求項 5】

上記第 1 の金属層と上記第 2 の金属層とが信号配線を構成しており、

上記電極層が走査配線に接続されていることを特徴とする請求項 1 ~ 3 の何れか 1 項に記載のアクティブマトリクス基板。

【請求項 6】

上記第 1 の金属層と上記第 2 の金属層とがドレイン電極を構成していることを特徴とする請求項 1 ~ 3 の何れか 1 項に記載のアクティブマトリクス基板。

【請求項 7】

上記第 1 の金属層と上記第 2 の金属層とが、基板に対して垂直方向に開口された開口部を有していることを特徴とする請求項 1 ~ 6 の何れか 1 項に記載のアクティブマトリクス基板。

30

【請求項 8】

請求項 1 ~ 7 の何れか 1 項に記載のアクティブマトリクス基板を備えていることを特徴とする液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、アクティブマトリクス基板を備える液晶表示装置に関するものである。

【背景技術】

40

【0002】

近年、液晶表示装置は、C R T (Cathode-Ray-Tube) に比べて消費電力が少なく、小型化がしやすいため、急速に普及しつつある。これらの液晶表示装置の中でも、応答速度が速く、多階調表示が容易なアクティブマトリクス型の液晶表示装置が広く使用されている。

【0003】

アクティブマトリクス型の液晶表示装置は、多数の画素がマトリクス状に配列されたアクティブマトリクス基板と、これに対向するように配置された対向基板とを備えており、さらにこれら 2 つの基板の間に表示媒体である液晶層が挟持された構造を有している。アクティブマトリクス基板には、複数の走査配線と複数の信号配線とが交差するように配置

50

されており、その交差部近傍に T F T を有する画素部が形成されている。

【 0 0 0 4 】

従来のアクティブマトリクス基板においては、配線の抵抗が大きいことにより電圧降下、画素への信号の書き込み不良、階調不良などを引き起こしたり、配線に用いられる金属が腐食することにより配線が断線したりするといった問題があった。

【 0 0 0 5 】

これらの問題点を解決するために、特許文献 1 には、抵抗が小さい銅を配線の材料として用いて、配線を、導電膜と、導電性バリア膜と、銅を主成分とする導電膜との 3 層構造とする表示装置が提案されている。また、特許文献 2 には、アクティブマトリクス基板における端子部において、金属配線の腐食を防止するために、金属配線を被覆する透明導電膜を異方性導電フィルムによって保護し、さらに透明導電膜を保護しない部分における金属配線を除去する構成が提案されている。さらにまた、特許文献 3 には、銅とチタンとの積層構造である配線を用いる構成が提案されている。

【特許文献 1】特開 2 0 0 4 - 1 3 9 0 5 7 号公報 (2 0 0 4 年 5 月 1 3 日公開)

【特許文献 2】特開平 8 - 6 0 5 9 号公報 (1 9 9 6 年 1 月 1 2 日公開)

【特許文献 3】特開 2 0 0 4 - 1 3 3 4 2 2 号公報 (2 0 0 4 年 4 月 3 0 日公開)

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかしながら、上記特許文献 1 においては、異なる層に形成された配線と電極端子との間の接続方法については記載されていない。したがって、配線と電極端子との接続部において、電極端子に欠陥が生じた場合には、配線に用いる金属が腐食し断線する等の問題が発生する可能性が残されている。

【 0 0 0 7 】

また、上記特許文献 2 においては、金属配線と透明導電膜との接触面積が小さくなるため、透明導電膜に欠陥が生じた場合に、その欠陥部と金属配線とが接触している確率は小さくなるが、全くないわけではない。すなわち、金属配線と透明導電膜とは接触しているため、透明導電膜に欠陥が生じた場合には、その欠陥部と接触している金属配線が腐食し断線する等の問題が発生する可能性が残されている。

【 0 0 0 8 】

さらにまた、上記特許文献 3 においては、ゲートパッド、データパッドなどの端子部において、配線に用いる銅と電極端子とが接触している。したがって、銅は腐食しやすいため、当該電極端子に欠陥が生じた場合には、銅が腐食し、配線が断線する等の問題が発生する。

【 0 0 0 9 】

本発明は、上述した問題点に鑑みてなされたものであり、アクティブマトリクス基板における配線と電極端子との接続部において、電極端子に欠陥が生じた場合でも、配線に含まれる金属が腐食することがない構成を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 0 】

本発明に係るアクティブマトリクス基板は、上記課題を解決するために、接続部を備えたアクティブマトリクス基板であって、上記接続部は、第 1 の金属層と、上記第 1 の金属層の上に、上記第 1 の金属層の幅より狭く積層された第 2 の金属層と、上記第 2 の金属層の上に、上記第 2 の金属層を完全に覆い、かつ上記第 1 の金属層の幅より狭く積層された保護層と、上記保護層の上に、上記保護層を完全に覆い、かつ上記第 1 の金属層に接触するように積層された電極層とを備えていることを特徴とする。

【 0 0 1 1 】

上記の構成であれば、アクティブマトリクス基板が備える接続部における第 2 の金属層と電極層とが保護層により隔てられて接触しないので、電極層に欠陥が生じた場合に、第 2 の金属層が露出することはない。第 2 の金属層には、例えば銅などの腐食し易い金属を

10

20

30

40

50

用いることがあるが、このような場合でも、電極層の欠陥などによって第2の金属層に含まれる金属が腐食することがない。

【0012】

また、本発明のアクティブマトリクス基板において、上記第2の金属層が、銅又は銅合金を含んでいることが好ましい。

【0013】

上記の構成であれば、銅又は銅合金は抵抗が低いため、第2の金属層を含む配線の抵抗を低くすることができる。

【0014】

また、本発明のアクティブマトリクス基板において、上記第1の金属層が、チタン、タンタル、モリブデン、及びこれらの合金からなる群より選択される少なくとも1つを含んでいることが好ましい。

10

【0015】

上記の構成であれば、上記の金属は腐食しにくいため、第1の金属層と接触する電極端子に欠陥が生じて、第1の金属層に含まれる金属が腐食する心配がない。

【0016】

また、本発明のアクティブマトリクス基板では、上記第1の金属層と上記第2の金属層とが走査配線を構成していることが好ましい。

【0017】

上記の構成であれば、アクティブマトリクス基板における端子部を作製できる。

20

【0018】

また、本発明のアクティブマトリクス基板では、上記第1の金属層と上記第2の金属層とが信号配線を構成しており、上記電極層が走査配線に接続されていることが好ましい。

【0019】

上記の構成であれば、アクティブマトリクス基板における配線接続部を作製できる。

【0020】

また、本発明のアクティブマトリクス基板では、上記第1の金属層と上記第2の金属層とがドレイン電極を構成していることが好ましい。

【0021】

上記の構成であれば、アクティブマトリクス基板における画素電極/ドレイン電極接続部を作製できる。

30

【0022】

また、本発明のアクティブマトリクス基板では、上記第1の金属層と上記第2の金属層とが、基板に対して垂直方向に開口された開口部を有していることが好ましい。

【0023】

上記の構成であれば、上記の金属層に開口部を有しているため、金属層に含まれる金属が腐食したとしても、腐食が広がることを抑制することができる。

【0024】

本発明の液晶表示装置は、上記の何れかのアクティブマトリクス基板を備えていることを特徴としている。したがって、配線が金属の腐食により断線したりすることがない、高品質の液晶表示装置を実現することができる。

40

【発明の効果】

【0025】

本発明に係るアクティブマトリクス基板は、以上のように、接続部を備えており、上記接続部は、第1の金属層と、上記第1の金属層の上に、上記第1の金属層の幅より狭く積層された第2の金属層と、上記第2の金属層の上に、上記第2の金属層を完全に覆い、かつ上記第1の金属層の幅より狭く積層された保護層と、上記保護層の上に、上記保護層を完全に覆い、かつ上記第1の金属層に接触するように積層された電極層とを備えているため、接続部において電極層に欠陥が生じた場合でも、第2の金属層に含まれる金属が腐食することがない。

50

【発明を実施するための最良の形態】

【0026】

〔第1の実施形態〕

本発明に係る液晶表示装置の第1の実施形態について、以下に説明する。

【0027】

本実施形態では、アクティブマトリクス型の液晶表示装置について説明する。

【0028】

本実施形態に係る液晶表示装置は、アクティブマトリクス基板10と、対向基板11とが、液晶層(図示せず)を挟んで張り合わせられて形成されている。

【0029】

アクティブマトリクス基板10の全体像について、図2を参照して説明する。図2は、本実施形態におけるアクティブマトリクス基板10を示す平面図である。

【0030】

アクティブマトリクス基板10は、図2に示すように、画素電極がマトリクス状に配置されており、観察者に視認される画像を表示する表示領域21と、表示領域の外側に設けられ、観察者に画像が視認されない非表示領域とに分けられる。当該非表示領域には、走査配線102が外部の信号を受けるための走査配線端子部22、信号配線106が外部の信号を受けるための信号配線端子部23などの端子部12と、配線等の接続のために使用される配線接続部14とが形成されている。

【0031】

また、アクティブマトリクス基板10の配線構造について、図3を参照して説明する。図3は、本実施形態におけるアクティブマトリクス基板10の配線構造を示す模式図である。

【0032】

図3に示すように、アクティブマトリクス基板10には、複数の走査配線102と複数の信号配線106とが交差するように配置されており、その交差部近傍にTF T 26を有する画素部が形成されている。各TF T 26に対応して、ドレイン電極107と、画素電極となる透明電極110とが設けられ、これらは電氣的に接続されて画素電極/ドレイン電極接続部13を形成している。また、画素電極との間に補助容量を形成するための補助容量配線25が設けられている。

【0033】

上記端子部12、画素電極/ドレイン電極接続部13、及び配線接続部14は、アクティブマトリクス基板10の外部に電氣的に接続される接続部16により構成される。

【0034】

本実施形態における接続部16の共通概念について、図1を参照して以下に説明する。図1は、本実施形態における接続部16を簡略化した断面図を示す。

【0035】

本実施形態における接続部16は、図1に示すように、第1の金属層1bと、第2の金属層1aと、保護部(保護層)2と、電極端子(電極層)3とを備えている。第1の金属層1bと第2の金属層1aとは、積層されて2層構造として形成され、1つの配線又は電極を構成している。図1に示すように、第2の金属層1aは、第1の金属層1bの幅よりも小さい幅にて形成され、さらに保護部2によって完全に覆われている。電極端子3は、第1の金属層1bと接触して電氣的に接続されるが、第2の金属層1aとは、保護部2により隔てられている。

【0036】

なお、本発明における第1の金属層1bの材料としては、特に限定されないが、腐食しにくい金属を用いることが好ましく、例えばチタン(Ti)、タンタル(Ta)、モリブデン(Mo)、又はこれらの合金などを用いることができる。このような構成であれば、電極端子3の、第1の金属層1bと接触している部分に欠陥が生じても、第1の金属層1bに含まれる金属が腐食する心配はない。

10

20

30

40

50

【0037】

また、本発明における第2の金属層1aには、どんな金属をも用いることができる。例えば銅(Cu)、Cu合金、アルミニウム(Al)などが挙げられ、Cu、Cu合金などが好ましい。Cu又はCu合金であれば、抵抗が小さいため、第2の金属層1aを含む配線又は電極の抵抗を小さくすることができる。

【0038】

Cuは、大気中において腐食しやすいという欠点を有しているが、第2の金属層1aの材料としてCu又はCu合金を用いた場合にも、本発明の構成であれば、図1に示すように、第2の金属層1aは保護部2により完全に覆われているため、大気に接触していないので、腐食する恐れがない。

10

【0039】

また接続部16における電極端子3は、外部との電氣的なやりとりを行うためにアクティブマトリクス基板10の表面に露出し、外部端子と接続され得る。従って、電極端子3には、図1に示すような欠陥部4が生じる可能性がある。しかし、本実施形態の電極端子3と第2の金属層1aとは、保護部2により隔てられており接触していないので、電極端子3に欠陥部4のような欠陥が生じても第2の金属層1aが大気中に露出することはない。従って本発明の構成であれば、第2の金属層1aの材料に腐食しやすい金属を用いた場合にも、該金属の腐食を防止することができる。

【0040】

ここで、比較のために、従来のアクティブマトリクス基板における接続部316について、図19を参照して以下に説明する。当該接続部316は、アクティブマトリクス基板の非表示領域に設けられる端子315に設けられている。図19は、従来のアクティブマトリクス基板における端子315の平面図と、端子315が有する接続部316の断面図とを示す図である。

20

【0041】

端子315は、アクティブマトリクス基板の非表示領域において、外部と電氣的なやりとりを行うために形成され、接続部316を有している。接続部316は、配線又は電極を構成する金属層301と、保護部302と、電極端子303とを備えている。図19に示すように、従来の接続部316においては、金属層301と電極端子303とが接触して形成されている。従って、電極端子303に図19に示すような欠陥部304が生じた際には、金属層301が大気中に露出することにより、あるいは欠陥部304から水分が浸入することにより、欠陥部304を起点として、金属層301に含まれる金属が腐食する。特に金属層301が、Cuなどの腐食しやすい金属を含む場合には、図19の右下の図に示すように、該金属の腐食が進行し、金属層301により構成される配線又は電極が断線を起こす。しかし、本発明の構成であれば、このような金属の腐食の可能性が非常に低いので、配線及び電極が断線する恐れがない。

30

【0042】

本実施形態における接続部16の作製方法について、以下に説明する。本実施形態における接続部16は、アクティブマトリクス基板10を製造する工程を流用して作られる。そこでまず、以下に本実施形態におけるアクティブマトリクス基板10の製造工程について説明する。

40

【0043】

なお、本実施形態の接続部16における第1の金属層1b及び第2の金属層1aは、該接続部16が形成される場所によって、後述する、下層走査配線102b及び上層走査配線102aからなる走査配線、下層信号配線106b及び上層信号配線106aからなる信号配線、又は、下層ドレイン電極107b及び上層ドレイン電極107aからなるドレイン電極を構成している。従って、接続部16の第1の金属層1bは、下層走査配線102b、下層信号配線106b又は下層ドレイン電極107bの何れかに相当し、第2の金属層1aは、上層走査配線102a、上層信号配線106a又は上層ドレイン電極107aの何れかに相当している。

50

【0044】

本実施形態においては、第1の金属層1bにTi、第2の金属層1aにCuを用いた場合を例にして説明する。

【0045】

(アクティブマトリクス基板10の製造工程)

本実施形態におけるアクティブマトリクス基板10は、5回のフォトリソグラフィ工程によって製造される。

【0046】

ここで、図4(a)~図4(e)を参照しながら、本実施形態のアクティブマトリクス基板10の製造工程を工程順に(1)~(5)に説明する。図4(a)~図4(e)は、第1の実施形態におけるアクティブマトリクス基板10の製造工程を示す断面図であり、各工程が終了した時点での断面構造を示す。また、図4(a)~図4(e)は、アクティブマトリクス基板10のTFT付近の一部分のみを示している。従って、ここでは、TFT付近の製造工程について説明する。

10

【0047】

(1)第1工程

第1工程では、図4(a)に示すように、下層走査配線102bと上層走査配線102aとを備える走査配線を形成する。まず、ガラス101上にスパッタ法により下層走査配線102bとしてTi、及び上層走査配線102aとしてCuを連続して成膜した後に、フォトリソグラフィによりレジストパターンを形成する。その後、後述する方法によりウェットエッチングを行い、下層走査配線102b及び上層走査配線102aのパターンを形成した後、レジストを剥離洗浄する。

20

【0048】

本工程では、特に限定されないが、Tiを30~150nm、Cuを200~500nm成膜することが好ましい。

【0049】

(2)第2工程

第2工程では、図4(b)に示すように、第1の保護層103、チャネル層104及び電極コンタクト層105を形成する。まず、CVD法により、第1の保護層103として窒化シリコン、チャネル層104としてアモルファスシリコン、及び電極コンタクト層105としてn⁺アモルファスシリコンを連続して成膜した後、フォトリソグラフィによりレジストパターンを形成する。その後、ドライエッチングを行い、チャネル層104及び電極コンタクト層105のパターンを形成した後、レジストを剥離洗浄する。

30

【0050】

本工程では、特に限定されないが、第1の保護層103としての窒化シリコンを200~500nm、チャネル層104としてのアモルファスシリコンを30~300nm、電極コンタクト層105としてのn⁺アモルファスシリコンを50~150nm成膜することが好ましい。

【0051】

(3)第3工程

第3工程では、図4(c)に示すように、下層信号配線106bと上層信号配線106aとを備える信号配線、及び下層ドレイン電極107bと上層ドレイン電極107aとを備えるドレイン電極、を形成する。信号配線とドレイン電極とは、同一の層に同時に成膜された後、パターンングによってそれぞれが形成される。

40

【0052】

まず、スパッタ法により下層信号配線106b及び下層ドレイン電極107bとしてTi、上層信号配線106a及び上層ドレイン電極107aとしてCuを連続して成膜した後に、フォトリソグラフィによりレジストパターンを形成する。その後、後述する方法によりウェットエッチングを行い、下層信号配線106b、上層信号配線106a、下層ドレイン電極107b、及び上層ドレイン電極107aそれぞれのパターンを形成する。さ

50

らに、ドライエッチングにより、電極コンタクト層 105 の一部を除去する。その後、レジストを剥離洗浄する。

【0053】

本工程では、特に限定されないが、Ti を 30 ~ 150 nm、Cu を 100 ~ 400 nm 成膜することが好ましい。

【0054】

(4) 第4工程

第4工程では、図4(d)に示すように、第2の保護層108及び層間絶縁膜109を形成する。まず、CVD法により、第2の保護層108として窒化シリコンを成膜する。次いで、層間絶縁膜109として感光性層間絶縁膜材料を成膜した後に、フォトリソグラフィによりパターン形成する。その後、ドライエッチングを行い、第2の保護層108及び層間絶縁膜109のパターンを形成する。

10

【0055】

本工程では、特に限定されないが、第2の保護層108としての窒化シリコンを100 ~ 700 nm 成膜することが好ましい。

【0056】

(5) 第5工程

第5工程では、図4(e)に示すように、透明電極110を形成する。まず、スパッタ法により透明電極110を形成するための膜として酸化インジウムスズ(ITO)または酸化インジウム-酸化亜鉛(IZO)などの透明導電材料を成膜した後に、フォトリソグラフィによりレジストパターンを形成する。その後、ウェットエッチングにより、透明電極110のパターンを形成した後、レジストを剥離洗浄する。

20

【0057】

本工程では、特に限定されないが、透明電極110としての透明導電材料を50 ~ 200 nm 成膜することが好ましい。

【0058】

以上の工程によって、アクティブマトリクス基板10が製造される。ただし、本発明では、上述したような材料や、各層の厚さに必ずしも限定されることはなく、アクティブマトリクス基板の材料として従来から一般的に使用されているものを使用することができる。

30

【0059】

上述した工程にてアクティブマトリクス基板10が製造されるのと同時に、該基板10の所定の位置に、端子部12、画素電極/ドレイン電極接続部13、配線接続部14などを構成する接続部16が形成される。

【0060】

本実施形態の接続部16における第2の金属層1aは、図1に示すように、第1の金属層1bの幅よりも狭い幅にて形成される。つまり、接続部16により構成される端子部12、画素電極/ドレイン電極接続部13、配線接続部14などにおいて、第2の金属層1aに相当する上層走査配線102a、上層信号配線106a又は上層ドレイン電極107aは、第1の金属層1bに相当する下層走査配線102b、下層信号配線106b又は下層ドレイン電極107bの幅よりも狭い幅にて形成される。

40

【0061】

このような構造にするために、本実施形態においては、上述した第1工程及び第3工程におけるウェットエッチングを、以下に説明する方法により行う。

【0062】

本実施形態におけるウェットエッチング方法について、図5(a)~図5(c)を参照して説明する。図5(a)~図5(c)は、第1の実施形態におけるウェットエッチング方法を示す断面図である。なお図5(a)~図5(c)には、第1工程における端子部12の断面図を示す。従って、ここでは端子部12における第1工程のウェットエッチング方法を例にして説明するが、第3工程にてウェットエッチングする際、また他の接続部1

50

6においてウェットエッチングする際にも、同様の方法を用いることができる。

【0063】

図5(a)～図5(c)を参照して、本実施形態におけるウェットエッチング方法について以下(1)～(3)に説明する。

【0064】

(1)第1工程におけるウェットエッチング時には、図5(a)に示すように、ガラス101上に下層走査配線102bとしてTi、及び上層走査配線102aとしてCuが成膜され、フォトリソグラフィによりレジスト111が形成されている。

【0065】

(2)次に、過酸化水素(H₂O₂)とフッ素化合物とを含むエッチャントを用いて、ウェットエッチングを行い、図5(b)に示すように、Ti及びCuを同時にエッチングする。本実施形態においては、H₂O₂濃度が5%以上20%未満、かつフッ素化合物濃度が0.5%以上3%未満であるエッチャントを用いることが好ましい。これにより、Tiよりも早くCuをエッチングさせることができる。その結果、図5(b)に示すように、Cuのシフト量(エッチングレート)をTiのシフト量よりも大きくさせることによって、上層走査配線102aの幅を下層走査配線102bの幅よりも狭く形成させる。

【0066】

なお、本実施形態に用いるエッチャントは、特に限定されないが、H₂O₂とフッ素化合物とを含むものであることが好ましい。このような構成であれば、エッチャントに含まれるH₂O₂の濃度によってCuのシフト量を調節することができ、一方フッ素化合物の濃度によってTiのシフト量を調節することができる。従って、エッチャントに含まれるH₂O₂及びフッ素化合物の濃度を、Cu及びTiの望ましいシフト量に基づいて、適宜調整することが好ましい。

【0067】

(3)続いて、レジスト111を剥離洗浄し、図5(c)に示すような走査配線(102a及び102b)のパターンを完成させる。

【0068】

本実施形態の第3工程においてウェットエッチングする際にも、上述した方法を用いて信号配線及びドレイン電極のパターンを形成する。

【0069】

上述した製造方法を用いることにより、本実施形態の接続部16を作製することができる。ここで、接続部により構成される端子部12、画素電極/ドレイン電極接続部13、及び配線接続部14それぞれの構造について以下に説明する。なお、各接続部は、上述したアクティブマトリクス基板10の製造工程に基づいて、当該各工程において形成するパターンを変えることによって作製される。

【0070】

(端子部12)

本実施形態における端子部12の構造について、図7を参照して以下に説明する。図7は、第1の実施形態における端子部12の構造を示す断面図である。

【0071】

端子部12は、アクティブマトリクス基板10の非表示領域において、走査配線、信号配線などが外部からの信号を直接受けるために設けられる。ここでは、走査配線が外部からの信号を受けるために設けられた端子部12を例にして説明する。

【0072】

本実施形態の端子部12では、図7に示すように、上層走査配線102aが第1の保護層103によって完全に覆われている。また、上層走査配線102aと透明電極110との間には、第1の保護層103、第2の保護層108及び層間絶縁膜109が形成されている。そして、上層走査配線102aよりも幅広く形成された下層走査配線102bに、透明電極110が接触している。

【0073】

端子部 1 2 における透明電極 1 1 0 は、電極端子 3 として用いられ、ドライバ、フレキシブルプリント基板などが実装される。従って、透明電極 1 1 0 に欠陥が生じる可能性があるが、本実施形態における端子部 1 2 は、透明電極 1 1 0 と上層走査配線 1 0 2 a とが接触していないので、透明電極 1 1 0 に欠陥が生じ、水分等が浸入した場合でも、上層走査配線 1 0 2 a に含まれる金属が腐食する心配はない。

【 0 0 7 4 】

なお、本実施形態の端子部 1 2 における上層走査配線 1 0 2 a と下層走査配線 1 0 2 b とは、ウェットエッチングする際にシフト量に差があるため、図 7 に示すようにシフト量差 5 を有している。シフト量差 5 が大きいほど下層走査配線 1 0 2 b と透明電極 1 1 0 とを容易に接触させることができ、また小さいほど配線の抵抗を小さくすることができる。従って、シフト量差 5 は、特に限定されないが、約 0 . 5 ~ 1 0 μ m であることが好ましい。このような構成であれば、下層走査配線 1 0 2 b と透明電極 1 1 0 とを容易に接触させることができ、また配線における抵抗が大きくなる。また、上述した端子部 1 2 に限らず、端子部 1 2 以外の接続部 1 6 における走査配線、信号配線、ドレイン電極などにおいても、図 7 のようなシフト量差 5 を有しており、その好ましい大きさについては、上述した端子部 1 2 の場合と同様である。

10

【 0 0 7 5 】

(画素電極 / ドレイン電極接続部 1 3)

画素電極 / ドレイン電極接続部 1 3 は、アクティブマトリクス基板 1 0 の T F T に設けられ、画素電極とドレイン電極とを電気的に接続する部分である。

20

【 0 0 7 6 】

画素電極 / ドレイン電極接続部 1 3 の構造について、図 8 を参照して以下に説明する。図 8 は、第 1 の実施形態における画素電極 / ドレイン電極接続部 1 3 の構造を示す断面図である。

【 0 0 7 7 】

本実施形態の画素電極 / ドレイン電極接続部 1 3 では、図 8 に示すように、上層ドレイン電極 1 0 7 a が第 2 の保護層 1 0 8 によって完全に覆われている。また、上層ドレイン電極 1 0 7 a と透明電極 1 1 0 との間には、第 2 の保護層 1 0 8 及び層間絶縁膜 1 0 9 が形成されている。そして、上層ドレイン電極 1 0 7 a よりも幅広く形成された下層ドレイン電極 1 0 7 b に、透明電極 1 1 0 が接触している。

30

【 0 0 7 8 】

画素電極 / ドレイン電極接続部 1 3 に形成された当該透明電極 1 1 0 は、画素電極 (電極端子) を構成している。画素電極は、アクティブマトリクス基板 1 0 の表面に露出しているため、透明電極 1 1 0 に欠陥が生じる可能性があるが、本実施形態における画素電極 / ドレイン電極接続部 1 3 は、透明電極 1 1 0 と上層ドレイン電極 1 0 7 a とが接触していないので、透明電極 1 1 0 に欠陥が生じ、水分等が浸入した場合でも、上層ドレイン電極 1 0 7 a に含まれる金属が腐食する心配はない。

【 0 0 7 9 】

(配線接続部 1 4)

配線接続部 1 4 は、アクティブマトリクス基板 1 0 の非表示領域に設けられ、走査配線と信号配線とを接続する等、配線を接続する部分である。

40

【 0 0 8 0 】

配線接続部 1 4 の構造について、図 9 を参照して以下に説明する。図 9 は、本実施形態における配線接続部 1 4 の構造を示す断面図である。

【 0 0 8 1 】

本実施形態の配線接続部 1 4 では、図 9 に示すように、上層信号配線 1 0 6 a が第 2 の保護層 1 0 8 によって完全に覆われている。また、上層走査配線 1 0 2 a は、第 1 の保護層 1 0 3 によって完全に覆われている。信号配線と走査配線との間には、チャンネル層 1 0 4 と電極コンタクト層 1 0 5 が除かれ、さらに第 1 の保護層 1 0 3 が除かれて、コンタクトホールが設けられている。該コンタクトホールを覆うように、透明電極 1 1 0 が設けら

50

れることにより、上層信号配線 106 a よりも幅広く形成された下層信号配線 106 b と、上層走査配線 102 a よりも幅広く形成された下層走査配線 102 b とに、透明電極 110 が接触し、その結果信号配線と走査配線とが接続される。

【0082】

上層信号配線 106 a と透明電極 110 との間には、第 2 の保護層 108 及び層間絶縁膜 109 が形成されている。また、上層走査配線 102 a と透明電極 110 との間には、第 1 の保護層 103、第 2 の保護層 108 及び層間絶縁膜 109 が形成されている。従って、配線接続部 14 における透明電極 110 (電極端子) に欠陥が生じ、水分等が浸入した場合でも、上層信号配線 106 a 及び上層走査配線 102 a に含まれる金属が腐食する心配はない。

10

【0083】

(対向基板 11)

本実施形態における対向基板 11 は、3 回のフォトリソグラフィ工程によって製造される。

【0084】

以下に、図 10 (a) ~ 図 10 (c) を参照しながら、本実施形態における対向基板 11 の製造工程を工程順に (1) ~ (3) に説明する。図 10 (a) ~ 図 10 (c) は、本実施形態における対向基板 11 の製造工程を示す断面図であり、各工程が終了した時点での断面構造を示す。

【0085】

(1) 図 10 (a) に示すように、ガラス 201 上に、感光性材料を用い、フォトリソグラフィによりブラックマトリクス 202、及び、赤、緑又は青のカラーフィルタ 203 層を形成する。

20

【0086】

(2) 図 10 (b) に示すように、スパッタ法により透明電極 204 を 50 ~ 200 nm 堆積した後、フォトリソグラフィ及びウェットエッチングによりパターンを形成することで、対向電極を形成する。

【0087】

(3) 図 10 (c) に示すように、感光性材料を用い、フォトリソグラフィにより、フォトスペーサ 205 を形成する。

30

【0088】

さらに、本実施形態におけるアクティブマトリクス基板 10 と対向基板 11 とを貼り合わせ、液晶層を形成する方法について以下に説明する。

【0089】

(1) まず、アクティブマトリクス基板 10 及び対向基板 11 に、配向膜としてポリイミドを印刷法により形成する。

【0090】

(2) 次に、アクティブマトリクス基板 10 及び対向基板 11 を、シール剤を印刷し、液晶を滴下した後貼り合わせる。

【0091】

(3) 貼り合わせた上記の基板を、ダイシングにより分断する。

40

【0092】

以上の工程により、アクティブマトリクス基板 10 と対向基板 11 とを重ねて配置し、その間に液晶層が形成された、本実施形態の液晶表示装置が製造される。

【0093】

[第 2 の実施形態]

本発明に係る液晶表示装置の第 2 の実施形態について、以下に説明する。

【0094】

第 2 の実施形態においては、アクティブマトリクス基板の製造工程のみが第 1 の実施形態と異なっており、他は第 1 の実施形態と同様に構成されている。よって、本実施形態で

50

は、第1の実施形態と異なる点のみについて説明し、同様の構成の部材には同じ部材番号を付してその説明は省略する。

【0095】

以下に、図4(a)～図4(e)を参照しながら、本実施形態におけるアクティブマトリクス基板10の製造工程を工程順に(1)～(5)に説明する。

【0096】

(1)第1工程

第1工程では、図4(a)に示すように、下層走査配線102bと上層走査配線102aとを備える走査配線を形成する。まず、ガラス101上にスパッタ法により下層走査配線102bとしてTi、及び上層走査配線102aとしてCuを連続して成膜した後に、10 フトリソグラフィによりレジストパターンを形成する。その後、後述する方法によりウェットエッチング及びドライエッチングを行い、下層走査配線102b及び上層走査配線102aのパターンを形成した後、レジストを剥離洗浄する。

【0097】

本工程では、特に限定されないが、Tiを30～150nm、Cuを200～500nm成膜することが好ましい。

【0098】

(2)第2工程

第2工程では、図4(b)に示すように、第1の保護層103、チャネル層104及び電極コンタクト層105を形成する。まず、CVD法により、第1の保護層103として20 窒化シリコン、チャネル層104としてアモルファスシリコン、及び電極コンタクト層105としてn⁺アモルファスシリコンを連続して成膜した後、フトリソグラフィによりレジストパターンを形成する。その後、ドライエッチングを行い、チャネル層104及び電極コンタクト層105のパターンを形成した後、レジストを剥離洗浄する。

【0099】

本工程では、特に限定されないが、第1の保護層103としての窒化シリコンを200～500nm、チャネル層104としてのアモルファスシリコンを30～300nm、電極コンタクト層105としてのn⁺アモルファスシリコンを50～150nm成膜することが好ましい。

【0100】

(3)第3工程

第3工程では、図4(c)に示すように、下層信号配線106bと上層信号配線106aとを備える信号配線、及び下層ドレイン電極107bと上層ドレイン電極107aとを備えるドレイン電極、を形成する。信号配線とドレイン電極とは、同一の層に同時に成膜された後、30 パターニングによってそれぞれが形成される。

【0101】

まず、スパッタ法により下層信号配線106b及び下層ドレイン電極107bとしてTi、上層信号配線106a及び上層ドレイン電極107aとしてCuを連続して成膜した後に、40 フトリソグラフィによりレジストパターンを形成する。その後、後述する方法によりウェットエッチング及びドライエッチングを行い、下層信号配線106b、上層信号配線106a、下層ドレイン電極107b、及び上層ドレイン電極107aそれぞれのパターンを形成する。さらに、ドライエッチングにより、電極コンタクト層105の一部を除去する。その後、レジストを剥離洗浄する。

【0102】

本工程では、特に限定されないが、Tiを30～150nm、Cuを100～400nm成膜することが好ましい。

【0103】

(4)第4工程

第4工程では、図4(d)に示すように、第2の保護層108及び層間絶縁膜109を形成する。まず、CVD法により、第2の保護層108として窒化シリコンを成膜する。50

次いで、層間絶縁膜 109 として感光性層間絶縁膜材料を成膜した後に、フォトリソグラフィによりパターン形成する。その後、ドライエッチングを行い、第 2 の保護層 108 及び層間絶縁膜 109 のパターンを形成する。

【0104】

本工程では、特に限定されないが、第 2 の保護層 108 としての窒化シリコンを 100 ~ 700 nm 成膜することが好ましい。

【0105】

(5) 第 5 工程

第 5 工程では、図 4 (e) に示すように、透明電極 110 を形成する。まず、スパッタ法により透明電極 110 を形成するための膜として ITO (または IZO) などの透明導電材料を成膜した後に、フォトリソグラフィによりレジストパターンを形成する。その後、ウェットエッチングにより、透明電極 110 のパターンを形成した後、レジストを剥離洗浄する。

10

【0106】

本工程では、特に限定されないが、透明電極 110 としての透明導電材料を 50 ~ 200 nm 成膜することが好ましい。

【0107】

以上の工程によって、アクティブマトリクス基板 10 が製造される。

【0108】

本実施形態においては、第 1 工程及び第 3 工程におけるウェットエッチング及びドライエッチングを、以下に説明する方法により行う。

20

【0109】

本実施形態におけるウェットエッチング及びドライエッチングの方法について、図 6 (a) ~ 図 6 (d) を参照して説明する。図 6 (a) ~ 図 6 (d) は、第 2 の実施形態におけるウェットエッチング及びドライエッチングの方法を示す断面図である。なお図 6 (a) ~ 図 6 (d) には、端子部 12 における第 1 工程の断面図を示す。従って、ここでは端子部 12 における、第 1 工程のウェットエッチング及びドライエッチングの方法を例にして説明するが、第 3 工程にてウェットエッチング及びドライエッチングする際、また他の接続部 16 においてウェットエッチング及びドライエッチングする際にも、同様の方法を用いることができる。

30

【0110】

図 6 (a) ~ 図 6 (d) を参照して、本実施形態におけるウェットエッチング及びドライエッチングの方法について以下 (1) ~ (4) に説明する。

【0111】

(1) 第 1 工程におけるウェットエッチング及びドライエッチング時には、図 6 (a) に示すように、ガラス 101 上に下層走査配線 102 b として Ti、及び上層走査配線 102 a として Cu が成膜され、フォトリソグラフィによりレジスト 111 が形成されている。

【0112】

(2) 次に、過酸化水素 (H_2O_2) を含むエッチャントを用いて、ウェットエッチングを行い、図 6 (b) に示すように、Cu をエッチングする。本実施形態においては、当該ウェットエッチングを、Cu がレジスト 111 の幅と同じ幅にてエッチングされる時間より長く、例えば当該時間の 1.3 ~ 3 倍の時間などにて行うことが好ましい。これにより、図 6 (b) に示すように、Cu がレジスト 111 の幅より狭くエッチングされる。

40

【0113】

(3) 続いて、ドライエッチングを行い、図 6 (c) に示すように、Ti をエッチングする。これにより、Ti は、レジスト 111 の幅と同じ幅にてエッチングされる。

【0114】

(4) レジスト 111 を剥離洗浄し、図 6 (d) に示すような走査配線 (102 a、102 b) のパターンを完成させる。

50

【 0 1 1 5 】

本実施形態においては、ウェットエッチングにおいてレジスト 1 1 1 がエッチングされないので、Cu がレジスト 1 1 1 の幅よりも狭くエッチングされ、その後のドライエッチングにおいては、Ti がレジスト 1 1 1 と同じ幅にてエッチングされるため、Cu と Ti とのシフト量差を大きくすることができる。なお、本実施形態におけるウェットエッチングする時間は、特に限定されないが、Cu 及び Ti の望ましいシフト量差に基づいて、適宜調整することが好ましい。

【 0 1 1 6 】

このように、本実施形態においては、Cu のシフト量を Ti のシフト量よりも大きくさせることによって、上層走査配線 1 0 2 a の幅を下層走査配線 1 0 2 b の幅よりも狭く形成させる。

10

【 0 1 1 7 】

本実施形態の第 3 工程においてウェットエッチング及びドライエッチングする際にも、上述した方法を用いて信号配線及びドレイン電極のパターンを形成する。

【 0 1 1 8 】

上述したように形成された、本実施形態における端子部 1 2、画素電極 / ドレイン電極接続部 1 3 又は配線接続部 1 4 では、上層走査配線 1 0 2 a、上層信号配線 1 0 6 a 又は上層ドレイン電極 1 0 7 a は、透明電極 1 1 0 に接触していないので、透明電極 1 1 0 に欠陥が生じ、水分等が浸入した場合でも、腐食する心配がない。

20

【 0 1 1 9 】

〔 第 3 の実施形態 〕

本発明に係る液晶表示装置の第 3 の実施形態について、以下に説明する。

【 0 1 2 0 】

第 3 の実施形態においては、アクティブマトリクス基板において、層間絶縁膜 1 0 9 がない点のみが第 1 の実施形態と異なっており、他は第 1 の実施形態と同様に構成されている。よって、本実施形態では、第 1 の実施形態と異なる点のみについて説明し、同様の構成の部材には同じ部材番号を付してその説明は省略する。

【 0 1 2 1 】

以下に、図 1 1 (a) ~ 図 1 1 (e) を参照しながら、本実施形態におけるアクティブマトリクス基板 1 0 の製造工程を工程順に (1) ~ (5) に説明する。図 1 1 (a) ~ 図 1 1 (e) は、第 3 の実施形態におけるアクティブマトリクス基板 1 0 の製造工程を示す断面図であり、各工程が終了した時点での断面構造を示す。また、図 1 1 (a) ~ 図 1 1 (e) は、アクティブマトリクス基板 1 0 の T F T 付近の一部分のみを示している。従って、ここでは、T F T 付近の製造工程について説明する。

30

【 0 1 2 2 】

(1) 第 1 工程

第 1 工程では、図 1 1 (a) に示すように、下層走査配線 1 0 2 b と上層走査配線 1 0 2 a とを備える走査配線を形成する。まず、ガラス 1 0 1 上にスパッタ法により下層走査配線 1 0 2 b として Ti、及び上層走査配線 1 0 2 a として Cu を連続して成膜した後に、フォトリソグラフィによりレジストパターンを形成する。その後、第 1 の実施形態に記載した方法によりウェットエッチングを行い、下層走査配線 1 0 2 b 及び上層走査配線 1 0 2 a のパターンを形成した後、レジストを剥離洗浄する。

40

【 0 1 2 3 】

本工程では、特に限定されないが、Ti を 3 0 ~ 1 5 0 n m、Cu を 2 0 0 ~ 5 0 0 n m 成膜することが好ましい。

【 0 1 2 4 】

(2) 第 2 工程

第 2 工程では、図 1 1 (b) に示すように、第 1 の保護層 1 0 3、チャネル層 1 0 4 及び電極コンタクト層 1 0 5 を形成する。まず、C V D 法により、第 1 の保護層 1 0 3 として窒化シリコン、チャネル層 1 0 4 としてアモルファスシリコン、及び電極コンタクト層

50

105として n^+ アモルファスシリコンを連続して成膜した後、フォトリソグラフィによりレジストパターンを形成する。その後、ドライエッチングを行い、チャンネル層104及び電極コンタクト層105のパターンを形成した後、レジストを剥離洗浄する。

【0125】

本工程では、特に限定されないが、第1の保護層103としての窒化シリコンを200～500nm、チャンネル層104としてのアモルファスシリコンを30～300nm、電極コンタクト層105としての n^+ アモルファスシリコンを50～150nm成膜することが好ましい。

【0126】

(3) 第3工程

第3工程では、図11(c)に示すように、下層信号配線106bと上層信号配線106aとを備える信号配線、及び下層ドレイン電極107bと上層ドレイン電極107aとを備えるドレイン電極、を形成する。信号配線とドレイン電極とは、同一の層に同時に成膜された後、パターンングによってそれぞれが形成される。

【0127】

まず、スパッタ法により下層信号配線106b及び下層ドレイン電極107bとしてTi、上層信号配線106a及び上層ドレイン電極107aとしてCuを連続して成膜した後に、フォトリソグラフィによりレジストパターンを形成する。その後、第1の実施形態に記載した方法によりウェットエッチングを行い、下層信号配線106b、上層信号配線106a、下層ドレイン電極107b、及び上層ドレイン電極107aそれぞれのパターンを形成する。さらに、ドライエッチングにより、電極コンタクト層105の一部を除去する。その後、レジストを剥離洗浄する。

【0128】

本工程では、特に限定されないが、Tiを30～150nm、Cuを100～400nm成膜することが好ましい。

【0129】

(4) 第4工程

第4工程では、図11(d)に示すように、第2の保護層108を形成する。まず、CVD法により、第2の保護層108として窒化シリコンを成膜した後に、フォトリソグラフィによりレジストパターンを形成する。ドライエッチングにより、第2の保護層108のパターンを形成した後、レジストを剥離洗浄する。

【0130】

本工程では、特に限定されないが、第2の保護層108としての窒化シリコンを100～700nm成膜することが好ましい。

【0131】

(5) 第5工程

第5工程では、図11(e)に示すように、透明電極110を形成する。まず、スパッタ法により透明電極110を形成するための膜としてITO(またはIZO)などの透明導電材料を成膜した後に、フォトリソグラフィによりレジストパターンを形成する。その後、ウェットエッチングにより、透明電極110のパターンを形成した後、レジストを剥離洗浄する。

【0132】

本工程では、特に限定されないが、透明電極110としての透明導電材料を50～200nm成膜することが好ましい。

【0133】

以上の工程によって、アクティブマトリクス基板10が製造される。

【0134】

次に、上述した工程にてアクティブマトリクス基板10が製造されるのと同時に、該基板10の所定の位置に形成される、端子部12、画素電極/ドレイン電極接続部13、配線接続部14の構造について、図12、図13及び図14を参照して説明する。図12は

10

20

30

40

50

、第3の実施形態における端子部12の構造を示す断面図であり、図13は、第3の実施形態における画素電極/ドレイン電極接続部13の構造を示す断面図であり、図14は、第3の実施形態における配線接続部14の構造を示す断面図である。

【0135】

本実施形態の端子部12では、図12に示すように、上層走査配線102aが第1の保護層103によって完全に覆われている。また、上層走査配線102aと透明電極110との間には、第1の保護層103及び第2の保護層108が形成されている。そして、上層走査配線102aよりも幅広く形成された下層走査配線102bに、透明電極110が接触している。

【0136】

また、本実施形態の画素電極/ドレイン電極接続部13では、図13に示すように、上層ドレイン電極107aが第2の保護層108によって完全に覆われており、従って、上層ドレイン電極107aと透明電極110との間には、第2の保護層108が形成されている。そして、上層ドレイン電極107aよりも幅広く形成された下層ドレイン電極107bに、透明電極110が接触している。

【0137】

また、本実施形態の配線接続部14では、図14に示すように、上層信号配線106aが第2の保護層108によって完全に覆われている。また、上層走査配線102aは、第1の保護層103によって完全に覆われている。そして、信号配線と走査配線との間に設けられたコンタクトホールを覆うように、透明電極110が設けられることにより、上層信号配線106aよりも幅広く形成された下層信号配線106bと、上層走査配線102aよりも幅広く形成された下層走査配線102bとに、透明電極110が接触し、その結果信号配線と走査配線とが接続される。これにより、本実施形態の配線接続部14では、上層信号配線106aと透明電極110との間には、第2の保護層108が形成されている。また、上層走査配線102aと透明電極110との間には、第1の保護層103及び第2の保護層108が形成されている。

【0138】

従って、本実施形態における端子部12、画素電極/ドレイン電極接続部13又は配線接続部14において、透明電極110に欠陥が生じ、水分等が浸入した場合でも、上層走査配線102a、上層信号配線106a又は上層ドレイン電極107aは、透明電極110に接触していないので、腐食する心配がない。

【0139】

〔第4の実施形態〕

本発明に係る液晶表示装置の第4の実施形態について、以下に説明する。

【0140】

第4の実施形態においては、アクティブマトリクス基板において、チャンネル保護層121がある点、及び層間絶縁膜109がない点が第1の実施形態と異なり、他は第1の実施形態と同様に構成されている。よって、本実施形態では、第1の実施形態と異なる点のみについて説明し、同様の構成の部材には同じ部材番号を付してその説明は省略する。

【0141】

以下に、図15(a)～図15(f)を参照しながら、本実施形態におけるアクティブマトリクス基板10の製造工程を工程順に(1)～(5)に説明する。図15(a)～図15(f)は、第4の実施形態におけるアクティブマトリクス基板10の製造工程を示す断面図であり、各工程が終了した時点での断面構造を示す。また、図15(a)～図15(f)は、アクティブマトリクス基板10のTFT付近の一部分のみを示している。従って、ここでは、TFT付近の製造工程について説明する。

【0142】

(1) 第1工程

第1工程では、図15(a)に示すように、下層走査配線102bと上層走査配線10

10

20

30

40

50

2 a とを備える走査配線を形成する。まず、ガラス 101 上にスパッタ法により下層走査配線 102 b として Ti、及び上層走査配線 102 a として Cu を連続して成膜した後に、フォトリソグラフィによりレジストパターンを形成する。その後、第 1 の実施形態に記載した方法によりウェットエッチングを行い、下層走査配線 102 b 及び上層走査配線 102 a のパターンを形成した後、レジストを剥離洗浄する。

【0143】

本工程では、特に限定されないが、Ti を 30 ~ 150 nm、Cu を 200 ~ 500 nm 成膜することが好ましい。

【0144】

(2) 第 2 工程

第 2 工程では、図 15 (b) に示すように、第 1 の保護層 103、チャンネル層 104 及びチャンネル保護層 121 を形成する。まず、CVD 法により、第 1 の保護層 103 として窒化シリコン、チャンネル層 104 としてアモルファスシリコン、及びチャンネル保護層 121 として窒化シリコンを連続して成膜した後、フォトリソグラフィによりレジストパターンを形成し、ドライエッチングを行い、チャンネル保護層 121 のパターンを形成した後、レジストを剥離洗浄する。

10

【0145】

本工程では、特に限定されないが、第 1 の保護層 103 としての窒化シリコンを 200 ~ 500 nm、チャンネル層 104 としてのアモルファスシリコンを 30 ~ 300 nm、チャンネル保護層 121 としての窒化シリコンを 100 ~ 300 nm 成膜することが好ましい。

20

【0146】

(3) 第 3 工程

第 3 工程では、電極コンタクト層 105、下層信号配線 106 b と上層信号配線 106 a とを備える信号配線、及び下層ドレイン電極 107 b と上層ドレイン電極 107 a とを備えるドレイン電極、を形成する。信号配線とドレイン電極とは、同一の層に同時に成膜された後、パターンングによってそれぞれが形成される。

【0147】

まず、図 15 (c) に示すように、CVD 法により、電極コンタクト層 105 として n⁺アモルファスシリコンを成膜した後、図 15 (d) に示すように、スパッタ法により下層信号配線 106 b 及び下層ドレイン電極 107 b として Ti、上層信号配線 106 a 及び上層ドレイン電極 107 a として Cu を連続して成膜する。次に、フォトリソグラフィによりレジストパターンを形成する。その後、第 1 の実施形態に記載した方法によりウェットエッチングを行い、下層信号配線 106 b、上層信号配線 106 a、下層ドレイン電極 107 b、及び上層ドレイン電極 107 a それぞれのパターンを形成する。さらに、ドライエッチングにより、チャンネル保護層 121 上の電極コンタクト層 105 の一部と、チャンネル保護層上以外に設けられている電極コンタクト層 105 及びチャンネル層 104 とを除去する。その後、レジストを剥離洗浄する。

30

【0148】

本工程では、特に限定されないが、電極コンタクト層 105 としての n⁺アモルファスシリコンを 50 ~ 150 nm、Ti を 30 ~ 150 nm、Cu を 100 ~ 400 nm 成膜することが好ましい。

40

【0149】

(4) 第 4 工程

第 4 工程では、図 15 (e) に示すように、第 2 の保護層 108 を形成する。まず、CVD 法により、第 2 の保護層 108 として窒化シリコンを成膜した後に、フォトリソグラフィによりレジストパターンを形成する。ドライエッチングにより、第 2 の保護層 108 のパターンを形成した後、レジストを剥離洗浄する。

【0150】

本工程では、特に限定されないが、第 2 の保護層 108 としての窒化シリコンを 100

50

～700nm成膜することが好ましい。

【0151】

(5)第5工程

第5工程では、図15(f)に示すように、透明電極110を形成する。まず、スパッタ法により透明電極110を形成するための膜としてITO(またはIZO)などの透明導電材料を成膜した後に、フォトリソグラフィによりレジストパターンを形成する。その後、ウェットエッチングにより、透明電極110のパターンを形成した後、レジストを剥離洗浄する。

【0152】

本工程では、特に限定されないが、透明電極110としての透明導電材料を50～200nm成膜することが好ましい。

【0153】

以上の工程によって、アクティブマトリクス基板10が製造される。

【0154】

上述した工程にてアクティブマトリクス基板10が製造されるのと同時に、該基板10の所定の位置に、端子部12、画素電極/ドレイン電極接続部13、及び配線接続部14などの接続部が形成される。これらの接続部において、上層走査配線102a、上層信号配線106a又は上層ドレイン電極107aは透明電極110に接触していないので、透明電極110に欠陥が生じ、水分等が浸入した場合でも、上記配線又は電極が腐食する心配はない。

【0155】

〔第5の実施形態〕

本発明に係る液晶表示装置の第5の実施形態について、以下に説明する。

【0156】

第5の実施形態においては、アクティブマトリクス基板において、第2の保護層108と層間絶縁膜109との間にブラックマトリクス122及びカラーフィルター123層が形成されている点、並びに対向基板において、ブラックマトリクス122及びカラーフィルター123層が形成されない点、が第1の実施形態と異なっており、他は第1の実施形態と同様に構成されている。よって、本実施形態では、第1の実施形態と異なる点のみについて説明し、同様の構成の部材には同じ部材番号を付してその説明は省略する。

【0157】

以下に、図16(a)～図16(f)を参照しながら、本実施形態におけるアクティブマトリクス基板10の製造工程を工程順に(1)～(6)に説明する。図16(a)～図16(f)は、第5の実施形態におけるアクティブマトリクス基板10の製造工程を示す断面図であり、各工程が終了した時点での断面構造を示す。また、図16(a)～図16(f)は、アクティブマトリクス基板10のTFT付近の一部分のみを示している。従って、ここでは、TFT付近の製造工程について説明する。

【0158】

(1)第1工程、(2)第2工程、及び(3)第3工程については、第1の実施形態と全く同様に行うため、ここでは省略する。これらの各工程が終了した時点での断面構造を、図16(a)～図16(c)に示す。

【0159】

(4)第4工程

第4工程では、図16(d)に示すように、第2の保護層108、ブラックマトリクス122及びカラーフィルター123を形成する。まず、CVD法により、第2の保護層108として窒化シリコンを成膜する。次いで、感光性材料を用い、フォトリソグラフィにより、ブラックマトリクス122、及び、赤、緑、青のカラーフィルター123層を形成する。

【0160】

本工程では、特に限定されないが、第2の保護層108としての窒化シリコンを100

10

20

30

40

50

～700nm成膜することが好ましい。

【0161】

(5)第5工程

第5工程では、図16(e)に示すように、層間絶縁膜109を形成する。層間絶縁膜109として感光性層間絶縁膜材料を成膜した後に、フォトリソグラフィによりパターン形成する。その後、ドライエッチングを行い、層間絶縁膜109のパターンを形成する。

【0162】

(6)第6工程

第6工程では、図16(f)に示すように、透明電極110を形成する。まず、スパッタ法により透明電極110を形成するための膜としてITO(またはIZO)などの透明導電材料を成膜した後に、フォトリソグラフィによりレジストパターンを形成する。その後、ウェットエッチングにより、透明電極110のパターンを形成した後、レジストを剥離洗浄する。

10

【0163】

本工程では、特に限定されないが、透明電極110としての透明導電材料を50～200nm成膜することが好ましい。

【0164】

以上の工程によって、アクティブマトリクス基板10が製造される。

【0165】

上述した工程にてアクティブマトリクス基板10が製造されるのと同時に、該基板10の所定の位置に、端子部12、画素電極/ドレイン電極接続部13、及び配線接続部14などの接続部が形成される。これらの接続部において、上層走査配線102a、上層信号配線106a又は上層ドレイン電極107aは透明電極110に接触していないので、透明電極110に欠陥が生じ、水分等が浸入した場合でも、上記配線又は電極が腐食する心配はない。

20

【0166】

また、本実施形態においては、アクティブマトリクス基板10がブラックマトリクス122及びカラーフィルター123を備えているので、対向基板11において、ブラックマトリクス122及びカラーフィルター123層を形成する必要がない。したがって、図示していないが、本実施形態の対向基板11は、対向基板11において、ブラックマトリクス122及びカラーフィルター123がない構成となっている。

30

【0167】

〔第6の実施形態〕

本発明に係る液晶表示装置の第6の実施形態について、以下に説明する。

【0168】

第6の実施形態においては、アクティブマトリクス基板において、層間絶縁膜109の膜厚を場所によって変えている点のみが第1の実施形態と異なっており、他は第1の実施形態と同様に構成されている。よって、本実施形態では、第1の実施形態と異なる点のみについて説明し、同様の構成の部材には同じ部材番号を付してその説明は省略する。

【0169】

以下に、図4(a)～図4(e)を参照しながら、本実施形態におけるアクティブマトリクス基板10の製造工程を工程順に(1)～(5)に説明する。

40

【0170】

(1)第1工程

第1工程では、図4(a)に示すように、下層走査配線102bと上層走査配線102aとを備える走査配線を形成する。まず、ガラス101上にスパッタ法により下層走査配線102bとしてTi、及び上層走査配線102aとしてCuを連続して成膜した後に、フォトリソグラフィによりレジストパターンを形成する。その後、第1の実施形態に記載した方法によりウェットエッチングを行い、下層走査配線102b及び上層走査配線102aのパターンを形成した後、レジストを剥離洗浄する。

50

【0171】

本工程では、特に限定されないが、Tiを30～150nm、Cuを200～500nm成膜することが好ましい。

【0172】

(2) 第2工程

第2工程では、図4(b)に示すように、第1の保護層103、チャンネル層104及び電極コンタクト層105を形成する。まず、CVD法により、第1の保護層103として窒化シリコン、チャンネル層104としてアモルファスシリコン、及び電極コンタクト層105としてn⁺アモルファスシリコンを連続して成膜した後、フォトリソグラフィによりレジストパターンを形成する。その後、ドライエッチングを行い、チャンネル層104及び電極コンタクト層105のパターンを形成した後、レジストを剥離洗浄する。

10

【0173】

本工程では、特に限定されないが、第1の保護層103としての窒化シリコンを200～500nm、チャンネル層104としてのアモルファスシリコンを30～300nm、電極コンタクト層105としてのn⁺アモルファスシリコンを50～150nm成膜することが好ましい。

【0174】

(3) 第3工程

第3工程では、図4(c)に示すように、下層信号配線106bと上層信号配線106aとを備える信号配線、及び下層ドレイン電極107bと上層ドレイン電極107aとを備えるドレイン電極、を形成する。信号配線とドレイン電極とは、同一の層に同時に成膜された後、パターニングによってそれぞれが形成される。

20

【0175】

まず、スパッタ法により下層信号配線106b及び下層ドレイン電極107bとしてTi、上層信号配線106a及び上層ドレイン電極107aとしてCuを連続して成膜した後に、フォトリソグラフィによりレジストパターンを形成する。その後、第1の実施形態に記載した方法によりウェットエッチングを行い、下層信号配線106b、上層信号配線106a、下層ドレイン電極107b、及び上層ドレイン電極107aそれぞれのパターンを形成する。さらに、ドライエッチングにより、電極コンタクト層105の一部を除去する。その後、レジストを剥離洗浄する。

30

【0176】

本工程では、特に限定されないが、Tiを30～150nm、Cuを100～400nm成膜することが好ましい。

【0177】

(4) 第4工程

第4工程では、図4(d)に示すように、第2の保護層108及び層間絶縁膜109を形成する。まず、CVD法により、第2の保護層108として窒化シリコンを成膜する。次いで、層間絶縁膜109として感光性層間絶縁膜材料を成膜した後に、フォトリソグラフィを行い、パターン形成する。その際、所定の位置についてはハーフトーン露光させ、膜厚が厚くなるようにパターン形成する。その後、ドライエッチングを行い、第2の保護層108及び層間絶縁膜109のパターンを形成する。

40

【0178】

本工程では、特に限定されないが、第2の保護層108としての窒化シリコンを100～700nm成膜することが好ましい。

【0179】

(5) 第5工程

第5工程では、図4(e)に示すように、透明電極110を形成する。まず、スパッタ法により透明電極110を形成するための膜としてITO(またはIZO)などの透明導電材料を成膜した後に、フォトリソグラフィによりレジストパターンを形成する。その後、ウェットエッチングにより、透明電極110のパターンを形成した後、レジストを剥離

50

洗浄する。

【0180】

本工程では、特に限定されないが、透明電極110としての透明導電材料を50～200nm成膜することが好ましい。

【0181】

以上の工程によって、アクティブマトリクス基板10が製造される。

【0182】

上述した工程にてアクティブマトリクス基板10が製造されるのと同時に、該基板10の所定の位置に、端子部12、画素電極/ドレイン電極接続部13、及び配線接続部14などの接続部が形成される。これらの接続部において、上層走査配線102a、上層信号配線106a又は上層ドレイン電極107aは透明電極110に接触していないので、透明電極110に欠陥が生じ、水分等が浸入した場合でも、上記配線又は電極が腐食する心配はない。

10

【0183】

本実施形態における端子部12の構造について、図17を参照して以下に説明する。図17は、第6の実施形態における端子部12の構造を示す断面図である。

【0184】

本実施形態の端子部12では、図17に示すように、上層走査配線102aが第1の保護層103によって完全に覆われている。また、上層走査配線102aと透明電極110との間には、第1の保護層103、第2の保護層108及び層間絶縁膜109が形成されている。そして、上層走査配線102aよりも幅広く形成された下層走査配線102bに、透明電極110が接触している。

20

【0185】

図17に示すように、本実施形態における層間絶縁膜109は、端子部12の周辺部が厚くなっている。これにより、端子部12に異方性導電膜などを実装する際、導電性微粒子などが端子部12に留まり易くなるので、端子部12と異方性導電膜などとの間の抵抗を小さくすることができる。

【0186】

なお、本発明における接続部16において、第1の金属層1b及び第2の金属層1aは、基板の垂直方向に開口されて形成されるスリット（開口部）を有していることが好ましい。本発明の構成であれば、第1の金属層1b又は第2の金属層1aに含まれる金属が腐食する可能性は非常に少ないが、もし腐食しはじめた場合においても、上記スリットを有することにより、腐食が広がることを抑制することができる。

30

【0187】

上記スリットの形態の例について、図18(a)～図18(c)に具体例を示す。図18(a)～図18(c)は、本発明の接続部16において、第1の金属層1b及び第2の金属層1aにより構成される金属配線15に形成されるスリットの例を示す平面図である。図18(a)に示すように、スリットを横方向に形成した場合、金属層の一部が腐食したとしても、縦方向に腐食が広がることを抑制できる。また、図18(b)に示すように、スリットを縦方向に形成した場合、金属層の一部が腐食したとしても、横方向に腐食が広がることを抑制できる。さらに、図18(c)に示すように、島状にスリットを形成した場合、金属層の一部が腐食したとしても、腐食が広がることを抑制できる。

40

【0188】

本発明は、上述した各実施形態に限定されるものではなく、特許請求の範囲に示した範囲で種々の変更が可能である。すなわち、異なる実施形態にそれぞれ開示された技術的内容を適宜組み合わせ得られる実施形態についても、本発明の技術的範囲に含まれる。

【産業上の利用可能性】

【0189】

本発明によれば、配線と電極端子との接続部において、電極端子に欠陥が生じた場合でも、配線に含まれる金属が腐食することがないアクティブマトリクス基板を備えた液晶表

50

示装置を提供できるので、高品質の液晶表示装置を製造する場合に好適に利用できる。

【図面の簡単な説明】

【0190】

【図1】本発明の一実施形態における接続部16を簡略化した断面図を示す。

【図2】本発明の一実施形態におけるアクティブマトリクス基板10を示す平面図である。

【図3】本発明の一実施形態におけるアクティブマトリクス基板10の配線構造を示す模式図である。

【図4】本発明の一実施形態におけるアクティブマトリクス基板10の製造工程を示す断面図である。

【図5】本発明の一実施形態におけるウェットエッチング方法を示す断面図である。

【図6】本発明の他の実施形態におけるウェットエッチング及びドライエッチングの方法を示す断面図である。

【図7】本発明の一実施形態における端子部12の構造を示す断面図である。

【図8】本発明の一実施形態における画素電極/ドレイン電極接続部13の構造を示す断面図である。

【図9】本発明の一実施形態における配線接続部14の構造を示す断面図である。

【図10】本発明の一実施形態における対向基板11の製造工程を示す断面図であり

【図11】本発明の他の実施形態におけるアクティブマトリクス基板10の製造工程を示す断面図である。

【図12】本発明の他の実施形態における端子部12の構造を示す断面図である。

【図13】本発明の他の実施形態における画素電極/ドレイン電極接続部13の構造を示す断面図である。

【図14】本発明の他の実施形態における配線接続部14の構造を示す断面図である。

【図15】本発明の他の実施形態におけるアクティブマトリクス基板10の製造工程を示す断面図である。

【図16】本発明の他の実施形態におけるアクティブマトリクス基板10の製造工程を示す断面図である。

【図17】本発明の他の実施形態における端子部12の構造を示す断面図である。

【図18】本発明の接続部16において、第1の金属層1b及び第2の金属層1aにより構成される金属配線15に形成されるスリットの例を示す平面図である。

【図19】従来のアクティブマトリクス基板における端子315の平面図と、端子315が有する接続部316の断面図とを示す図である。

【符号の説明】

【0191】

- 1 a 第2の金属層
- 1 b 第1の金属層
- 2 保護部(保護層)
- 3 電極端子(電極層)
- 10 アクティブマトリクス基板
- 11 対向基板
- 12 端子部
- 13 画素電極/ドレイン電極接続部
- 14 配線接続部
- 16 接続部
- 101 ガラス
- 102 走査配線
- 102 a 上層走査配線
- 102 b 下層走査配線
- 103 第1の保護層

10

20

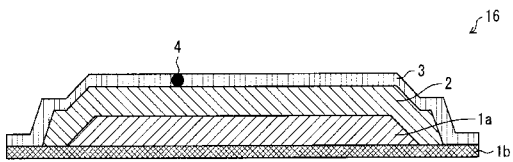
30

40

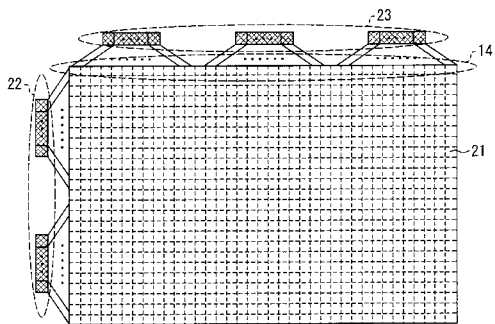
50

- 1 0 4 チャンネル層
- 1 0 5 電極コンタクト層
- 1 0 6 信号配線
- 1 0 6 a 上層信号配線
- 1 0 6 b 下層信号配線
- 1 0 7 ドレイン電極
- 1 0 7 a 上層ドレイン電極
- 1 0 7 b 下層ドレイン電極
- 1 0 8 第2の保護層
- 1 0 9 層間絶縁膜
- 1 1 0 透明電極

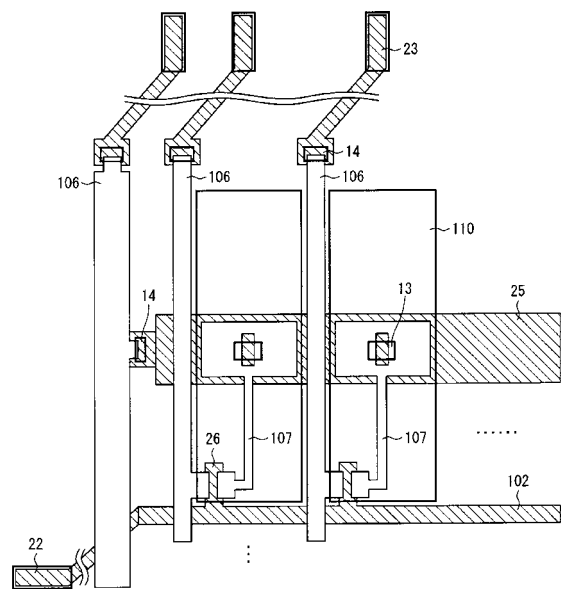
【 図 1 】



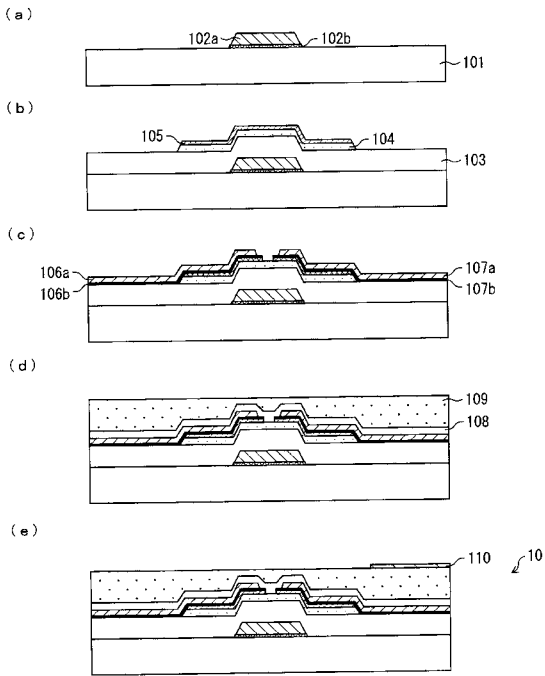
【 図 2 】



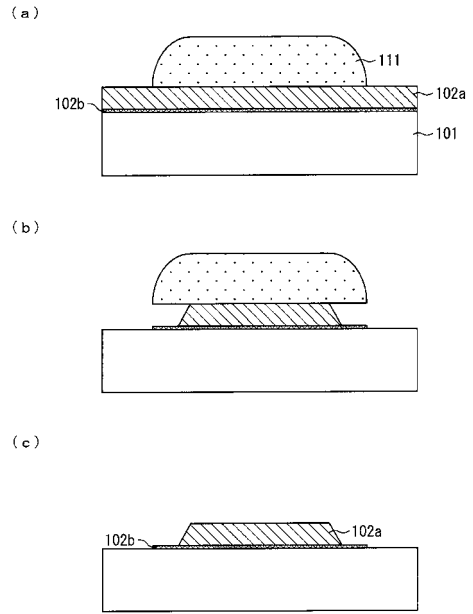
【 図 3 】



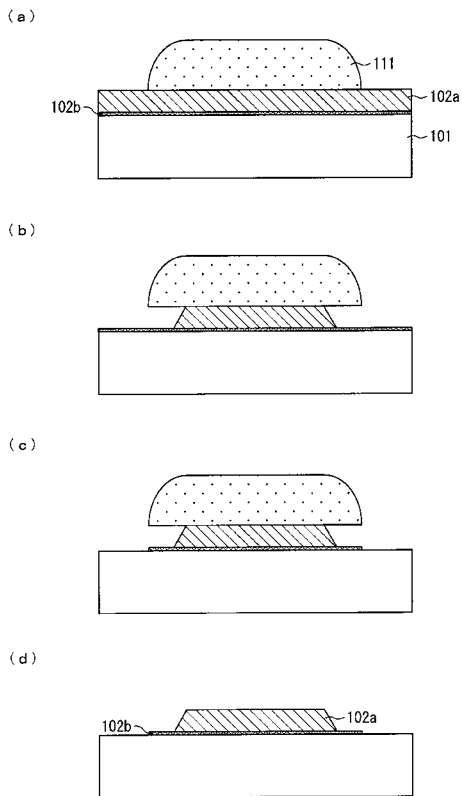
【 図 4 】



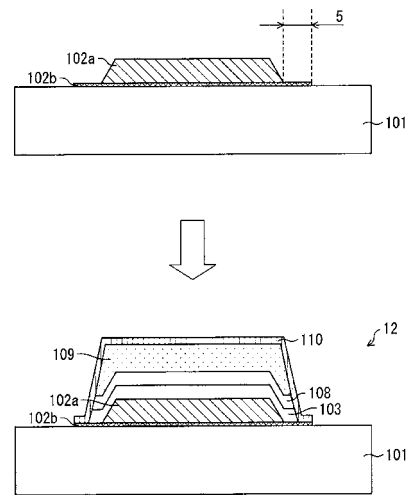
【 図 5 】



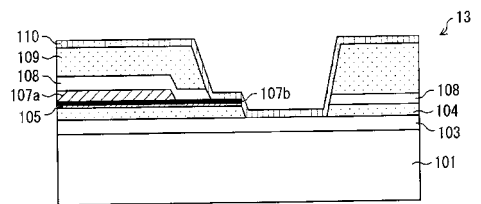
【 図 6 】



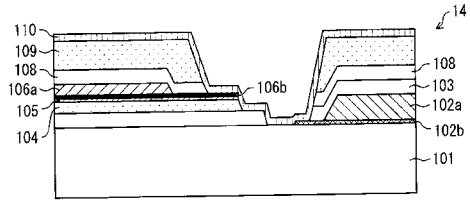
【 図 7 】



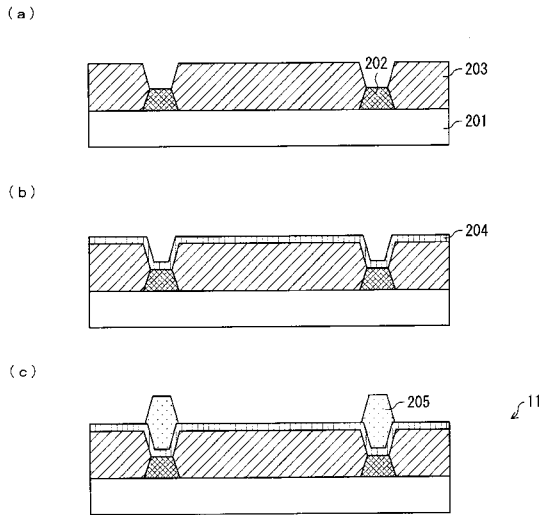
【 図 8 】



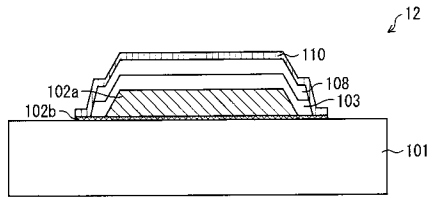
【 図 9 】



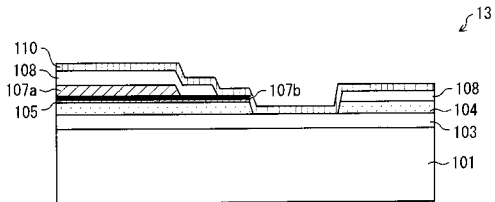
【 図 10 】



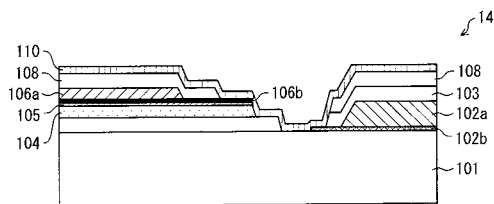
【 図 12 】



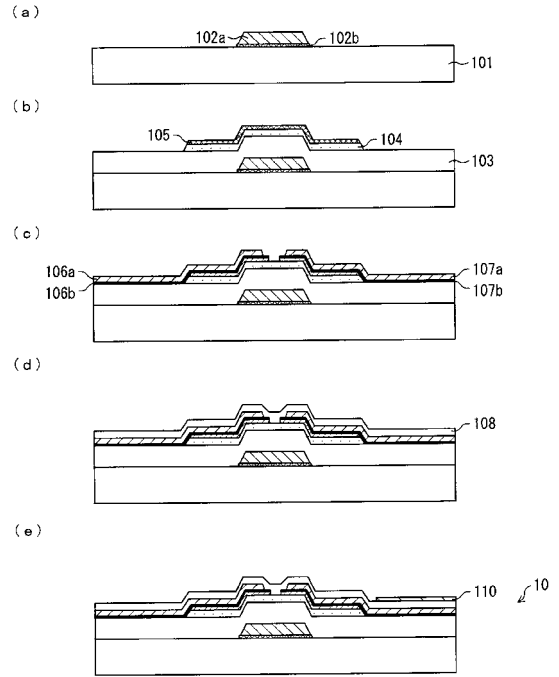
【 図 13 】



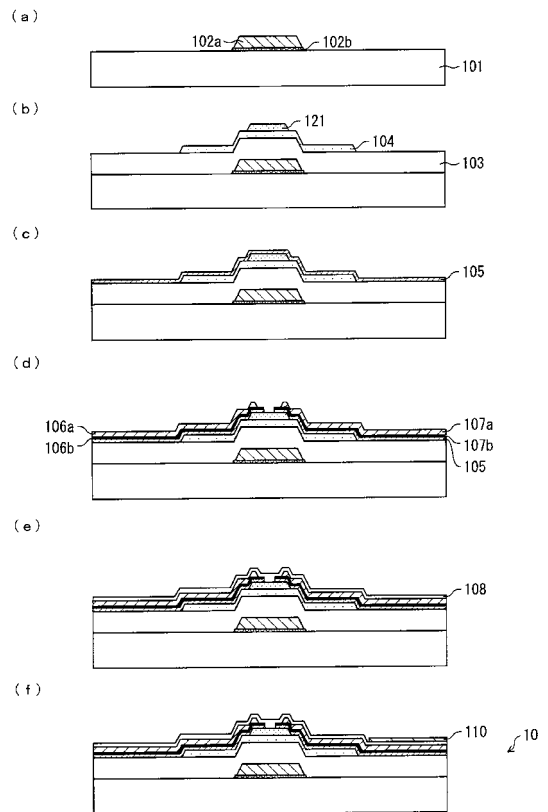
【 図 14 】



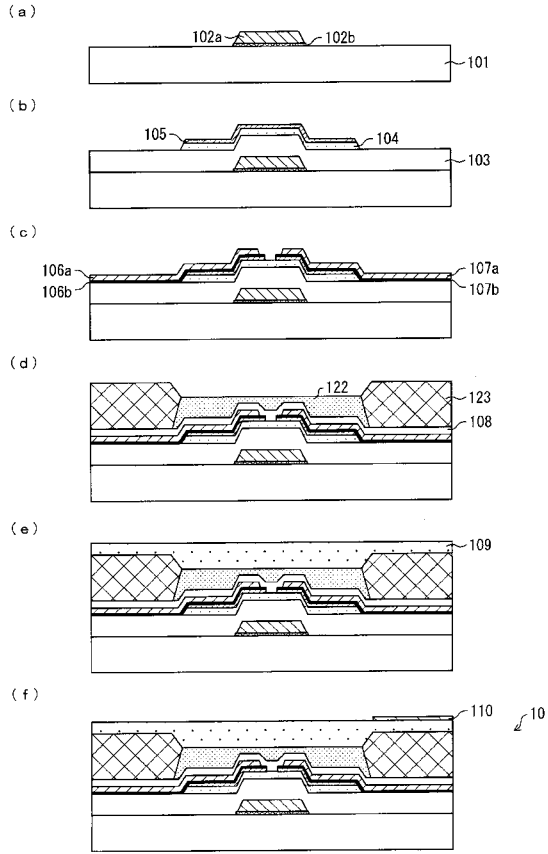
【 図 11 】



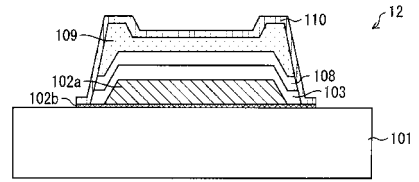
【 図 15 】



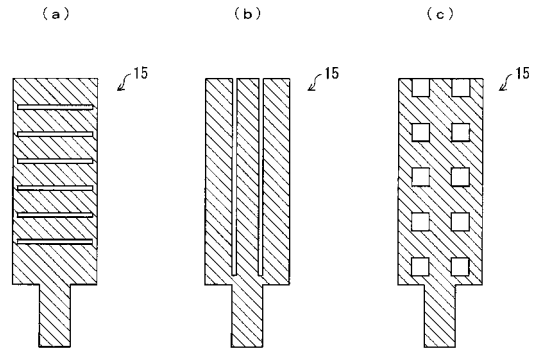
【図 16】



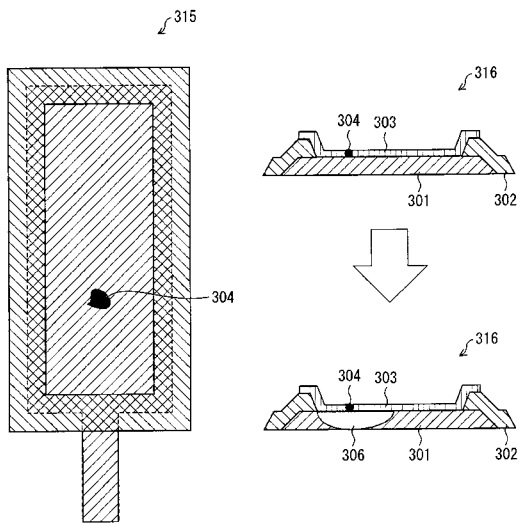
【図 17】



【図 18】



【図 19】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L 23/52	(2006.01)	H 0 1 L	29/78	6 1 6 V
		H 0 1 L	21/90	A
		H 0 1 L	21/88	R

(72)発明者 中野 悠哉
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 中村 渉
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 紀藤 賢一
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 田中 哲憲
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム(参考) 2H092 GA11 GA40 JA24 JA41 JB22 JB31 JB52 JB56 KB04 MA07
MA13 MA17 NA15 PA01 PA08
5C094 AA32 AA53 BA03 BA43 CA19 DA13 DB03 EA10 FA01 FA02
FA04 FB12 FB14
5F033 HH38 JJ38 KK08 KK11 KK12 KK18 KK20 KK21 MM05 MM17
MM18 MM22 NN12 PP15 QQ08 QQ19 RR06 VV15 XX18
5F110 AA26 BB01 CC07 DD02 EE02 EE04 EE06 EE22 EE37 EE44
FF03 FF29 GG02 GG15 GG25 GG44 HK02 HK04 HK06 HK09
HK16 HK22 HK33 HK34 HL07 HM02 HM18 HM19 NN03 NN04
NN14 NN24 NN27 NN72 NN73 QQ04 QQ05 QQ09