

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 11/4193 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년08월21일 10-0614200 2006년08월11일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0088601 2004년11월03일	(65) 공개번호 (43) 공개일자	10-2006-0039498 2006년05월09일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 김수영
 경기도 화성시 태안읍 반월리 신영통현대3차아파트 303동 801호

 이현석
 서울시 송파구 삼전동 121-6 솔그린빌라 302호

(74) 대리인 박영우

심사관 : 장호근

(54) 리얼 액세스 타임 측정을 위한 의사 스테틱 램의 셀프리프레쉬 회로 및 이를 위한 셀프 리프레쉬 회로의 동작방법

요약

리프레쉬 주기 펄스를 발생시키는 리프레쉬 발진기, 소정의 MRS 커맨드를 출력하는 MRS부, 상기 소정의 MRS 커맨드, 상기 리프레쉬 주기 펄스 및 셀프 리프레쉬 진입 금지 신호에 응답하여 메모리 액세스 동작 중에 셀프 리프레쉬 동작을 강제로 개입시킬지를 결정 가능하도록 구성된 리프레쉬 제어 신호 발생기, 상기 셀프 리프레쉬 진입 금지 신호와 상기 소정의 MRS 커맨드에 응답하여 리프레쉬 커맨드 발생 제어 신호를 발생시키는 리프레쉬 커맨드 발생 제어부, 상기 리프레쉬 제어 신호 또는 상기 리프레쉬 커맨드 발생 제어 신호에 응답하여 리프레쉬 커맨드를 발생시키는 리프레쉬 커맨드 발생기, 및 상기 리프레쉬 커맨드에 응답하여 리프레쉬 동작을 수행하는 내부 리프레쉬 회로를 포함하여 구성된 셀프 리프레쉬 회로를 구성한다. 따라서, 리얼 액세스 타임을 측정하기 위한 종래의 스큐 타이밍을 이용한 시행착오 측정 방법을 개선하여 정확한 액세스 타임의 측정과 테스트 시간의 감소를 가능하게 할 수 있다.

대표도

도 3

명세서

도면의 간단한 설명

도1은 종래 기술의 의사 SRAM의 셀프 리프레쉬 회로의 구성예를 도시한 블록도이다.

도2a는 의사 SRAM에서 읽기 동작 중에 리프레쉬 동작이 개입되지 않는 경우의 신호 흐름을 예시한 타이밍도이다.

도2b는 의사 SRAM에서 읽기 동작 중에 리프레쉬 동작이 개입되는 경우의 신호 흐름을 예시한 타이밍도이다.

도3은 본 발명에 따른 의사 SRAM의 셀프 리프레쉬 회로의 구성예를 도시한 블록도이다.

도4는 본 발명의 셀프 리프레쉬 회로에 적용 가능한 리프레쉬 제어 신호 발생기의 구성예를 도시한 회로도이다.

도5는 본 발명의 셀프 리프레쉬 회로에 적용 가능한 리프레쉬 커맨드 발생 제어부의 구성예를 도시한 회로도이다.

도6은 본 발명의 셀프 리프레쉬 회로에 적용 가능한 리프레쉬 커맨드 발생기의 구성예를 도시한 회로도이다.

도7은 본 발명의 셀프 리프레쉬 장치를 이용한 리얼 tAA 측정의 신호 흐름을 도시한 타이밍도이다.

도8은 본 발명의 셀프 리프레쉬 장치를 이용한 리얼 tAA 측정을 가능하게 하는 반도체 메모리 장치의 구성을 도시한 블록도이다.

* 도면의 주요부분에 대한 부호의 설명 *

101 : 내부 리프레쉬 발진기

130 : 워드라인 제어 펄스 발생기

150 : 내부 리프레쉬 회로

205 : MRS 부

210 : 리프레쉬 제어 신호 발생기

215 : 리프레쉬 커맨드 발생 제어부

220 : 리프레쉬 커맨드 발생기

SRFH : 리프레쉬 주기 펄스

SRFHP : 리프레쉬 제어 신호

RFHTD : 리프레쉬 커맨드

NERFH : 셀프 리프레쉬 진입 금지 신호

PNERFHBD : 리프레쉬 커맨드 발생 제어 신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 의사 SRAM의 액세스 타임의 측정에 대한 것으로 특히 의사 SRAM에서 메모리 액세스 동작 중에 리프레쉬 동작이 개입될 경우의 액세스 타임, 즉, 리얼 액세스 타임을 측정하기 위한 셀프 리프레쉬 회로의 구성 및 셀프 리프레쉬 회로의 동작 방법에 관한 것이다.

고속의 데이터 전송이 필요한 영역과 모바일(mobile) 기기 등에 주로 이용되는 스테틱 램(SRAM; Static Random Access Memory; 이하 SRAM)은 용량 당 가격이 높은 관계로 대용량의 메모리 시스템을 구현하기에는 적절하지 않다. 따라서, 시장에서는 모바일 기기를 중심으로 의사 SRAM(Pseudo Static Random Access Memory; PSRAM)의 수요가 증가하고 있다. 의사 SRAM은 내부적으로는 스테틱 셀(static cell)을 대신해서 다이내믹 셀(dynamic cell)을 사용하지만, 외부적으로는 SRAM과 동일하게 동작시킬 수 있는 반도체 메모리 장치를 의미한다.

의사 SRAM은 내부적으로 다이내믹 셀을 사용한다는 점에서 착안하여 UtRAM(uni-transistor RAM)등의 이름으로 정의되기도 한다. 일반적으로 다이내믹 셀을 이용하는 DRAM의 문제점은, 셀 커패시터와 셀 커패시터를 스윗칭하는 셀 트랜지스터로 구성된 다이내믹 셀의 특성상 유발되는 누설 전류(leakage current) 때문에, 일정 주기마다 쓰여진 내용을 다시 리프레쉬(refresh)하여야 하는 것이다. 의사 SRAM은 이러한 DRAM의 리프레쉬 동작을 반도체 메모리 장치의 내부적으로 처리함으로써, 메모리 컨트롤러와 같은 외부에서는 반도체 메모리 장치의 리프레쉬 동작에 전혀 관여하지 않아도 되게 하여 외부적으로는 SRAM과 동일하게 동작할 수 있게 하는 것이다.

한편, 의사 SRAM의 경우에는 대용량과 저비용의 관점에서는 이점을 가질 수 있지만, 스테틱 셀을 이용한 SRAM과 대비하여 저전력 소모와 동작 속도 등이 중요한 요구사항으로 대두되게 되었다.

이는 의사 SRAM이 내부적으로 리프레쉬 동작을 수행하게 됨에 따라 종래의 스테틱 셀을 이용한 SRAM에 비해서는 동작 속도의 측면에서 뒤떨어지는 측면이 있기 때문이다.

특히, 의사 SRAM은 일반적으로 읽기 동작과 쓰기 동작을 할 경우에 동작 중에 리프레쉬 타임이 개입되는지의 여부에 따라서 커맨드의 입력 후에 데이터가 나올 때까지의 타이밍이 유동적으로 달라지게 된다. 예를 들면, 읽기 동작 중에 리프레쉬 동작이 개입되는 경우의 액세스 타임은 읽기 동작 중에 리프레쉬 동작이 개입되지 않는 경우의 액세스 타임에 비해서 길어지게 된다.

도1은 종래 기술의 의사 SRAM의 셀프 리프레쉬 회로의 구성예를 도시한 블록도이다.

도1에 도시된 블록도는 상기 설명된 의사 SRAM의 내부적인 셀프 리프레쉬 처리를 가능하게 하기 위한 셀프 리프레쉬 회로의 구성예를 도시한 것이다.

도1을 참조하면, 예시한 셀프 리프레쉬 회로(100)는 내부 리프레쉬 발진기(101), 리프레쉬 제어 신호 발생기(110), 리프레쉬 커맨드 발생기(120), 워드라인 제어 펄스 발생기(130) 및 내부 리프레쉬 회로(150)를 포함하여 구성된다.

내부 리프레쉬 발진기(101)는 반도체 메모리 장치의 내부에서 반도체 메모리 장치 고유의 리프레쉬 특성, 즉, 리프레쉬 주기(refresh period)와 리프레쉬 사이클(refresh cycle) 등에 따라서, 일정한 주기로 리프레쉬 주기 펄스(SRFH)를 발생시킨다. 따라서, 내부 리프레쉬 발진기(101)는 발진기(oscillator)등을 포함하여 구성될 수 있다.

리프레쉬 제어 신호 발생기(110)는 내부 리프레쉬 발진기(101)가 발생한 리프레쉬 주기 펄스(SRFH)를 입력받아서, 리프레쉬 제어 신호(SRFHP)를 발생시킨다. 또한, 리프레쉬 제어 신호 발생기(110)는 워드라인 제어 펄스 발생기(130)로부터 발생한 셀프 리프레쉬 진입 금지 신호(NERFH)도 입력받는다. 셀프 리프레쉬 진입 금지 신호(NERFH)가 활성화되면 셀프 리프레쉬 동작으로의 진입이 차단된다.

따라서, 리프레쉬 제어 신호 발생기(110)는 셀프 리프레쉬 진입 금지 신호(NERFH)와 리프레쉬 주기 펄스(SRFH)를 입력받아, 리프레쉬 주기 펄스(SRFH)가 앞설 경우에는 리프레쉬 제어 신호(SRFHP)를 '로우'로 활성화시키고, 셀프 리프레쉬 진입 금지 신호(NERFH)가 앞설 경우에는 메모리에 대한 읽기 또는 쓰기 동작을 완료할 때까지, 리프레쉬 제어 신호(SRFHP)의 활성화를 지연시키는 역할을 한다.

상기 언급한 바와 같이, 워드라인 제어 펄스 발생기(130)는 본 도1에서는 생략되어 있는 어드레스 천이 감지기(ATD; Address Transition Detector; 이하 ATD)로부터 출력된 펄스와 여러 신호들의 논리 조합을 통하여 셀프 리프레쉬 진입 금지 신호(NERFH)를 발생시킨다.

리프레쉬 커맨드 발생기(120)는 리프레쉬 제어 신호(SRFHP)가 활성화되는 시점에서 내부 리프레쉬 회로(150)에 리프레쉬 동작을 지시하는 리프레쉬 커맨드(RFHTD) 펄스를 발생시킨다.

마지막으로, 내부 리프레쉬 회로(150)는 상기 리프레쉬 커맨드(RFHTD) 펄스에 응답하여 동작하는 어드레스 카운터(address counter), 리프레쉬를 위한 워드 라인 선택 회로 등을 포함하여 구성된다.

여기에서, 앞서 언급된 바와 같이, 상기 셀프 리프레쉬 진입 금지 신호(NERFH)와 리프레쉬 주기 펄스(SRFH)는 서로 동기되어 있지 않기 때문에, 두 신호의 선후 관계는 경우에 따라서 임의적으로 달라질 수 있다.

따라서, 메모리 셀 어레이에 대한 읽기 동작과 쓰기 동작 중에 리프레쉬 동작이 개입되는지의 여부에 따라서 커맨드의 입력 후에 데이터가 나올 때까지의 시간이 유동적으로 달라지게 되는 것이다.

도2a와 도2b는 의사 SRAM에서 읽기 동작 중에 리프레쉬 동작이 개입되는 경우와 개입되지 않는 경우의 신호 흐름을 예시한 타이밍도이다.

도2a는 의사 SRAM에서 읽기 동작 중에 리프레쉬 동작이 개입되지 않는 경우의 신호 흐름을 예시한 타이밍도이다.

외부 어드레스의 입력에 의해서 ATD에서 출력된 ATD 출력 펄스(PPT)는 소정의 과정을 거쳐서 더미 펄스(PUL_RD0)를 생성한다.

도2a를 참조하면, 리프레쉬 주기 펄스(SRFH)에 비해서 셀프 리프레쉬 진입 금지 신호(NERFH)가 앞서서 활성화되어 있으므로, 리프레쉬 제어 신호(SRFHP)의 출력이 지연된다.

따라서, 상기 더미 펄스 구간(PUL_RD0)이 완료되는 시점에서, 다시 한번 ATD에서 내부적인 ATD 신호(RATD)를 발생시키면, 메모리에 대한 읽기 동작이 바로 진행되고, 데이터가 출력된다(DOUT).

도2b는 의사 SRAM에서 읽기 동작 중에 리프레쉬 동작이 개입되는 경우의 신호 흐름을 예시한 타이밍도이다.

외부 어드레스의 입력에 의해서 ATD에서 출력된 ATD 출력 펄스(PPT)는 소정의 과정을 거쳐서 더미 펄스(PUL_RD0)를 생성하는 것은 도2a에서 예시한 타이밍도의 경우와 동일하다.

도2b를 참조하면, 셀프 리프레쉬 진입 금지 신호(NERFH)에 비해서 리프레쉬 주기 펄스(SRFH)가 앞서서 활성화되어 있으므로, 읽기 동작에 앞서서 셀프 리프레쉬 동작이 수행된다. 즉, 리프레쉬 주기 펄스(SRFH)에 의해서 리프레쉬 제어 신호(SRFHP)가 활성화되고, 리프레쉬 제어 신호(SRFHP)의 활성화에 의해서 리프레쉬 커맨드(RFHTD)가 발생되어, 내부 리프레쉬 회로에서 리프레쉬 동작을 진행하게 된다.

따라서, 이 경우에는 도2a에서 예시한 경우와 달리, 상기 더미 펄스 구간(PUL_RD0)이 끝나는 시점에서 바로 정상적인 읽기 동작을 수행하는 것이 아니라, 셀프 리프레쉬 동작을 완료한 후에 상기 더미 펄스 구간(PUL_RD0)이 완료되는 시점에서, 다시 한번 ATD에서 내부적인 ATD 신호(RATD)를 발생시키면, 비로소 읽기 동작을 수행하게 된다.

상기 도2a와 도2b에서 살펴본 바와 같이, 양 경우의 액세스 타임은 서로 다른 값을 가진다.

제품의 성능을 표현하는 규격, 교류 특성(AC characteristic)의 관점에서는 특히, 리프레쉬가 개입된 경우의 액세스 타임(tAA; access time from column address; 이하 tAA)이 중요한 의미를 가지며, 상기 리프레쉬가 개입된 경우의 tAA는 리얼 tAA(real tAA)로 정의된다. 특히, 제품 테스트 과정에서는 스피드 스크리닝(screening)의 관점에서 이러한 리얼 tAA의 측정이 중요시된다.

종래 기술의 리얼 tAA의 측정 방법은 테스트 과정에서 커맨드의 타이밍을 조금씩 이동시켜 가면서 tAA가 가장 큰 값으로 측정되는 경우를 리얼 tAA로 간주하였다.

즉, 스큐 타이밍(skewed timing)을 이용한 시행착오의 방식으로 여러 번의 커맨드 입력과 측정을 반복하여 리얼 tAA를 측정하는 것이다. 이러한 측정 방식은 정확한 리얼 tAA의 측정이 어렵고, 제품 테스트 과정에서의 시간적인 손실을 초래하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위해서 본 발명의 목적은 정확한 리얼 tAA의 측정을 가능하게 하고, 제품 테스트 과정에서의 시간적인 손실을 줄일 수 있도록, 메모리 액세스 동작 중에 셀프 리프레쉬 동작을 강제적으로 개입시킬 수 있는 셀프 리프레쉬 회로의 구성을 제공하는데 있다.

본 발명의 다른 목적은 정확한 리얼 tAA의 측정을 가능하게 하고, 제품 테스트 과정에서의 시간적인 손실을 줄일 수 있도록, 메모리 액세스 동작 중에 셀프 리프레쉬 동작을 강제적으로 개입시킬 수 있는 다이내믹 셀 어레이를 구비한 의사 SRAM 반도체 메모리 장치를 제공하는데 있다.

본 발명의 또 다른 목적은 정확한 리얼 tAA의 측정을 가능하게 하고, 제품 테스트 과정에서의 시간적인 손실을 줄일 수 있도록, 메모리 액세스 동작 중에 셀프 리프레쉬 동작을 강제적으로 개입시킬 수 있는 셀프 리프레쉬 회로의 동작 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위해 본 발명은, 리프레쉬 주기 펄스를 발생시키는 리프레쉬 발진기, 소정의 MRS 커맨드를 출력하는 MRS부, 상기 소정의 MRS 커맨드, 상기 리프레쉬 주기 펄스 및 셀프 리프레쉬 진입 금지 신호에 응답하여 메모리 액세스 동작 중에 셀프 리프레쉬 동작을 강제적으로 개입시킬지를 결정 가능하도록 구성된 리프레쉬 제어 신호 발생기, 상기 셀프 리프레쉬 진입 금지 신호와 상기 소정의 MRS 커맨드에 응답하여 리프레쉬 커맨드 발생 제어 신호를 발생시키는 리프레쉬 커맨드 발생 제어부, 상기 리프레쉬 제어 신호 또는 상기 리프레쉬 커맨드 발생 제어 신호에 응답하여 리프레쉬 커맨드를 발생시키는 리프레쉬 커맨드 발생기, 및 상기 리프레쉬 커맨드에 응답하여 리프레쉬 동작을 수행하는 내부 리프레쉬 회로를 포함하여 구성된 것을 특징으로 하는 셀프 리프레쉬 회로를 제공한다.

여기에서, 상기 리프레쉬 제어 신호 발생기는 상기 소정의 MRS 커맨드가 비활성화된 경우에는, 상기 리프레쉬 주기 펄스에 응답하여 리프레쉬 제어 신호를 발생하고, 셀프 리프레쉬 진입 금지 신호에 응답하여 상기 리프레쉬 제어 신호의 출력을 차단하며, 상기 소정의 MRS 커맨드가 활성화된 경우에는 상기 리프레쉬 주기 펄스에 무관하게 상기 리프레쉬 제어 신호를 디스에이블시키는 동작을 수행한다.

여기에서, 상기 리프레쉬 커맨드 발생 제어부는 상기 소정의 MRS 커맨드가 활성화되어 있을 경우에 상기 셀프 리프레쉬 진입 금지 신호에 동기된 리프레쉬 커맨드 발생 제어 신호를 발생시키는 동작을 수행한다.

여기에서, 상기 리프레쉬 커맨드 발생기는 상기 리프레쉬 제어 신호 또는 상기 리프레쉬 커맨드 발생 제어 신호에 응답하여 리프레쉬 커맨드를 발생시키는 동작을 수행한다.

상기 다른 목적을 달성하기 위해 본 발명은, 복수개의 다이내믹 셀을 포함한 다이내믹 셀 어레이, 어드레스 신호와 제어 신호에 응답하여 상기 다이내믹 셀 어레이에 대한 읽기와 쓰기 동작을 수행하고, 셀프 리프레쉬 진입 금지 신호를 출력하는 액세스 제어 회로, 내부에서 발생된 주기 펄스에 의해서 상기 다이내믹 셀 어레이에 대한 리프레쉬 동작을 수행하는 셀프 리프레쉬 회로를 구비하고, 상기 셀프 리프레쉬 회로는 리프레쉬 주기 펄스를 발생시키는 리프레쉬 발진기, 소정의 MRS 커맨드를 출력하는 MRS부, 상기 소정의 MRS 커맨드, 상기 셀프 리프레쉬 진입 금지 신호 및 상기 리프레쉬 주기 펄스에 응답하여 메모리 액세스 동작 중에 셀프 리프레쉬 동작을 강제적으로 개입시킬지를 결정 가능하도록 구성된 리프레쉬 제어 신호 발생기, 상기 셀프 리프레쉬 진입 금지 신호와 상기 소정의 MRS 커맨드에 응답하여 리프레쉬 커맨드 발생 제어 신호를 발생시키는 리프레쉬 커맨드 발생 제어부, 상기 리프레쉬 제어 신호 또는 상기 리프레쉬 커맨드 발생 제어 신호에 응답하여 리프레쉬 커맨드를 발생시키는 리프레쉬 커맨드 발생기, 및 상기 리프레쉬 커맨드에 응답하여 리프레쉬 동작을 수행하는 내부 리프레쉬 회로를 포함하여 구성된 것을 특징으로 하는 반도체 메모리 장치를 제공한다.

상기 또 다른 목적을 달성하기 위해 본 발명은, 리프레쉬 주기 펄스를 발생시키는 단계, 소정의 MRS 커맨드를 입력받는 단계, 상기 소정의 MRS 커맨드, 상기 리프레쉬 주기 펄스 및 셀프 리프레쉬 진입 금지 신호에 응답하여 리프레쉬 제어 신호를 발생하는 단계, 상기 셀프 리프레쉬 진입 금지 신호와 상기 소정의 MRS 커맨드에 응답하여 리프레쉬 커맨드 발생 제어 신호를 발생시키는 단계, 상기 리프레쉬 제어 신호 또는 상기 리프레쉬 커맨드 발생 제어 신호에 응답하여 리프레쉬 커맨드를 발생시키는 단계, 및 상기 리프레쉬 커맨드에 응답하여 리프레쉬 동작을 수행하는 단계를 포함하여 구성된 셀프 리프레쉬 회로의 동작 방법을 제공한다.

여기에서, 상기 리프레쉬 제어 신호를 발생하는 단계는 상기 소정의 MRS 커맨드가 비활성화된 경우에는, 상기 리프레쉬 주기 펄스에 응답하여 리프레쉬 제어 신호를 발생하고, 리프레쉬 진입 금지 신호에 응답하여 상기 리프레쉬 제어 신호의 출력을 차단하며 상기 소정의 MRS 커맨드가 활성화된 경우에는 상기 리프레쉬 주기 펄스에 무관하게 상기 리프레쉬 제어 신호를 디스에이블 시키는 단계로 구성된다.

이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.

도3은 본 발명에 따른 의사 SRAM의 셀프 리프레쉬 회로의 구성예를 도시한 블록도이다.

도3을 참조하면, 셀프 리프레쉬 회로(300)는 내부 리프레쉬 발진기(101), 워드라인 제어 펄스 발생기(130), 내부 리프레쉬 회로(150), MRS부(205), 리프레쉬 제어 신호 발생기(210), 리프레쉬 커맨드 발생 제어부(215) 및 리프레쉬 커맨드 발생기(220)를 포함하여 구성된다.

내부 리프레쉬 발진기(101), 워드라인 제어 펄스 발생기(130) 및 내부 리프레쉬 회로(150)의 역할 및 구성은 도1에서 예시한 종래 기술의 셀프 리프레쉬 회로(100)의 대응요소들과 동일하기 때문에 설명은 생략한다.

본 발명의 셀프 리프레쉬 회로(300)는 MRS부(205)로부터 본 발명의 셀프 리프레쉬 회로(300)를 위하여 정의된 리얼 tAA 측정 MRS 커맨드(이하, MTAA MRS 커맨드)를 받아들인다. 상기 MTAA MRS 커맨드는 상기 리프레쉬 제어 신호 발생기(210)와 상기 리프레쉬 커맨드 발생 제어부(215)에 입력된다.

상기 MRS부(205)는 반도체 메모리 장치에 입력된 제어 신호들(COM)과 어드레스 신호들(ADDR)에 응답하여 상기 MTAA MRS 커맨드를 발생시킨다. 이를 위해서 상기 MRS부(205)는 MRS 레지스터 및 MRS 커맨드 디코더(command decoder)등을 포함하여 구성될 수 있다.

리프레쉬 제어 신호 발생기(210)는 상기 MTAA MRS 커맨드가 '로우'로 비활성화된 경우에는 도1에서 예시한 종래 기술의 리프레쉬 제어 신호 발생기(110)와 동일하게 동작한다. 즉, 리프레쉬 제어 신호 발생기(210)는 내부 리프레쉬 발진기(101)가 발생한 리프레쉬 주기 펄스(SRFH)를 입력받아서, 리프레쉬 제어 신호(SRFHP)를 발생시킨다. 또한, 리프레쉬 제어 신호 발생기(210)는 워드라인 제어 펄스 발생기(130)로부터 발생한 셀프 리프레쉬 진입 금지 신호(NERFH)도 입력받는다. 셀프 리프레쉬 진입 금지 신호(NERFH)가 활성화되면, 리프레쉬 제어 신호(SRFHP)의 발생을 지연시켜 셀프 리프레쉬 동작으로의 진입이 차단된다.

따라서, 리프레쉬 제어 신호 발생기(210)는 셀프 리프레쉬 진입 금지 신호(NERFH)와 리프레쉬 주기 펄스(SRFH)를 입력받아, 리프레쉬 주기 펄스(SRFH)가 셀프 리프레쉬 진입 금지 신호(NERFH)보다 앞설 경우에는 리프레쉬 제어 신호(SRFHP)를 활성화시킨다. 반대로, 셀프 리프레쉬 진입 금지 신호(NERFH)가 리프레쉬 주기 펄스(SRFH)보다 앞설 경우에는 메모리에 대한 읽기 또는 쓰기 동작을 완료할 때까지, 리프레쉬 제어 신호(SRFHP)의 활성화를 지연시키는 역할을 한다.

반면에, 리프레쉬 제어 신호 발생기(210)는 MTAA MRS 커맨드가 활성화된 경우에는 리프레쉬 주기 펄스(SRFH)에 무관하게, 리프레쉬 제어 신호(SRFHP) 출력을 고정시키는 역할을 한다. 따라서, 리프레쉬 주기 펄스(SRFH)에 의한, 리프레쉬 제어 신호(SRFHP)의 변화를 디스에이블(disable)시킨다.

이러한 본 발명의 리프레쉬 제어 신호 발생기(210)의 동작은 회로도들을 통해서 자세하게 설명된다.

도4는 본 발명의 셀프 리프레쉬 회로에 적용 가능한 리프레쉬 제어 신호 발생기의 구성예를 도시한 회로도이다.

도4에서 예시한 회로도본 발명의 리프레쉬 제어 신호 발생기(210)의 구성예를 도시한 것이다.

도4를 참조하면, 본 발명의 리프레쉬 제어 신호 발생기(210)는 인버터(INV41), 부정 논리합 소자부(NOR41), 홀수개의 인버터들(INV42,...,INV4N)과 부정 논리합 소자부(NOR42)를 포함한 하강 에지(falling edge) 검출부(401), 인버터(INV4M) 및 교차 연결된 두 개의 부정논리곱 소자부로 구성된 SR 래치(SRFF)를 포함하여 구성된다.

내부 리프레쉬 발진기(101)로부터 출력된 리프레쉬 주기 펄스(SRFH)는 인버터(INV41)에서 반전되고, MTAA MRS 커맨드와 함께 부정 논리합 소자부(NOR41)에 입력된다.

MTAA MRS 커맨드가 '로우'로 비활성화된 상태에서는 부정 논리합 소자부(NOR41)는 인버터(INV41)에서 반전된 리프레쉬 주기 펄스(SRFH)를 다시 반전하여 출력한다. 따라서 하강 에지 검출부(401)는 리프레쉬 주기 펄스(SRFH)의 하강 에지에서 소정 펄스폭을 가지는 펄스를 생성한다. 하강 에지 검출부(401)가 출력하는 펄스의 펄스폭은 하강 에지 검출부(401)가 포함한 홀수개의 인버터(INV42, ..., INV4N)의 전파 지연값(propagation delay)에 의해서 조절된다.

마지막으로 하강 에지 검출부(401)가 출력한 펄스는 인버터(INV4M)에서 다시 반전되어 SR 래치(SRFF)에 입력되고, 리프레쉬 제어 신호(SRFHP)를 세트(set)하는 역할을 수행한다. 한편 SR 래치(SRFF)는 셀프 리프레쉬 진입 금지 신호(NERFH)를 리세트(reset) 신호로 입력받게 되고, 셀프 리프레쉬 진입 금지 신호(NERFH)가 '하이'를 유지하는 동안 리프레쉬 제어 신호(SRFHP)가 '로우'로 활성화되는 시점이 지연되게 된다. 즉, 셀프 리프레쉬 진입 금지 신호(NERFH)에 의해서 리프레쉬 제어 신호(SRFHP)의 활성화가 차단된다.

이상에서 설명된 리프레쉬 제어 신호 발생기(210)의 동작은 셀프 리프레쉬 회로의 일반적인 동작 상태에서의 동작을 언급한 것이다.

반면에, MTAA MRS 커맨드가 '하이'로 활성화된 상태에서는 본 발명이 목적으로 하는 리얼 tAA를 측정하기 위해서 메모리 액세스 중에 강제적인 셀프 리프레쉬 동작의 개입을 가능하게 하기 위한 동작이 이루어진다.

MTAA MRS 커맨드가 '하이'로 활성화된 상태에서는 부정 논리합 소자부(NOR41)의 출력은 항상 '로우'를 유지하게 된다. 따라서, 리프레쉬 발진기(101)가 출력한 리프레쉬 주기 펄스(SRFH)에 무관하게, 하강 에지 검출부(401)의 출력은 '로우'로 고정된다.

이에 따라 인버터(INV4M)의 출력은 '하이'로 고정되기 때문에, SR 래치(SRFF)의 출력인 리프레쉬 제어 신호(SRFHP)도 역시 변화없이 고정된다. 이후에 설명될 리프레쉬 커맨드 발생기(120)는 리프레쉬 제어 신호(SRFHP)의 하강 에지를 검출하는 하강 에지 검출부를 포함하여 동작하기 때문에 리프레쉬 제어 신호(SRFHP)가 변화없이 고정되면, 리프레쉬 커맨드(RFHTD)의 발생이 차단되는 결과가 된다.

즉, MTAA MRS 커맨드가 '하이'로 활성화된 상태에서는 본 발명의 리프레쉬 제어 신호 발생기(210)는 리프레쉬 제어 신호(SRFHP)의 변화를 비활성화(disable)시킴으로써 리프레쉬 주기 펄스(SRFH)에 응답하는 리프레쉬 커맨드(RFHTD)의 발생을 원천적으로 차단한다.

한편, 도4에서 예시한 본 발명의 리프레쉬 제어 신호 발생기(210)의 회로도도 단순히 하나의 구성예를 제시한 것에 불과하며, 상기 언급된 인버터 소자들의 숫자와 논리 소자부의 구성은 동일한 목적을 달성하기 위해서 다른 구성을 취할 수 있고, 반도체 메모리 장치의 타이밍 특성에 의해서도 일부 변경될 수 있음은 당업자에게 있어서 자명하다.

리프레쉬 커맨드 발생 제어부(215)는 상기 MTAA MRS 커맨드를 입력받아 리프레쉬 커맨드 발생기(220)를 제어하여 리프레쉬 커맨드(RFHTD)의 발생을 제어하는 것을 목적으로 하는 구성요소이다.

상기 리프레쉬 커맨드 발생 제어부(215)는 MRS부(205)로부터 MTAA MRS 커맨드를 입력받고, 워드라인 제어 펄스 발생기(130)로부터 셀프 리프레쉬 진입 금지 신호(NERFH)를 입력받아서, MTAA MRS 커맨드와 셀프 리프레쉬 진입 금지 신호(NERFH)의 논리곱으로 리프레쉬 커맨드 발생 제어 신호(PNERFHBD)를 생성한다.

따라서, 상기 리프레쉬 커맨드 발생 제어 신호(PNERFHBD)는 MTAA MRS 커맨드가 활성화되어 있을 때에, 셀프 리프레쉬 진입 금지 신호(NERFH)에 동기된 리프레쉬 커맨드(RFHTD)의 발생을 가능하도록 하는 역할을 수행한다.

도5는 본 발명의 셀프 리프레쉬 회로에 적용 가능한 리프레쉬 커맨드 발생 제어부의 구성예를 도시한 회로도이다.

도5에서 예시한 본 발명의 리프레쉬 커맨드 발생 제어부(215)는 인버터들(INV51, INV52)과 부정 논리합 소자부(NOR51)로 구성된 논리곱 소자부(501) 및 인버터(INV53)를 포함하여 구성된다.

MTAA MRS 커맨드 입력은 인버터(INV51)에 의해서 반전되고, 셀프 리프레쉬 진입 금지 신호(NERFH)는 인버터(INV52)에 의해서 반전되어 부정 논리합 소자부(NOR51)에 입력된다. 따라서, 상기 인버터들(INV51, INV52)과 부정 논리합 소자부(NOR51)는 MTAA MRS 커맨드와 셀프 리프레쉬 진입 금지 신호(NERFH)의 논리곱을 출력하는 논리곱 소자부(501)를 구성한다.

논리곱 소자부(501)의 출력은 인버터(INV53)에 의해서 반전되어 리프레쉬 커맨드 발생 제어 신호(PNERFHBD)가 된다. 따라서, MTAA MRS 커맨드가 활성화되어 있을 때에 리프레쉬 커맨드 발생 제어부(215)는 셀프 리프레쉬 진입 금지 신호(NERFH)와 동기되어 '로우'로 활성화된 리프레쉬 커맨드 발생 제어 신호(PNERFHBD)를 리프레쉬 커맨드 발생기(220)로 출력하여 리프레쉬 커맨드 발생기(220)의 리프레쉬 커맨드(RFHTD) 발생을 제어한다.

리프레쉬 커맨드 발생기(220)는 상기 리프레쉬 제어 신호 발생기(210)가 출력한 리프레쉬 제어 신호(SRFHP) 또는 상기 리프레쉬 커맨드 발생 제어부(215)가 출력한 리프레쉬 커맨드 발생 제어 신호(PNERFHBD)에 응답하여 리프레쉬 커맨드(RFHTD)를 발생시키는 역할을 수행한다.

즉, 리프레쉬 커맨드 발생기(220)는 리프레쉬 제어 신호 발생기(210)가 출력한 리프레쉬 제어 신호(SRFHP)와 리프레쉬 커맨드 발생 제어부(215)가 출력한 리프레쉬 커맨드 발생 제어 신호(PNERFHBD)를 논리합하여 리프레쉬 커맨드(RFHTD)를 발생시킨다.

따라서, 리프레쉬 커맨드 발생기(220)는 리프레쉬 주기 펄스(SRFH)에 응답하여 리프레쉬 제어 신호 발생기(210)에서 생성한 리프레쉬 제어 신호(SRFHP)에 응답하는 정상적인 동작을 수행할 수도 있고, MTAA MRS 커맨드에 응답하여 리프레쉬 커맨드 발생 제어부(215)가 출력한 리프레쉬 커맨드 발생 제어 신호(PNERFHBD)에 응답하는 리얼 tAA 측정을 위한 동작을 수행할 수도 있다.

도6은 본 발명의 셀프 리프레쉬 회로에 적용 가능한 리프레쉬 커맨드 발생기의 구성예를 도시한 회로도이다.

도6에서 예시한 본 발명의 리프레쉬 커맨드 발생기(220)는 인버터(INV61), 인버터(INV62)와 부정 논리합 소자부(NOR61)로 구성된 하강 에지 검출부(601), 부정 논리합 소자부(NOR62)와 인버터(INV63)로 구성된 논리합 소자부(602)를 포함하여 구성된다.

리프레쉬 커맨드 발생 제어부(215)에서 출력하는 리프레쉬 커맨드 발생 제어 신호(PNERFHBD)가 '로우'로 활성화되면, 논리합 소자부(602)에서는 리프레쉬 커맨드(RFHTD)를 출력한다.

마찬가지로, 하강 에지 검출부(601)에서 리프레쉬 제어 신호 발생기(210)에서 출력한 리프레쉬 제어 신호(SRFHP)의 하강 에지를 검출하여 소정 펄스폭을 가지는 펄스를 출력하면 논리합 소자부(602)에서는 리프레쉬 커맨드(RFHTD)를 출력한다.

도7은 본 발명의 셀프 리프레쉬 장치를 이용한 리얼 tAA 측정의 신호 흐름을 도시한 타이밍도이다.

외부 어드레스의 입력에 의해서 ATD에서 출력된 ATD 출력 펄스(PPT)는 소정의 과정을 거쳐서 더미 펄스(PUL_RD0)를 생성하는 것은 종래 기술에서 설명된 도2a와 도2b에서 예시한 타이밍도의 경우와 동일하다.

반면에, 도7의 타이밍도를 참조하면, MTAA MRS 커맨드에 의해서 리프레쉬 커맨드(RFHTD)가 직접적으로 발생된다. 즉, 도2a 및 도2b에서 예시한 바와 같이 리프레쉬 주기 펄스(SRFH)에 응답하여 리프레쉬 커맨드(RFHTD)가 발생되는 것이 아니라, MTAA MRS 커맨드가 활성화되어 있으면, 셀프 리프레쉬 진입 금지 신호(NERFH)에 동기되어 리프레쉬 커맨드(RFHTD)가 직접적으로 발생된다.

따라서, 이 경우에는 상기 더미 펄스 구간(PUL_RD0)이 끝나는 시점에서 바로 정상적인 읽기 동작을 수행하는 것이 아니라, 셀프 리프레쉬 동작을 완료한 후에 비로소 내부적인 ATD 신호(RATD)가 활성화되어 읽기 동작을 수행하게 된다.

도8은 본 발명의 셀프 리프레쉬 장치를 이용한 리얼 tAA 측정을 가능하게 하는 반도체 메모리 장치의 구성을 도시한 블록도이다.

도8의 반도체 메모리 장치(800)는 내부 리프레쉬 발진기(101), 워드라인 제어 펄스 발생기(130), 내부 리프레쉬 회로(150), MRS부(205), 리프레쉬 제어 신호 발생기(210), 리프레쉬 커맨드 발생 제어부(215) 및 리프레쉬 커맨드 발생기(220)를 포함한 셀프 리프레쉬 회로를 포함하여 구성된다.

도8의 반도체 메모리 장치(800)에는 동작의 설명을 돕기 위하여 입력 버퍼(801), 액세스 제어 회로(802), 메모리 셀 어레이(803), 로우 디코더(804) 및 컬럼 디코더(805)가 함께 도시되어 있다.

입력 버퍼(801)에서는 제어 신호 패드와 어드레스 패드를 통하여 입력된 제어 신호와 어드레스 신호를 버퍼링하여 MRS부(205)로 출력한다.

MRS 레지스터 및 MRS 커맨드 디코더를 포함하여 구성된 MRS부(205)에서는 MTAA MRS 커맨드를 리프레쉬 제어 신호 발생기(210) 및 리프레쉬 커맨드 발생 제어부(215)로 출력한다.

액세스 제어 회로(802)는 입력 버퍼(801)에서 버퍼링된 제어 신호와 어드레스 신호에 응답하여 메모리 셀 어레이(803)에 대한 읽기 동작과 쓰기 동작을 수행한다.

한편 액세스 제어 회로(802)에 포함된 워드라인 제어 펄스 발생기(130)는 메모리 셀 어레이(803)에 대한 읽기 동작과 쓰기 동작 진행시에 셀프 리프레쉬 진입 금지 신호(NERFH)를 리프레쉬 제어 신호 발생기(210)와 리프레쉬 커맨드 발생 제어부(215)로 출력한다.

이미 설명된 바와 같이, 리프레쉬 제어 신호 발생기(210)는 내부 리프레쉬 발진기(101)로부터 출력된 리프레쉬 주기 펄스(SRFH)에 응답하여 리프레쉬 제어 신호(SRFHP)를 출력하고, 상기 셀프 리프레쉬 진입 금지 신호(NERFH)에 응답하여 리프레쉬 제어 신호(SRFHP)를 차단한다. 또한, MTAA MRS 커맨드가 활성화된 경우에는 리프레쉬 주기 펄스(SRFH)를 무시하고 리프레쉬 제어 신호(SRFHP)를 디스에이블시킨다.

또한, 이미 설명된 바와 같이, 리프레쉬 커맨드 발생 제어부(215)는 MTAA MRS 커맨드가 활성화된 경우에 상기 셀프 리프레쉬 진입 금지 신호(NERFH)에 동기된 리프레쉬 커맨드 발생 제어 신호(PNERFHBD)를 리프레쉬 커맨드 발생기(220)로 출력한다.

또한, 이미 설명된 바와 같이, 리프레쉬 커맨드 발생기(220)는 리프레쉬 제어 신호(SRFHP) 또는 리프레쉬 커맨드 발생 제어 신호(PNERFHBD)에 응답하여 리프레쉬 커맨드(RFHTD)를 내부 리프레쉬 회로(150)로 출력하여 내부 리프레쉬 동작을 수행할 수 있도록 한다.

따라서, 이와 같은 반도체 메모리 장치(800)의 구성을 통하여, 본 발명의 반도체 메모리 장치(800)는 정상 동작 중에는, 즉, MTAA MRS 커맨드가 비활성화된 경우에는 일반적인 셀프 리프레쉬 동작을 수행한다. 또한, 리얼 tAA를 측정하기 위해서 MTAA MRS 커맨드를 활성화시킬 경우에는 셀프 리프레쉬 동작을 메모리 액세스 동작에 강제적으로 개입시킴으로써 리얼 tAA의 측정을 가능하게 한다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

상기와 같은 본 발명에 따르면, 다이내믹 셀을 채용하여 셀프 리프레쉬 동작을 가지는 반도체 메모리 장치에 있어서, 메모리 액세스 동작 중에 셀프 리프레쉬 동작의 개입을 MRS 커맨드를 이용하여 강제적으로 제어함으로써, 리얼 액세스 타임을 측정하기 위한 종래의 스큐 타이밍을 이용한 시행착오 측정 방법을 개선하여 정확한 액세스 타임의 측정과 테스트 시간의 감소를 가능하게 하는 효과를 가져올 수 있다.

(57) 청구의 범위

청구항 1.

소정의 주기로 리프레쉬 주기 펄스를 발생시키는 리프레쉬 발진기;

어드레스 신호와 제어 신호의 조합으로 소정의 MRS 커맨드를 출력하는 MRS부;

상기 소정의 MRS 커맨드가 비활성화된 경우에는, 상기 리프레쉬 주기 펄스에 응답하여 리프레쉬 제어 신호를 발생하고, 셀프 리프레쉬 진입 금지 신호에 응답하여 상기 리프레쉬 제어 신호의 출력을 차단하며, 상기 소정의 MRS 커맨드가 활성화된 경우에는 상기 리프레쉬 주기 펄스에 무관하게 상기 리프레쉬 제어 신호를 디스에이블시키는 리프레쉬 제어 신호 발생기;

상기 셀프 리프레쉬 진입 금지 신호와 상기 소정의 MRS 커맨드에 응답하여 리프레쉬 커맨드 발생 제어 신호를 발생시키는 리프레쉬 커맨드 발생 제어부;

상기 리프레쉬 제어 신호 또는 상기 리프레쉬 커맨드 발생 제어 신호에 응답하여 리프레쉬 커맨드를 발생시키는 리프레쉬 커맨드 발생기; 및

상기 리프레쉬 커맨드에 응답하여 리프레쉬 동작을 수행하는 내부 리프레쉬 회로를 포함하여 구성된 것을 특징으로 하는 셀프 리프레쉬 회로.

청구항 2.

제 1 항에 있어서,

상기 리프레쉬 제어 신호 발생기는

상기 소정의 리프레쉬 주기 펄스를 입력받아 반전하는 반전기;

상기 소정의 MRS 커맨드와 상기 리프레쉬 주기 펄스의 반전값을 입력받는 부정 논리합 소자부;

상기 부정 논리합 소자부 출력의 하강 에지를 검출하여 소정 구간의 펄스를 생성하는 하강 에지 검출부;

상기 하강 에지 검출부가 출력하는 펄스를 반전하는 반전기; 및

상기 하강 에지 검출부가 출력하는 펄스의 반전값을 세트 신호로 입력받고 상기 셀프 리프레쉬 진입 금지 신호를 리세트 신호로 입력받아 상기 리프레쉬 제어 신호를 출력하는 SR 래치를 포함하여 구성된 것을 특징으로 하는 셀프 리프레쉬 회로.

청구항 3.

제 2 항에 있어서,

상기 하강 에지 검출부는

상기 부정 논리합 소자부 출력을 반전하는 직렬 연결된 홀수 개의 반전기; 및

상기 직렬 연결된 홀수개의 반전기의 출력과 상기 부정 논리합 소자부 출력을 입력받는 부정 논리합 소자부를 포함하여 구성되며,

상기 하강 에지 검출부가 출력하는 펄스의 펄스 폭은 상기 홀수개의 반전기의 전과 지연값들의 합에 의해서 결정되는 것을 특징으로 하는 셀프 리프레쉬 회로.

청구항 4.

제 1 항에 있어서,

상기 리프레쉬 커맨드 발생 제어부는

상기 소정의 MRS 커맨드와 상기 셀프 리프레쉬 진입 금지 신호를 입력받아, 상기 소정의 MRS 커맨드와 상기 셀프 리프레쉬 진입 금지 신호를 논리곱하는 논리곱 소자부; 및

상기 논리곱 소자부의 출력을 반전하여 상기 리프레쉬 커맨드 발생 제어 신호를 출력하는 반전기를 포함하여 구성된 것을 특징으로 하는 셀프 리프레쉬 회로.

청구항 5.

제 4 항에 있어서,

상기 논리곱 소자부는

상기 소정의 MRS 커맨드를 반전하는 반전기;

상기 셀프 리프레쉬 진입 금지 신호를 반전하는 반전기; 및

상기 소정의 MRS 커맨드의 반전값과 상기 셀프 리프레쉬 진입 금지 신호의 반전값을 부정 논리합하는 부정 논리합 소자부를 포함하여 구성된 것을 특징으로 하는 셀프 리프레쉬 회로.

청구항 6.

제 1 항에 있어서,

상기 리프레쉬 커맨드 발생기는

상기 리프레쉬 커맨드 발생 제어 신호를 입력받아 반전하는 반전기;

상기 리프레쉬 제어 신호를 입력받아 상기 리프레쉬 제어 신호의 하강 에지를 검출하여 소정 구간의 펄스를 생성하는 하강 에지 검출부; 및

상기 반전기의 출력과 상기 하강 에지 검출부의 출력을 논리합하여 상기 리프레쉬 커맨드를 출력하는 논리합 소자부를 포함하여 구성된 것을 특징으로 하는 셀프 리프레쉬 회로.

청구항 7.

제 6 항에 있어서,

상기 하강 에지 검출부는

상기 리프레쉬 제어 신호를 반전하는 직렬 연결된 홀수 개의 반전기; 및

상기 직렬 연결된 홀수개의 반전기의 출력과 상기 리프레쉬 제어 신호를 입력받는 부정 논리합 소자부를 포함하여 구성되며,

상기 하강 에지 검출부가 출력하는 펄스의 펄스 폭은 상기 홀수개의 반전기의 전과 지연값들의 합에 의해서 결정되는 것을 특징으로 하는 셀프 리프레쉬 회로.

청구항 8.

제 6 항에 있어서,

상기 논리합 소자부는

부정 논리합 소자부와 반전기의 직렬 연결에 의해서 구성되는 것을 특징으로 하는 셀프 리프레쉬 회로.

청구항 9.

복수개의 다이내믹 셀을 포함한 다이내믹 셀 어레이;

어드레스 신호와 제어 신호를 응답하여 상기 다이내믹 셀 어레이에 대한 읽기와 쓰기 동작을 수행하고, 셀프 리프레쉬 진입 금지 신호를 출력하는 워드라인 제어 펄스 발생기를 포함한 액세스 제어 회로; 및

내부에서 발생된 주기 펄스에 의해서 상기 다이내믹 셀 어레이에 대한 리프레쉬 동작을 수행하는 셀프 리프레쉬 회로를 구비하고,

상기 셀프 리프레쉬 회로는

소정의 주기로 리프레쉬 주기 펄스를 발생시키는 리프레쉬 발진기;

상기 어드레스 신호와 상기 제어 신호의 조합으로 소정의 MRS 커맨드를 출력하는 MRS부;

상기 소정의 MRS 커맨드가 비활성화된 경우에는, 상기 리프레쉬 주기 펄스에 응답하여 리프레쉬 제어 신호를 발생하고, 상기 셀프 리프레쉬 진입 금지 신호에 응답하여 상기 리프레쉬 제어 신호의 출력을 차단하며, 상기 소정의 MRS 커맨드가 활성화된 경우에는 상기 리프레쉬 주기 펄스에 무관하게 상기 리프레쉬 제어 신호를 디스에이블 시키는 리프레쉬 제어 신호 발생기;

상기 셀프 리프레쉬 진입 금지 신호와 상기 소정의 MRS 커맨드에 응답하여 리프레쉬 커맨드 발생 제어 신호를 발생시키는 리프레쉬 커맨드 발생 제어부;

상기 리프레쉬 제어 신호 또는 상기 리프레쉬 커맨드 발생 제어 신호에 응답하여 리프레쉬 커맨드를 발생시키는 리프레쉬 커맨드 발생기; 및

상기 리프레쉬 커맨드에 응답하여 리프레쉬 동작을 수행하는 내부 리프레쉬 회로를 포함하여 구성된 것을 특징으로 하는 다이내믹 셀 어레이를 구비한 의사 SRAM 반도체 메모리 장치.

청구항 10.

제 9 항에 있어서,

상기 셀프 리프레쉬 회로의 리프레쉬 제어 신호 발생기는

상기 소정의 리프레쉬 주기 펄스를 입력받아 반전하는 반전기;

상기 소정의 MRS 커맨드와 상기 리프레쉬 주기 펄스의 반전값을 입력받는 부

정 논리합 소자부;

상기 부정 논리합 소자부 출력의 하강 에지를 검출하여 소정 구간의 펄스를 생성하는 하강 에지 검출부;

상기 하강 에지 검출부가 출력하는 펄스를 반전하는 반전기; 및

상기 하강 에지 검출부가 출력하는 펄스의 반전값과 상기 셀프 리프레쉬 진입 금지 신호를 입력받아 상기 리프레쉬 제어 신호를 출력하는 SR 래치를 포함하여 구성된 것을 특징으로 하는 다이내믹 셀 어레이를 구비한 의사 SRAM 반도체 메모리 장치.

청구항 11.

제 10 항에 있어서,

상기 하강 에지 검출부는

상기 부정 논리합 소자부 출력을 반전하는 직렬 연결된 홀수 개의 반전기; 및

상기 직렬 연결된 홀수개의 반전기의 출력과 상기 부정 논리합 소자부 출력을 입력받는 부정 논리합 소자부를 포함하여 구성되며,

상기 하강 에지 검출부가 출력하는 펄스의 펄스 폭은 상기 홀수개의 반전기의 전과 지연값들의 합에 의해서 결정되는 것을 특징으로 하는 다이내믹 셀 어레이를 구비한 의사 SRAM 반도체 메모리 장치.

청구항 12.

제 9 항에 있어서,

상기 셀프 리프레쉬 회로의 리프레쉬 커맨드 발생 제어부는

상기 소정의 MRS 커맨드와 상기 셀프 리프레쉬 진입 금지 신호를 입력받아, 상기 소정의 MRS 커맨드와 상기 셀프 리프레쉬 진입 금지 신호를 논리곱하는 논리곱 소자부; 및

상기 논리곱 소자부의 출력을 반전하여 상기 리프레쉬 커맨드 발생 제어 신호를 출력하는 반전기를 포함하여 구성된 것을 특징으로 하는 다이내믹 셀 어레이를 구비한 의사 SRAM 반도체 메모리 장치.

청구항 13.

제 12 항에 있어서,

상기 논리곱 소자부는

상기 소정의 MRS 커맨드를 반전하는 반전기;

상기 셀프 리프레쉬 진입 금지 신호를 반전하는 반전기; 및

상기 소정의 MRS 커맨드의 반전값과 상기 셀프 리프레쉬 진입 금지 신호의 반전값을 부정 논리합하는 부정 논리합 소자부를 포함하여 구성된 것을 특징으로 하는 다이내믹 셀 어레이를 구비한 의사 SRAM 반도체 메모리 장치.

청구항 14.

제 9 항에 있어서,

상기 셀프 리프레쉬 회로의 리프레쉬 커맨드 발생기는

상기 리프레쉬 커맨드 발생 제어 신호를 입력받아 반전하는 반전기;

상기 리프레쉬 제어 신호를 입력받아 상기 리프레쉬 제어 신호의 하강 에지를 검출하여 소정 구간의 펄스를 생성하는 하강 에지 검출부; 및

상기 반전기의 출력과 상기 하강 에지 검출부의 출력을 논리합하여 상기 리프레쉬 커맨드를 출력하는 논리합 소자부를 포함하여 구성된 것을 특징으로 하는 다이내믹 셀 어레이를 구비한 의사 SRAM 반도체 메모리 장치.

청구항 15.

제 14 항에 있어서,

상기 하강 에지 검출부는

상기 리프레쉬 제어 신호를 반전하는 직렬 연결된 홀수 개의 반전기; 및

상기 직렬 연결된 홀수개의 반전기의 출력과 상기 리프레쉬 제어 신호를 입력받는 부정 논리합 소자부를 포함하여 구성되며,

상기 하강 에지 검출부가 출력하는 펄스의 펄스 폭은 상기 홀수개의 반전기의 전과 지연값들의 합에 의해서 결정되는 것을 특징으로 하는 다이내믹 셀 어레이를 구비한 의사 SRAM 반도체 메모리 장치.

청구항 16.

제 14 항에 있어서,

상기 논리합 소자부는

부정 논리합 소자부와 반전기의 직렬 연결에 의해서 구성되는 것을 특징으로 하는 다이내믹 셀 어레이를 구비한 의사 SRAM 반도체 메모리 장치.

청구항 17.

소정의 주기로 리프레쉬 주기 펄스를 발생시키는 단계;

소정의 MRS 커맨드를 입력받는 단계;

상기 소정의 MRS 커맨드가 비활성화된 경우에는, 상기 리프레쉬 주기 펄스에 응답하여 리프레쉬 제어 신호를 출력하고, 셀프 리프레쉬 진입 금지 신호에 응답하여 상기 리프레쉬 제어 신호의 출력을 차단하며, 상기 소정의 MRS 커맨드가 활성화된 경우에는 상기 리프레쉬 주기 펄스에 무관하게 상기 리프레쉬 제어 신호를 디스에이블 시키는 리프레쉬 제어 신호 발생 단계;

상기 셀프 리프레쉬 진입 금지 신호와 상기 소정의 MRS 커맨드에 응답하여 리프레쉬 커맨드 발생 제어 신호를 발생시키는 리프레쉬 커맨드 발생 제어 단계;

상기 리프레쉬 제어 신호 또는 상기 리프레쉬 커맨드 발생 제어 신호에 응답하여 리프레쉬 커맨드를 발생시키는 리프레쉬 커맨드 발생 단계; 및

상기 리프레쉬 커맨드에 응답하여 리프레쉬 동작을 수행하는 내부 리프레쉬 동작 단계를 포함하여 구성된 것을 특징으로 하는 셀프 리프레쉬 회로의 동작 방법.

청구항 18.

제 17 항에 있어서,

상기 리프레쉬 제어 신호 발생 단계는

상기 소정의 MRS 커맨드와 상기 리프레쉬 주기 펄스의 반전값을 부정 논리합하는 단계;

상기 부정 논리합 결과의 하강 에지를 검출하여 소정 구간의 펄스를 생성하는 하강 에지 검출 단계;

상기 하강 에지 검출 단계에서 출력된 소정 구간의 펄스의 반전값에 의해 세트되고 상기 셀프 리프레쉬 진입 금지 신호에 의해 리세트되는 상기 리프레쉬 제어 신호를 출력하는 SR 래치 단계를 포함한 것을 특징으로 하는 셀프 리프레쉬 회로의 동작 방법.

청구항 19.

제 17 항에 있어서,

상기 리프레쉬 커맨드 발생 제어 단계는

상기 소정의 MRS 커맨드와 상기 셀프 리프레쉬 진입 금지 신호를 입력받아, 상기 소정의 MRS 커맨드와 상기 셀프 리프레쉬 진입 금지 신호를 논리곱하는 단계; 및

상기 논리곱한 결과를 반전하여 상기 리프레쉬 커맨드 발생 제어 신호를 출력하는 단계를 포함하여 구성된 것을 특징으로 하는 셀프 리프레쉬 회로의 동작 방법.

청구항 20.

제 17 항에 있어서,

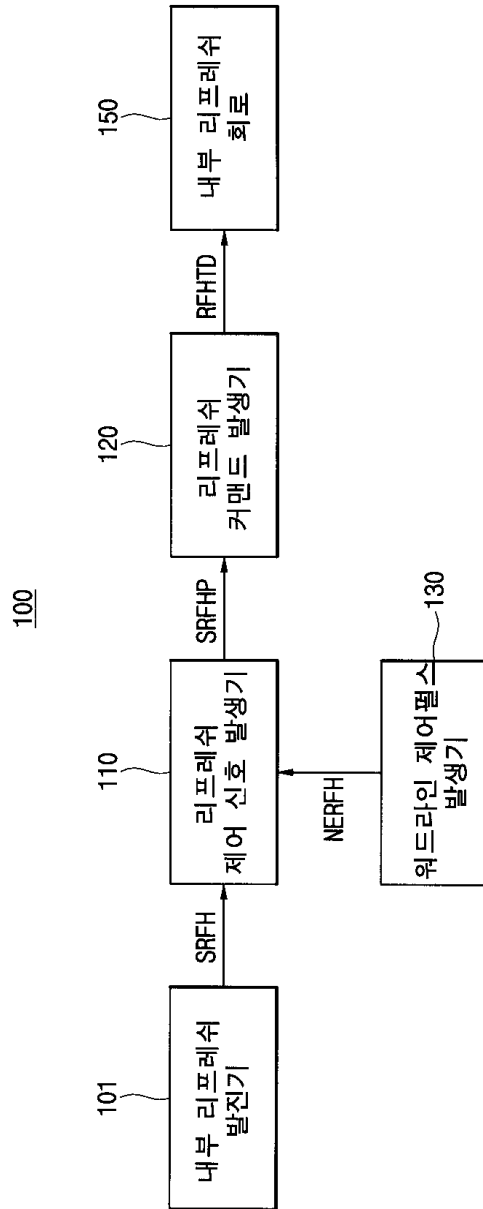
상기 리프레쉬 커맨드 발생 단계는

상기 리프레쉬 제어 신호의 하강 에지를 검출하여 소정 구간의 펄스를 생성하는 하강 에지 검출 단계; 및

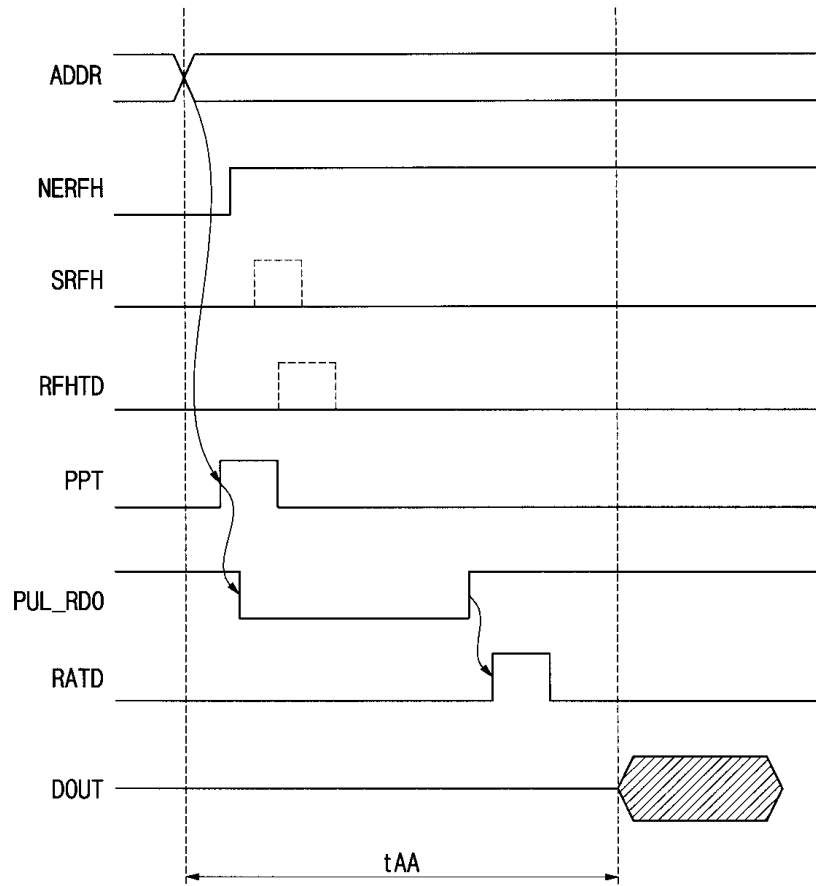
상기 리프레쉬 커맨드 발생 제어 신호의 반전값과 상기 하강 에지 검출 단계에서 출력된 소정 구간의 펄스를 논리합하여 상기 리프레쉬 커맨드를 출력하는 단계를 포함하여 구성된 것을 특징으로 하는 셀프 리프레쉬 회로의 동작 방법.

도면

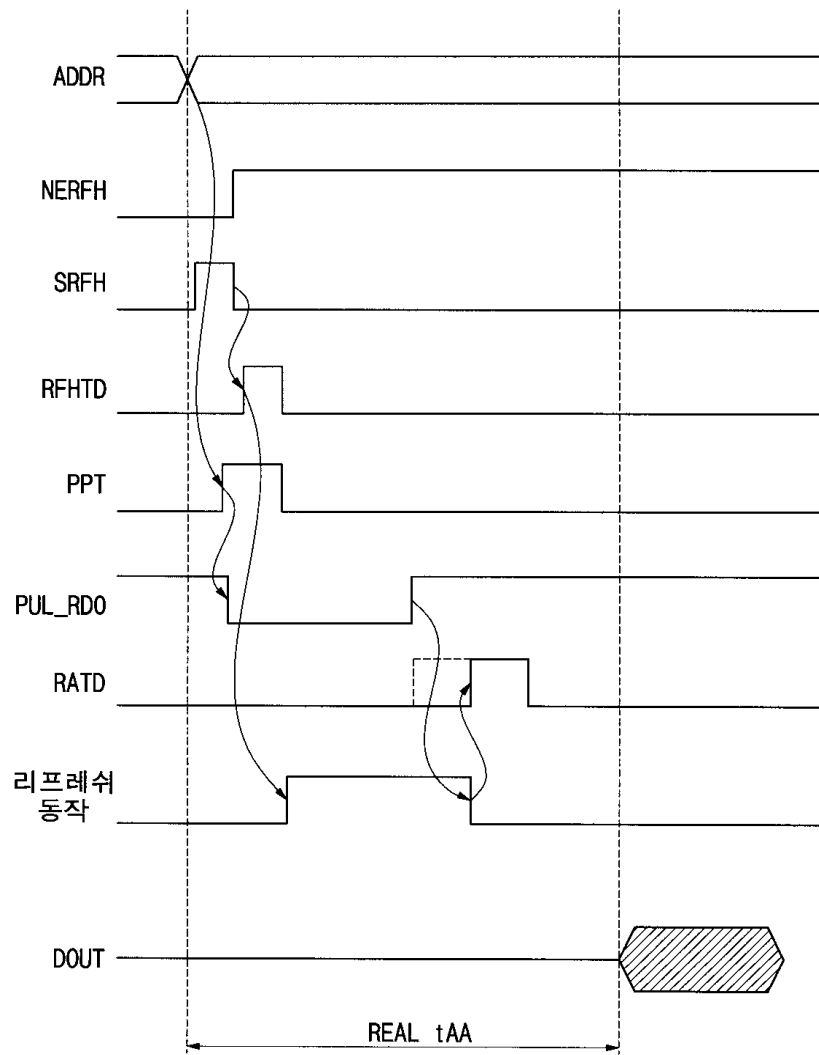
도면1



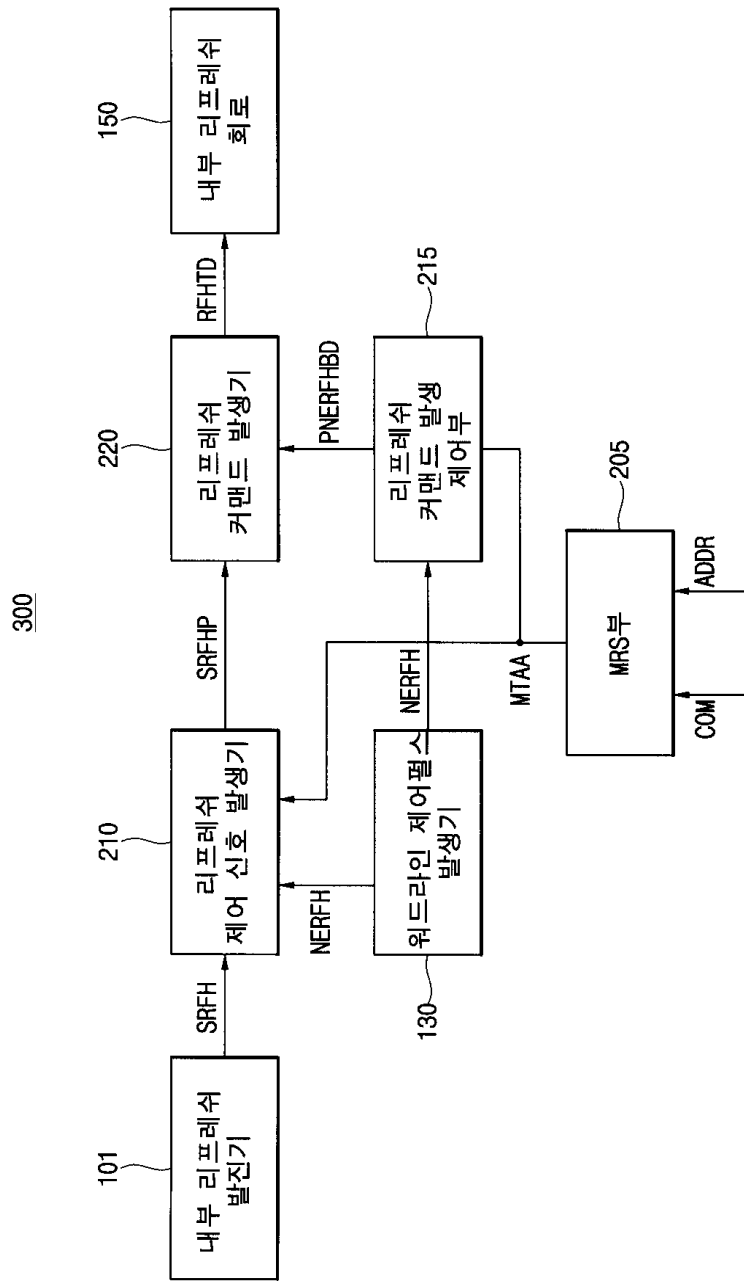
도면2a



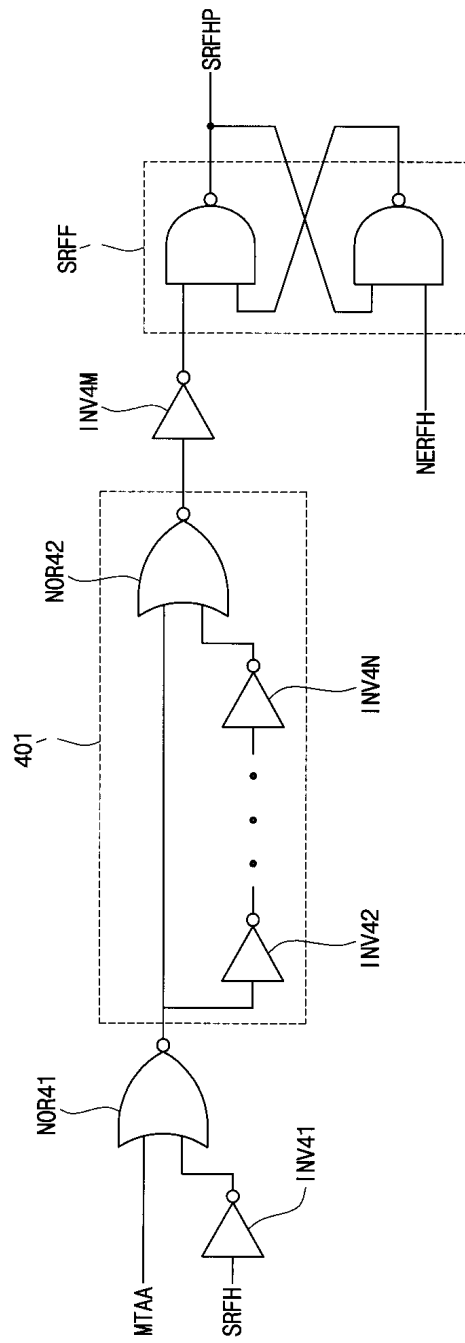
도면2b



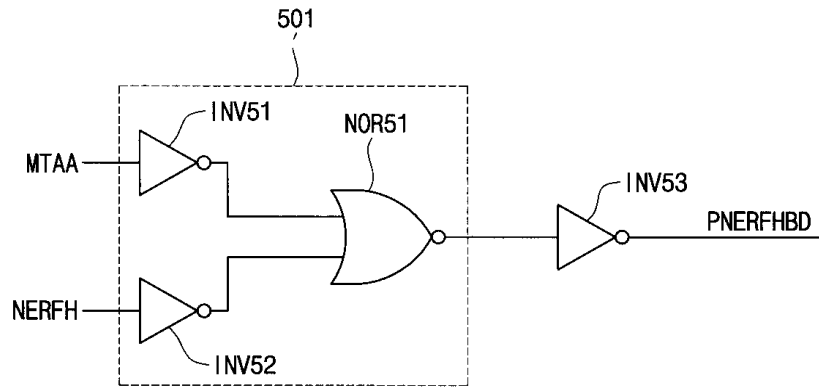
도면3



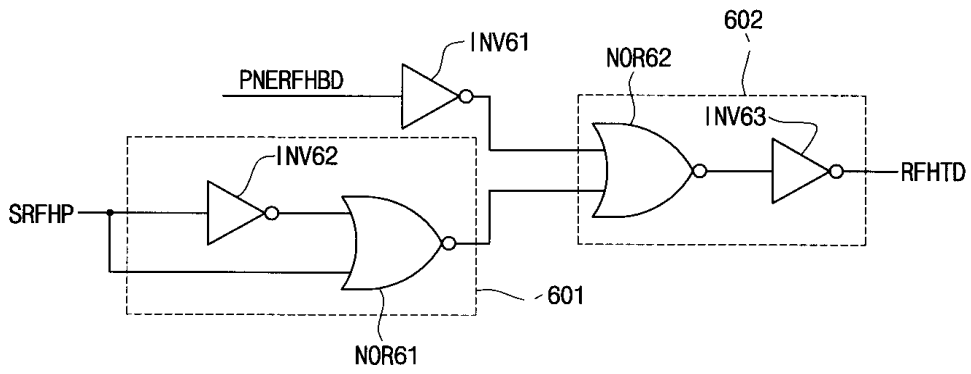
도면4



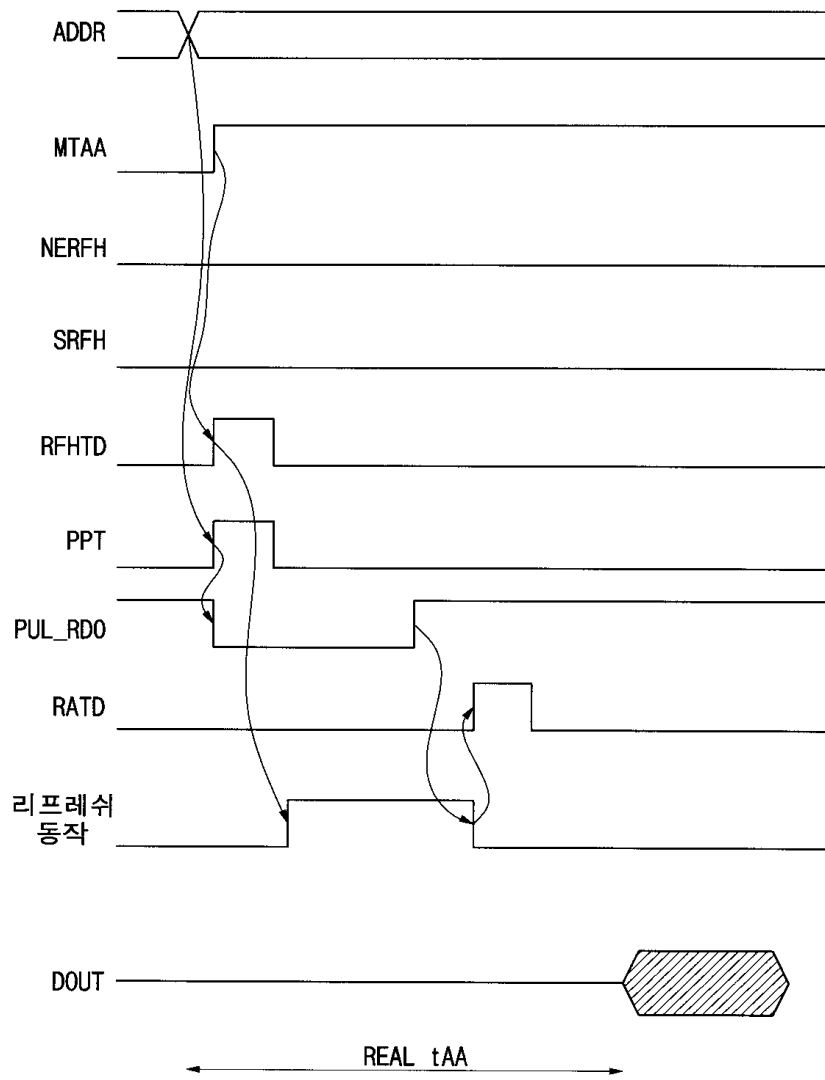
도면5



도면6



도면7



도면8

