

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年9月7日(07.09.2023)



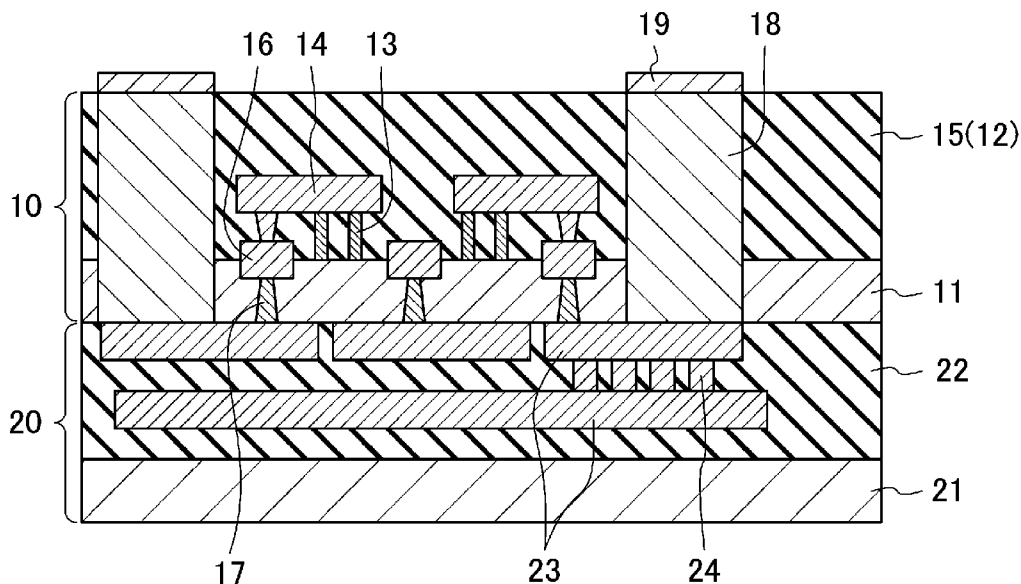
(10) 国際公開番号

WO 2023/166674 A1

- (51) 国際特許分類:
H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2022/009198
- (22) 国際出願日: 2022年3月3日(03.03.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).
- (72) 発明者:石垣 良樹 (ISHIGAKI Yoshiki); 〒2220033 神奈川県横浜市港北区新横浜
- 二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).
- (74) 代理人:弁理士法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 半導体集積回路装置



(57) Abstract: A first semiconductor chip (10) includes a pad (19) formed on top of a wiring layer (12) and connected to a power supply supplying a power supply voltage VSS, a power supply switch circuit (42) provided between VDD wiring and VDDV wiring, an embedded power supply wiring (102) formed in an embedded power supply wiring layer and connected to the power supply supplying the power supply voltage VSS, and a via (172) connected to the pad (19), which is connected to the power supply supplying the power supply voltage VSS, and provided to penetrate a substrate



WO 2023/166674 A1

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

— 国際調査報告 (条約第21条(3))

(11) and the wiring layer (12). A second semiconductor chip (20) includes wiring (132) connected to the embedded power supply wiring (102) and the via (172).

(57) 要約 : 第1半導体チップ (10) は、配線層 (12) の上部に形成されており、電源電圧VSSを供給する電源に接続されたパッド (19) と、VDD配線およびVDDV配線の間設けられた電源スイッチ回路 (42) と、埋込電源配線層に形成されており、電源電圧VSSを供給する電源と接続された埋込電源配線 (102) と、電源電圧VSSを供給する電源に接続されたパッド (19) に接続されており、基板 (11) および配線層 (12) を貫通するように設けられたビア (172) とを含む。第2半導体チップ (20) は、埋込電源配線 (102) およびビア (172) に接続された配線 (132) を含む。

明 細 書

発明の名称：半導体集積回路装置

技術分野

[0001] 本開示は、積層された半導体チップを備えた半導体集積回路装置に関する。

背景技術

[0002] 半導体集積回路は、その微細化に伴う高集積化および低電圧化により、電源電圧降下(IR-Drop)や電源ノイズに対してより注意した設計が必要となっている。このため、半導体集積回路に対して電源電圧を供給する電源供給網(PDN: Power Delivery Network)の設計が重要となる。

[0003] また、半導体集積回路は低電力化のために内部に電源スイッチを設け、システムの動作に応じて電源スイッチをON/OFFすることによって消費電力を削減することが広く行われている。

[0004] 特許文献1では積層された半導体チップのうち、第1の半導体チップに電源スイッチを設け、第1の半導体チップの背面に張り合わされ、電源配線が構成された第2の半導体チップから電源スイッチに電源電位(電源電圧)を供給する半導体装置が開示されている。

先行技術文献

特許文献

[0005] 特許文献1: WO2020/065916号公報

発明の概要

発明が解決しようとする課題

[0006] 特許文献1では、第2の半導体チップの下部に設けられた、外部端子としてのパッドから電源電圧が供給される。この電源電圧が、第2の半導体チップの電源配線を介して、第1の半導体チップの電源スイッチに供給される。

[0007] 一般的に大規模な半導体集積回路装置を設計する場合に、多くのIPコア(Intellectual Property core)と呼ばれる、特定の機能単位でまとめられ

た回路を使用する。これらのうちハードマクロと呼ばれるIPコアでは、提供されるデータにそのレイアウト構造まで含まれており、それらを修正できない。この場合、そのハードマクロの外部端子としてのパッドが、第1の半導体チップ（第1半導体チップ）の上部に設けられることが規定されていると、特許文献1のような構造では、電源電圧を供給するために、第2の半導体チップ（第2半導体チップ）の下部の外部端子に加えて、第1の半導体チップの上部にも外部端子を設けなくてはならない。このため、半導体集積回路装置の設計が困難であり、かつ、コストも大きくなる。

[0008] 本開示は、第1の半導体チップの上部に外部端子が設けられることが規定されている場合においても対応可能な半導体集積回路装置を提供することを目的とする。

課題を解決するための手段

[0009] 本開示の第1態様では、第1半導体チップと第2半導体チップとを含む半導体集積回路装置であって、前記第1半導体チップの背面と前記第2半導体チップの主面とが対向して配置されている。前記第1半導体チップは、主面の上部に形成されており、第1電源電圧を供給する第1電源に接続された第1端子と、前記主面の上部に形成されており、前記第1電源電圧と異なる第2電源電圧を供給する第2電源に接続された第2端子と、前記第1電源と、前記第1および第2電源電圧と異なる第3電源電圧を供給する第3電源との間に設けられ、前記第1および第3電源の間の接続および切断を制御する電源スイッチ回路と、埋込電源配線層に形成されており、前記第1電源と接続された第1埋込電源配線と、前記埋込電源配線層に形成されており、前記第2電源と接続された第2埋込電源配線と、前記第1端子に接続されており、主面から背面まで貫通するように設けられた第1ビアとを含む。前記第2半導体チップは、前記第1埋込電源配線および前記第1ビアに接続された第1配線を含む。

[0010] 本開示によると、第1半導体チップの主面の上部に、第1電源電圧を供給する第1電源に接続される第1端子が形成されている。第1端子は、第1半

導体チップを主面から背面まで貫通する第1ビア、第2半導体チップの第1配線、および、第1半導体チップの第1埋込電源配線を介して、電源スイッチ回路と接続される。これにより、第1半導体チップの主面の上部に形成された第1端子から電源スイッチ回路に第1電源電圧を供給することができるため、第1半導体チップの上部に外部端子が設けられることが規定されていても対応することができる。

[0011] 本開示の第2態様では、第1半導体チップと第2半導体チップとを含む半導体集積回路装置であって、前記第1半導体チップの背面と前記第2半導体チップの主面とが対向して配置されている。前記第1半導体チップは、主面の上部に設けられており、第1電源電圧を供給する第1電源に接続された第1端子と、前記主面の上部に設けられており、前記第1電源電圧と異なる第2電源電圧を供給する第2電源に接続された第2端子と、前記第1電源と、前記第1および第2電圧と異なる第3電圧を供給する第3電源との間に設けられ、前記第1および第3電源の間の接続および切断を制御する電源スイッチ回路と、埋込電源配線層に形成されており、前記第1電源と接続された第1埋込電源配線と、前記埋込電源配線層に形成されており、前記第2電源と接続された第2埋込電源配線と、前記埋込電源配線層よりも上層の第1配線層に形成されており、前記第1端子および前記第1埋込電源配線に接続された第1配線とを含む。前記第2半導体チップは、前記第1埋込電源配線と接続された第2配線を含む。

[0012] 本開示によると、第1半導体チップの主面の上部に、第1電源電圧を供給する第1電源に接続される第1端子が形成されている。第1端子は、第1半導体チップにおける、第1配線層の第1配線および埋込電源配線層の第1埋込電源配線を介して、電源スイッチ回路と接続されている。これにより、第1半導体チップの主面の上部に形成された第1端子から電源スイッチ回路に第1電源電圧を供給することができるため、第1半導体チップの上部に外部端子が設けられることが規定されていても対応することができる。

[0013] 本開示の第3態様では、第1半導体チップと第2半導体チップとを含む半

導体集積回路装置であって、前記第1半導体チップの背面と前記第2半導体チップの主面とが対向して配置されている。前記第1半導体チップは、主面の上部に設けられており、第1電源電圧を供給する第1電源に接続された第1端子と、前記主面の上部に設けられており、前記第1電源電圧と異なる第2電源電圧を供給する第2電源に接続された第2端子と、前記第1電源と、前記第1および第2電圧と異なる第3電圧を供給する第3電源との間に設けられ、前記第1および第3電源の間の接続および切断を制御する電源スイッチ回路と、埋込電源配線層に形成されており、前記第1電源と接続された第1埋込電源配線と、前記埋込電源配線層に形成されており、前記第2電源と接続された第2埋込電源配線と、前記埋込電源配線層に形成されており、前記第3電源と接続された第3埋込電源配線と、前記埋込電源配線層よりも上層の第1配線層に形成されており、前記第1端子および前記第1埋込電源配線に接続された第1配線と、前記背面に露出しており、前記第3埋込電源配線に接続された第1ビアとを含む。前記第2半導体チップは、前記第1ビアに接続された第2配線を含む。

[0014] 本開示によると、第1半導体チップの主面の上部に、第1電源電圧を供給する第1電源に接続される第1端子が形成されている。第1端子は、第1半導体チップにおける、第1配線層の第1配線および埋込電源配線層の第1埋込電源配線を介して、電源スイッチ回路と接続されている。これにより、第1半導体チップの主面の上部に形成された第1端子から電源スイッチ回路に第1電源電圧を供給することができるため、第1半導体チップの上部に外部端子が設けられることが規定されていても対応することができる。

発明の効果

[0015] 本開示によると、第1半導体チップの上部に外部端子が設けられることが規定されている場合においても対応することができる。

図面の簡単な説明

[0016] [図1]第1実施形態に係る半導体集積回路装置の概要を示す断面図。

[図2]第1実施形態に係る第1半導体チップのレイアウト構造の例を示す平面

図。

[図3]第1実施形態に係る第1半導体チップに含まれる電源スイッチ回路の構成を示す回路図。

[図4]第1実施形態に係る電源スイッチ制御回路のバッファの構成を示す回路図。

[図5]第1実施形態に係るスタンダードセル領域のレイアウト構造の例を示す平面図。

[図6A]第1実施形態に係るスタンダードセル領域のレイアウト構造の例を示す断面図。

[図6B]第1実施形態に係るスタンダードセル領域のレイアウト構造の例を示す断面図。

[図7]第1実施形態に係るスタンダードセル領域のレイアウト構造の他の例を示す平面図。

[図8]第1実施形態に係るスタンダードセル領域のレイアウト構造の他の例を示す断面図。

[図9]第1実施形態に係るスタンダードセル領域のレイアウト構造の他の例を示す平面図。

[図10]第1実施形態に係るスタンダードセル領域のレイアウト構造の他の例を示す断面図。

[図11]第2実施形態に係る第1半導体チップのスタンダードセル領域のレイアウト構造の例を示す平面図。

[図12]第2実施形態に係る第2半導体チップのスタンダードセル領域のレイアウト構造の例を示す平面図。

[図13A]第2実施形態に係るスタンダードセル領域のレイアウト構造の例を示す断面図。

[図13B]第2実施形態に係るスタンダードセル領域のレイアウト構造の例を示す断面図。

[図14]第2実施形態に係るスタンダードセル領域のレイアウト構造の他の例

を示す平面図。

[図15]第2実施形態に係るスタンダードセル領域のレイアウト構造の他の例を示す平面図。

発明を実施するための形態

[0017] 以下、実施の形態について、図面を参照して説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複した説明を省くことがある。また、以下の説明において、基板の表面に平行で互いに直交する2つの方向をX方向（第1方向）、Y方向（第2方向）とし、基板の表面に垂直な方向をZ方向とする。また、本開示での配置の一致とは、厳密に、製造上のばらつきに起因して不一致となったものを排除するものではなく、製造上のばらつきで配置にずれが生じている場合でも、配置が一致しているものとみなすことができる。

[0018] （第1実施形態）

図1は第1実施形態に係る半導体集積回路装置の断面図を示す。

[0019] 図1に示すように、第1の実施形態に係る半導体集積回路装置は、第1半導体チップ10および第2半導体チップ20を含む。

[0020] 第1半導体チップ10は、基板11および配線層12を含む。

[0021] 基板11は、例えば、シリコン基板であり、基板11の表面側にトランジスタ等の半導体素子が形成されている。トランジスタは、例えばソース、ドレインおよびチャンネルにフィン13を含むFinFETである。

[0022] 配線層12は、基板11の表面上に形成された配線14および絶縁層15を含む。配線14の一部はフィン13に接続される。また、基板11の表面側に、配線14に接続される埋込電源配線16が形成されている。埋込電源配線16は、基板11に少なくとも一部が埋め込まれて形成される埋込電源配線層の埋込電源配線（BPR：Buried Power Rail）である。

[0023] 基板11には、埋込電源配線16から基板11の裏面に繋がるビア17が設けられている。また、基板11には、パッド19から配線層22の上面に

形成された配線 23 に繋がるビア 18 が設けられている。パッド 19 は、例えば、配線基板やボードなどに接続する外部端子である。ビア 17, 18 は、例えばシリコン貫通ビア (through-silicon via: TSV) である。

[0024] 第 2 半導体チップ 20 は、第 1 半導体チップ 10 の基板 11 の裏面に対向して配置される。第 2 半導体チップ 20 は、基板 21 および配線層 22 を含む。

[0025] 基板 21 は、例えばシリコン基板である。

[0026] 配線層 22 は、基板 21 の表面上に形成される。配線層 22 の上面は、第 1 半導体チップ 10 の基板 11 の裏面に対向する。すなわち、配線層 22 は、基板 11 と基板 21 の間に位置する。

[0027] 配線層 22 は、複数の配線 23 を含む。配線層 22 の上面に形成された配線 23 の一部は、ビア 17 を介して、埋込電源配線 16 に接続されている。また、配線層 22 の上面に形成された配線 23 の一部は、ビア 18 を介して、パッド 19 と接続されている。また、複数の配線 23 の一部は、ビア 24 を介して、互いに接続されている。

[0028] 図 2 は第 1 実施形態に係る第 1 半導体チップのレイアウト構造の例を示す平面図である。図 3 は第 1 実施形態に係る第 1 半導体チップに含まれる電源スイッチ回路の構成を示す回路図である。

[0029] 図 2 に示すように、第 1 半導体チップ 10 は、複数のスタンダードセル領域 31 およびその周辺に配置された入出力 (I/O) セル領域 32 を含む。なお、スタンダードセル領域 31 の配置数は 1 でもよいし、3 以上であってもよい。

[0030] 図 3 に示すように、スタンダードセル領域 31 は、スタンダードセル 41 および電源スイッチ回路 42 を含む。スタンダードセル 41 は、例えば、NAND 回路、インバータ回路などの各種論理回路を含む。スタンダードセル領域 31 には、スタンダードセル 41 に接地電圧を供給する VSS 配線、電源電圧を供給する VDDV 配線が配置されている。また、スタンダードセル領域 31 には、外部から電源スイッチ回路 42 に電源電圧を供給する VDD

配線が配置されている。

[0031] 図3に示すように、電源スイッチ回路42は、スイッチトランジスタ51および電源スイッチ制御回路52を含む。スイッチトランジスタ51は、PチャネルMOSトランジスタであり、VDD配線とVDDV配線との間に接続されている。電源スイッチ制御回路52は、スイッチトランジスタ51のゲートに接続され、スイッチトランジスタ51の動作を制御する。電源スイッチ制御回路52によりスイッチトランジスタ51のオン／オフが切り替えられ、VDD配線とVDDV配線との間の導通が制御される。電源スイッチ制御回路52は、例えばバッファである。

[0032] 図4は第1実施形態に係る電源スイッチ制御回路のバッファの構成を示す回路図である。

[0033] 図4に示すように、電源スイッチ制御回路52に用いられるバッファ60は、インバータ61およびインバータ62を有する。インバータ61に入力信号INが入力され、インバータ61の出力がスイッチトランジスタ51のゲート及びインバータ62に入力され、インバータ62から出力信号OUTが出力される。インバータ61及び62は、いずれも1対のPチャネルMOSトランジスタ及びNチャネルMOSトランジスタを含む。

[0034] 図5は第1実施形態に係るスタンダードセル領域のレイアウト構造の例を示す平面図である。図6Aおよび図6Bは第1実施形態に係るスタンダードセル領域のレイアウト構造の例を示す断面図である。具体的には、図6A(a)は線X1-X1'の断面、図6A(b)は線X2-X2'の断面、図6Bは線Y1-Y1'の断面を示す。

[0035] 図5、図6Aおよび図6Bに示すように、スタンダードセル領域31には、複数のスタンダードセル41と、複数の電源スイッチ回路42とが配置されている。

[0036] また、図5に示すように、スタンダードセル領域31には、X方向に延びる複数の埋込電源配線101、102が、Y方向に交互に配置されている。また、電源スイッチ回路42は、X方向に延びる埋込電源配線103を含む

。埋込電源配線103は、Y方向に隣接する埋込電源配線101同士の間
に配置され、Y方向の位置が埋込電源102と一致するように配置されてい
る。埋込電源配線101はVDDV配線に相当し、埋込電源配線102はVSS
配線に相当し、埋込電源配線103はVDD配線に相当する。また、埋込
電源配線101～103は、埋込電源配線16の一部である。

[0037] なお、図6Bに示すように、スタンダードセル41および電源スイッチ回
路42は、フィン13で構成されたFinFETを含む。

[0038] 図6Aおよび図6Bに示すように、基板11の表面には、素子分離膜11
aが形成されている。素子分離膜11aは、例えばSTI (Shallow Trench
Isolation) 法により形成されている。基板11および素子分離膜11aには
、X方向に延びるように形成された複数の溝が形成されている。埋込電源配
線101～103は、この溝内に形成されている。そして、埋込電源配線1
01～103の表面は絶縁膜104により覆われている。このようにして、
埋込電源配線101～103は、第1半導体チップ10における埋込電源配
線層に形成されている。なお、素子分離膜11aの表面および絶縁膜104
の表面は基板11の表面と面一であってもよいし、面一でなくてもよい。

[0039] 埋込電源配線101～103の上層には、ローカル配線111が形成され
ている。ローカル配線111の一部は、埋込電源配線101～103と接続
されている。また、図示は省略するが、ローカル配線111の一部はフィン
13に接続されている。なお、ローカル配線111は、配線14の一部であ
る。

[0040] 基板11には、基板11をZ方向に貫通するビア121～123が形成さ
れている。ビア121は埋込電源配線101の下方に形成されており、ビア
122は埋込電源配線102の下方に形成されており、ビア123は埋込電
源配線103の下方に形成されている。ビア121～123は、ビア17の
一部である。

[0041] 図5、図6Aおよび図6Bに示すように、第2半導体チップ20の配線層
22における上層配線層22aには、Y方向に延びる配線131～133が

、X方向に並んで配置されている。配線131～133は、上面が配線層22から露出している。配線131～133は、バンプ141～143を介して、ビア121～123とそれぞれ接続されている。

[0042] 第2半導体チップ20の配線層22における下層配線層22bには、X方向に延びる配線151～153が、Y方向に並んで配置されている。配線131～133、151～153は、配線23の一部である。

[0043] 上層配線層22aと下層配線層22bとの間には、ビア162、163が形成されている。配線132、133は、ビア162、163を介して、配線152、153とそれぞれ接続されている。ビア162、163は、ビア24の一部である。なお、図示は省略するが、上層配線層22aと下層配線層22bとの間には、配線131と配線151とを接続するビアが形成されている。

[0044] ここで、第1半導体チップ10には、配線層12の上面から基板11の裏面まで貫通するビア172、173が形成されている。ビア172、173はビア18の一部である。ビア172、173は、バンプ145、146を介して、配線132、133とそれぞれ接続されている。なお、バンプ141～145は、例えば、半田などのマイクロバンプである。

[0045] ビア172、173は、バンプ182、183を介して、パッド19と接続される。図示は省略するが、各パッド19は、本半導体集積回路装置の外部にある、電源電圧VDD、VSSをそれぞれ供給する電源と接続される。図5および図6では、ビア173が接続されるパッド19には、電源電圧VDDを供給する電源が接続され、ビア172が接続されるパッド19には、電源電圧VSSを供給する電源が接続される。

[0046] すなわち、バンプ183、ビア173、バンプ146、配線133、バンプ143、ビア123、埋込電源配線103を介して、電源スイッチ回路42に電源電圧VDDが供給される。また、バンプ182、ビア172、バンプ145、配線132、バンプ142、ビア122、埋込電源配線102を介して、スタンダードセル41および電源スイッチ回路42に電源電圧VS

Sが供給される。

[0047] なお、図5に示すように、ビア172, 173は、平面視において、スタンダードセル41および電源スイッチ回路42が配置されていない箇所に配置される。

[0048] 以上の構成により、第1半導体チップ10は、配線層12の上部に形成されており、電源電圧VDDを供給する電源に接続されたパッド19と、配線層12の上部に形成されており、電源電圧VSSを供給する電源に接続されたパッド19と、VDD配線およびVDDV配線の間設けられ、VDD配線およびVDDV配線間の接続および切断を制御する電源スイッチ回路42と、埋込電源配線層に形成されており、電源電圧VDDを供給する電源と接続された埋込電源配線103と、埋込電源配線層に形成されており、電源電圧VSSを供給する電源と接続された埋込電源配線102と、電源電圧VSSを供給する電源に接続されたパッド19に接続されており、基板11および配線層12を貫通するように設けられたビア172を含む。第2半導体チップ20は、埋込電源配線102およびビア172に接続された配線132を含む。

[0049] すなわち、第1半導体チップ10の配線層12の上部に、電源電圧VSSを供給する電源に接続されたパッド19が形成されている。このパッド19は、基板11および配線層12を貫通するビア172、第2半導体チップ20の配線132、および、第1半導体チップ10の埋込電源配線102を介して、電源スイッチ回路42と接続される。これにより、第1半導体チップ10の配線層12の上部に形成されたパッド19から電源スイッチ回路42に電源電圧VSSを供給することができるため、第1半導体チップ10の上部に外部端子が設けられることが規定されていても対応することができる。

[0050] また、ビア173, 172を介して、スタンダードセル41および電源スイッチ回路42に供給される電源電圧VDD, VSSは、第2半導体チップ20に供給された後に、第1半導体チップ10に供給される。これにより、第2半導体チップ20に安定して電源電圧を供給することができるため、ス

スタンダードセル4 1および電源スイッチ回路4 2に供給される電源電圧降下を抑制するとともに、電源ノイズを抑制することができる。

[0051] また、第1半導体チップ1 0において、X方向に延びる埋込電源配線1 0 1～1 0 3が、第2半導体チップ2 0において、Y方向に延びる配線1 3 1～1 3 3とそれぞれ接続されている。また、第2半導体チップ2 0において、配線1 3 1～1 3 3は、X方向に延びる1 5 1～1 5 3とそれぞれ接続されている。これにより、電源電圧VDDV、VSS、VDDを供給するメッシュ状の電源供給網が構成されているため、スタンダードセル4 1および電源スイッチ回路4 2に供給する電源電圧降下を抑制するとともに、電源ノイズを抑制することができる。

[0052] また、配線1 3 1～1 3 3、1 5 1～1 5 3が第2半導体チップ2 0に設けられている。これにより、電源供給網を第1半導体チップ1 0内に構成する必要がないため、第1半導体チップ1 0内の配線の配置の自由度が向上する。

[0053] また、埋込電源配線1 0 1～1 0 3が埋込電源配線層に形成されている。これにより、配線層1 2に電源配線を設ける必要がないため、第1半導体チップ1 0の配線層1 2に設けられる配線の配置の自由度が向上する。

[0054] また、バンプ1 4 1～1 4 5は、例えば、半田等のマイクロバンプであるとしたが、これに限られない。例えば、配線1 3 1～1 3 3と、ビア1 2 1～1 2 3とは、錫(Sn)などの金属膜により接続してもよい。すなわち、配線1 3 1～1 3 3と、ビア1 2 1～1 2 3とが接続されていれば、どのような構成であってもよい。

[0055] (変形例1)

図7は第1実施形態に係るスタンダードセル領域のレイアウト構造の他の例を示す平面図である。図8は第1実施形態に係るスタンダードセル領域のレイアウト構造の他の例を示す断面図。具体的には、図8は、線X3-X3'の断面を示す。

[0056] 図7では、図5と比較すると、ビア1 7 2、1 7 3の下方にそれぞれ接続

部 192, 193 が形成されている。

[0057] 図7および図8に示すように、配線層22の上層配線層22aには、接続部192, 193が形成されている。接続部192, 193は、それぞれ、平面視において、平板状に形成されている。

[0058] 接続部192は、互いに隣接する複数（図7では3本）の配線132を接続している。接続部192は、平面視において、X方向およびY方向の幅が、ビア172（バンプ182）のX方向およびY方向の幅よりもそれぞれ広い。また、バンプ145, 182は、平面視において、同じ形状（図7では、円）で形成されている。なお、接続部192は、配線131, 133と接続されていない。

[0059] 接続部193は、配線133と接続されている。接続部193は、平面視において、X方向およびY方向の幅が、ビア173（バンプ183）のX方向およびY方向の幅よりもそれぞれ広い。また、バンプ146, 183は、平面視において、同じ形状（図7では、円）で形成されている。なお、接続部193は、配線131, 132と接続されていない。

[0060] 本変形例では、バンプ145とビア172とが平面視において同じ形状であり、バンプ146とビア173とが平面視において同じ形状であるため、第1半導体チップ10のバンプ182から第2半導体チップ20の配線132までの間の抵抗値、および、第1半導体チップ10のバンプ183から第2半導体チップ20の配線133までの間の抵抗値を下げるができる。これにより、第2半導体チップ20の配線132, 133へ安定して電源電圧を供給することができる。

[0061] その他、図5と同様の効果を得ることができる。

[0062] なお、接続部192, 193は、それぞれ、平板状に形成されたとしたが、これに限られない。例えば、接続部192, 193は、それぞれ、複数の短冊状の配線で構成されていてもよいし、格子状に形成されてもよい。すなわち、接続部192, 193は、一部にスリットが入っており、配線が形成されていない領域を含んでもよい。

[0063] (変形例2)

図9は第1実施形態に係るスタンダードセル領域のレイアウト構造の他の例を示す平面図である。図10は第1実施形態に係るスタンダードセル領域のレイアウト構造の他の例を示す断面図である。具体的には、図10は、線X4-X4'の断面を示す。図9は、図5と比較すると、ビア172, 173に代えて、第1半導体チップ10の配線層12に複数の配線および複数のビアが配置されている。

[0064] 図9および図10に示すように、第1半導体チップ10の配線層12における上層配線層12aには、X方向に延びる複数の配線202および複数の配線203が形成されている。配線202, 203は、上面が配線層12から露出しており、バンプ182, 183とそれぞれ接続されている。第1半導体チップ10の配線層12における下層配線層12bには、Y方向に延びる複数の配線212および複数の配線213が形成されている。配線202, 212は、バンプ182の下方に形成されており、配線203, 213は、バンプ183の下方に形成されている。配線202, 203, 212, 213の一部は、平面視において、埋込電源配線101, 102と一部が重なっている。

[0065] 配線202, 203の下方には、複数のビア222, 223がそれぞれ形成されている。配線202, 203は、ビア222, 223を介して、配線212, 213とそれぞれ接続されている。また、配線212, 213の下方には、複数のビア232, 233がそれぞれ形成されている。配線212, 213は、ビア232, 233を介して、埋込電源配線102, 103と接続されている。

[0066] なお、配線213の下方には、複数(ここでは、5本)の埋込電源配線103が形成されている。複数の埋込電源配線103は、X方向に並んで配置された埋込電源配線101(または埋込電源配線102)同士の間配置されている。

[0067] すなわち、バンプ183、配線203、ビア223、配線213、ビア2

33、埋込電源配線103を介して、電源スイッチ回路42に電源電圧VDDが供給される。また、バンプ182、配線202、ビア222、配線212、ビア232、埋込電源配線102を介して、スタンダードセル41および電源スイッチ回路42に電源電圧VSSが供給される。

[0068] 本変形例では、図5とは異なり、バンプ182、183の下方において、X方向に延びる埋込電源配線101、102がそれぞれ連続して形成されるため、第1半導体チップ10へ供給される電源電圧が強化される。

[0069] また、第1半導体チップ10に、配線層12および基板11を貫通するビア172、173を形成する必要がなくなるため、Z方向の長さが異なる2種類のTSV（ビア121～123とビア172、173）を形成しなくてもよい。これにより、半導体集積回路装置の製造容易性が向上するため、半導体集積回路装置の歩留まりおよび信頼性が向上する。

[0070] その他、図5と同様の効果を得ることができる。

[0071] なお、本変形例では、第1半導体チップ10の配線層12に2つの配線層（上層配線層12aおよび下層配線層12b）が形成され、これらの配線層を経由して、スタンダードセル41および電源スイッチ回路42に電源電圧が供給されているが、これに限られない。スタンダードセル41および電源スイッチ回路42に電源電圧を供給するために経由する配線層の数は1または3以上であってもよい。

[0072] （第2実施形態）

図11は第2実施形態に係る第1半導体チップのスタンダードセル領域のレイアウト構造の例を示す平面図であり、図12は第2実施形態に係る第2半導体チップのスタンダードセル領域のレイアウト構造の例を示す平面図であり、図13Aおよび図13Bは第2実施形態に係る半導体回路装置におけるスタンダードセル領域の例を示す断面図である。具体的には、図13A（a）は線X5-X5'の断面、図13A（b）は線X6-X6'の断面、図13Bは線Y2-Y2'の断面を示す。

[0073] 図11、図12、図13Aおよび図13Bに示すように、第1半導体チッ

チップ10の配線層12の上層配線層12aには、X方向に延びる複数の配線302, 303が形成されている。複数（ここでは3本）の配線302は、接続部305によって接続されている。複数（ここでは2本）の配線303は、接続部306によって接続されている。接続部305, 306は、上部が配線層12から露出しており、バンプ182, 183とそれぞれ接続されている。第1半導体チップ10の配線層12の下層配線層12bには、Y方向に延びる複数の配線312, 313が、X方向に交互に配置されている。配線302, 303, 312, 313の一部は、平面視において、埋込電源配線101, 102と一部が重なっている。また、配線302, 303, 312, 313は、平面視において、スタンダードセル41および電源スイッチ回路42と一部が重なっている。

[0074] 配線302および接続部305の下方には、複数のビア322が形成されており、配線303および接続部306の下方には、複数のビア323が形成されている。配線302および接続部305は、ビア322を介して、配線312と接続されている。配線303および接続部306は、ビア323を介して、配線313と接続されている。

[0075] 配線312, 313の下方には、複数のビア332, 333がそれぞれ形成されている。配線312, 313は、ビア332, 333を介して、埋込電源配線102, 103とそれぞれ接続されている。

[0076] すなわち、バンプ183、配線303（接続部306）、ビア323、配線313、ビア333、埋込電源配線103を介して、電源スイッチ回路42に電源電圧VDDが供給される。また、バンプ182、配線302（接続部305）、ビア322、配線312、ビア332、埋込電源配線102を介して、スタンダードセル41および電源スイッチ回路42に電源電圧VSSが供給される。

[0077] 以上の構成により、第1半導体チップ10は、配線層12の上部に形成されており、電源電圧VDDを供給する電源に接続されたパッド19と、配線層12の上部に形成されており、電源電圧VSSを供給する電源に接続され

たパッド19と、VDD配線およびVDDV配線の上に設けられ、VDD配線およびVDDV配線の上の接続および切断を制御する電源スイッチ回路42と、埋込電源配線層に形成されており、電源電圧VDDを供給する電源と接続された埋込電源配線103と、埋込電源配線層に形成されており、電源電圧VSSを供給する電源と接続された埋込電源配線102と、埋込電源配線層に形成されており、電源電圧VDDVを供給する電源と接続された埋込電源配線101と、埋込電源配線層よりも上層の上層配線層12aおよび下層配線層12bにそれぞれ形成されており、電源電圧VSSを供給する電源に接続されたパッド19および埋込電源配線102に接続された配線302、312と、背面が露出しており、埋込電源配線101に接続されたビア121とを含む。第2半導体チップ20は、ビア121に接続された配線131を含む。

[0078] すなわち、第1半導体チップ10の配線層12の上部に、電源電圧VSSを供給する電源に接続されたパッド19が形成されている。このパッド19は、上層配線層12aの配線302、下層配線層12bの配線312および第1半導体チップ10の埋込電源配線102を介して、電源スイッチ回路42と接続される。これにより、第1半導体チップ10の配線層12の上部に形成されたパッド19から電源スイッチ回路42に電源電圧VSSを供給することができるため、第1半導体チップ10の上部に外部端子が設けられることが規定されていても対応することができる。

[0079] また、本実施形態では、図5とは異なり、バンプ182、183の下方において、X方向に延びる埋込電源配線101、102がそれぞれ連続して形成されるため、第1半導体チップ10の電源が強化される。

[0080] また、バンプ182、183の下部にもスタンダードセル41や電源スイッチ回路42を配置することができるため、半導体集積回路装置の小面積化を図ることができる。

[0081] また、第1半導体チップ10に、配線層12および基板11を貫通するビア172、173を形成する必要がなくなるため、Z方向の長さが異なる2

種類のTSV（ビア121～123とビア172，173）を形成しなくてもよい。これにより、半導体集積回路装置の製造容易性が向上するため、半導体集積回路装置の歩留まりおよび信頼性が向上する。

[0082] （変形例1）

図14は第2実施形態に係るスタンダードセル領域のレイアウト構造の他の例を示す平面図である。具体的に、図14は、第1半導体チップ10の埋込電源配線層から第2半導体チップ20までのスタンダードセル領域31の平面図を示す。図14では、図11および図12と比較すると、第2半導体チップ20の配線層22における配線133，153が省略されている。なお、図14には、第1半導体チップ10の配線層12に形成されたVDD配線310が図示されている。電源スイッチ回路42には、VDD配線310を介して、電源電圧VDDが供給される。

[0083] 図14に示すように、第2半導体チップ20に、スタンダードセル41および電源スイッチ回路42に電源電圧VDDV，VSSを供給する電源供給網（配線131，151，132，152）が形成されている。これにより、スタンダードセル41および電源スイッチ回路42に供給される電源電圧VDDV，VSSを強化することができる。なお、スタンダードセル41および電源スイッチ回路42に電源電圧VDDを供給する電源供給網が、第1半導体チップ10のみに形成されている（図11など参照）。

[0084] また、バンプ182，183の下方において、X方向に延びる埋込電源配線101，102がそれぞれ連続して形成されるため、第1半導体チップ10へ供給される電源電圧が強化される。

[0085] その他、図11および図12と同様の効果を得ることができる。

[0086] （変形例2）

図15は第2実施形態に係るスタンダードセル領域のレイアウト構造の他の例を示す平面図である。具体的に、図15は、第1半導体チップ10の埋込電源配線層から第2半導体チップ20までのスタンダードセル領域31の平面図を示す。図15では、図14と比較すると、第2半導体チップ20の

配線層 2 2 に配線 1 3 1 のみが形成されている。

[0087] 具体的には、第 2 半導体チップ 2 0 の配線層 2 2 には、X 方向および Y 方向に延びる平板状の配線 1 3 1 が形成されている。埋込電源配線 1 0 1 は、ビア 1 2 1（およびバンプ 1 4 1）を介して、配線 1 3 1 と接続されている。これにより、電源スイッチ回路 4 2 に供給される電源電圧 V D D V を強化することができる。

[0088] その他、図 1 4 と同様の効果を得ることができる。

[0089] なお、配線 1 3 1 は、平板状に形成されるとしたが、これに限られない。例えば、配線 1 3 1 は、それぞれ、複数の短冊状の配線で構成されていてもよいし、格子状に形成されてもよい。すなわち、配線 1 3 1 は、一部にスリットが入っており、配線が形成されていなくても構わない。

[0090] なお、上記各実施形態および各変形例において、ビアの平面形状は特に限定されず、例えば円形、楕円形、正方形又は矩形等とすることができる。

[0091] また、上記各実施形態および各変形例において、第 2 半導体チップ 2 0 は、基板 2 1 を含まなくてもよい。

産業上の利用可能性

[0092] 本開示では、第 1 半導体チップの上部に外部端子が設けられることが規定されている場合においても対応することができる。

符号の説明

[0093] 1 0 第 1 半導体チップ
2 0 第 2 半導体チップ
1 1, 2 1 基板
1 2, 2 2 配線層
1 3 フィン
1 4, 2 3, 1 2 1 ~ 1 2 3, 2 0 2, 2 0 3, 2 1 2, 2 1 3, 3 0 2
, 3 0 3, 3 1 2, 3 1 3 配線
1 6, 1 0 1 ~ 1 0 3 埋込電源配線
1 7, 1 8, 1 2 1 ~ 1 2 3, 1 7 2, 1 7 3 ビア

- 1 9 パッド
- 4 1 スタンダードセル
- 4 2 電源スイッチ回路

請求の範囲

- [請求項1] 第1半導体チップと第2半導体チップとを含む半導体集積回路装置であって、
- 前記第1半導体チップの背面と前記第2半導体チップの主面とが対向して配置されており、
- 前記第1半導体チップは、
- 主面の上部に形成されており、第1電源電圧を供給する第1電源に接続された第1端子と、
- 前記主面の上部に形成されており、前記第1電源電圧と異なる第2電源電圧を供給する第2電源に接続された第2端子と、
- 前記第1電源と第3電源との間に設けられ、前記第1および第3電源の間の接続および切断を制御する電源スイッチ回路と、
- 埋込電源配線層に形成されており、前記第1電源と接続された第1埋込電源配線と、
- 前記埋込電源配線層に形成されており、前記第2電源と接続された第2埋込電源配線と、
- 前記第1端子に接続されており、主面から背面まで貫通するように設けられた第1ビアとを含み、
- 前記第2半導体チップは、前記第1埋込電源配線および前記第1ビアに接続された第1配線を含む、ことを特徴とする半導体集積回路装置。
- [請求項2] 請求項1記載の半導体集積回路装置において、
- 前記第1半導体チップは、前記第2端子に接続されており、主面から背面まで貫通するように設けられた第2ビアをさらに含み、
- 前記第2半導体チップは、前記第2埋込電源配線および前記第2ビアに接続された第2配線をさらに含むことを特徴とする半導体集積回路装置。
- [請求項3] 請求項1記載の半導体集積回路装置において、

前記第1半導体チップは、前記背面に露出しており、前記第1埋込電源配線および前記第1配線に接続された第3ビアをさらに含むことを特徴とする半導体集積回路装置。

[請求項4]

請求項1記載の半導体集積回路装置において、

前記第2半導体チップは、複数の前記第1配線を含み、

前記複数の第1配線は、平板状に形成された接続部を介して接続されており、

前記接続部は、前記第1ビアに接続されていることを特徴とする半導体集積回路装置。

[請求項5]

請求項4記載の半導体集積回路装置において、

前記第1および第2埋込電源配線は、第1方向に延びており、

前記接続部の前記第1方向における幅は、前記第1ビアの前記第1方向における幅よりも広いことを特徴とする半導体集積回路装置。

[請求項6]

第1半導体チップと第2半導体チップとを含む半導体集積回路装置であって、

前記第1半導体チップの背面と前記第2半導体チップの主面とが対向して配置されており、

前記第1半導体チップは、

主面の上部に形成されており、第1電源電圧を供給する第1電源に接続された第1端子と、

前記主面の上部に形成されており、前記第1電源電圧と異なる第2電源電圧を供給する第2電源に接続された第2端子と、

前記第1電源と第3電源との間に設けられ、前記第1および第3電源の間の接続および切断を制御する電源スイッチ回路と、

埋込電源配線層に形成されており、前記第1電源と接続された第1埋込電源配線と、

前記埋込電源配線層に形成されており、前記第2電源と接続された第2埋込電源配線と、

前記埋込電源配線層よりも上層の第1配線層に形成されており、前記第1端子および前記第1埋込電源配線に接続された第1配線とを含み、

前記第2半導体チップは、前記第1埋込電源配線と接続された第2配線を含む、ことを特徴とする半導体集積回路装置。

[請求項7]

請求項6記載の半導体集積回路装置において、

前記第1半導体チップは、前記第1配線層に形成されており、前記第2端子および前記第2埋込電源配線に接続された第3配線をさらに含み、

前記第2半導体チップは、前記第2埋込電源配線および前記第3配線と接続された第4配線をさらに含むことを特徴とする半導体集積回路装置。

[請求項8]

請求項6記載の半導体集積回路装置において、

前記第1配線は、平面視において、前記第1および第2埋込電源配線の少なくともいずれか一方と重なりを有することを特徴とする半導体集積回路装置。

[請求項9]

請求項6記載の半導体集積回路装置において、

前記第1半導体チップは、前記背面に露出しており、前記第1埋込電源配線および前記第1配線に接続された第2ビアをさらに含むことを特徴とする半導体集積回路装置。

[請求項10]

第1半導体チップと第2半導体チップとを含む半導体集積回路装置であって、

前記第1半導体チップの背面と前記第2半導体チップの主面とが対向して配置されており、

前記第1半導体チップは、

主面の上部に形成されており、第1電源電圧を供給する第1電源に接続された第1端子と、

前記主面の上部に形成されており、前記第1電源電圧と異なる第

2 電源電圧を供給する第2電源に接続された第2端子と、
前記第1電源と第3電源との間に設けられ、前記第1および第3電源の間の接続および切断を制御する電源スイッチ回路と、
埋込電源配線層に形成されており、前記第2電源と接続された第2埋込電源配線と、
前記埋込電源配線層に形成されており、前記第3電源と接続された第3埋込電源配線と、
前記埋込電源配線層よりも上層の第1配線層に形成されており、前記第1端子に接続された第1配線と、
前記背面に露出しており、前記第3埋込電源配線に接続された第1ビアとを含み、
前記第2半導体チップは、前記第1ビアに接続された第2配線を含む、ことを特徴とする半導体集積回路装置。

[請求項11] 請求項10記載の半導体集積回路装置において、
前記第1半導体チップは、前記第1配線層に形成されており、前記第2端子および前記第2埋込電源配線に接続された第3配線をさらに含む、ことを特徴とする半導体集積回路装置。

[請求項12] 請求項10記載の半導体集積回路装置において、
前記第1配線は、平面視において、前記電源スイッチ回路と重なりを有することを特徴とする半導体集積回路装置。

[請求項13] 請求項10記載の半導体集積回路装置において、
前記第1配線は、平面視において、前記第1および第2埋込電源配線の少なくともいずれか一方と重なりを有することを特徴とする半導体集積回路装置。

[請求項14] 請求項10記載の半導体集積回路装置において、
前記第2半導体チップは、前記第2配線よりも下層の配線層に形成されており、第1方向に延びる第4配線をさらに含み、
前記第2配線は、前記第1方向と異なる第2方向に延びており、前

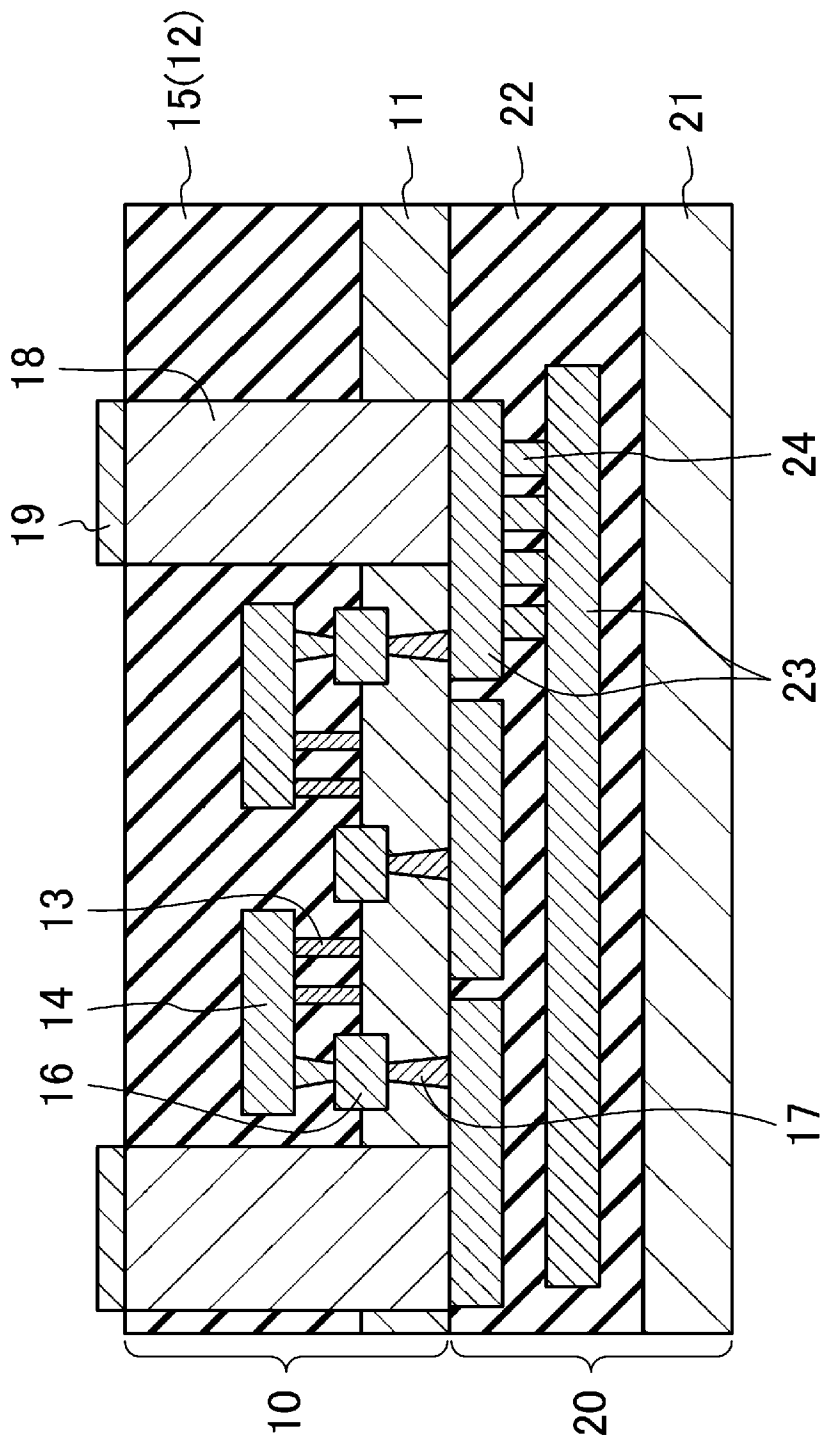
記第4配線に接続されていることを特徴とする半導体集積回路装置。

[請求項15]

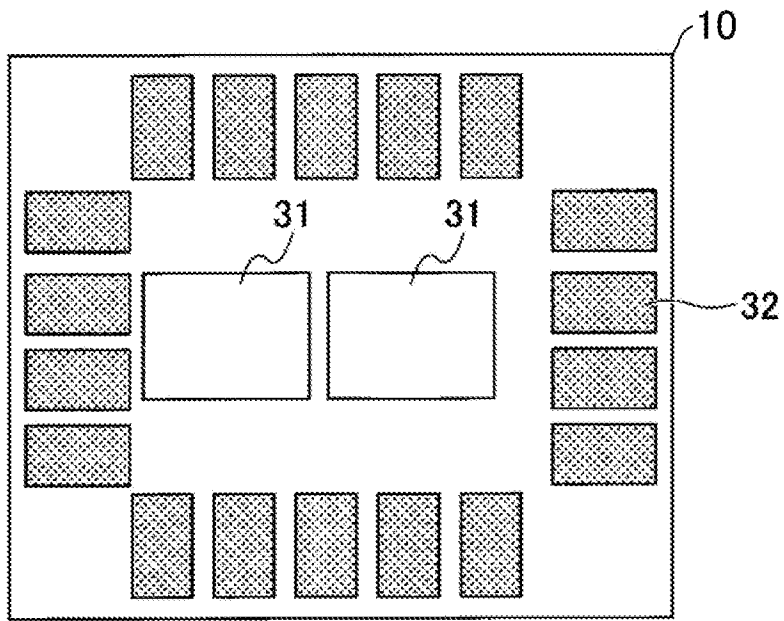
請求項10記載の半導体集積回路装置において、

前記第2配線は、平板状に形成されていることを特徴とする半導体集積回路装置。

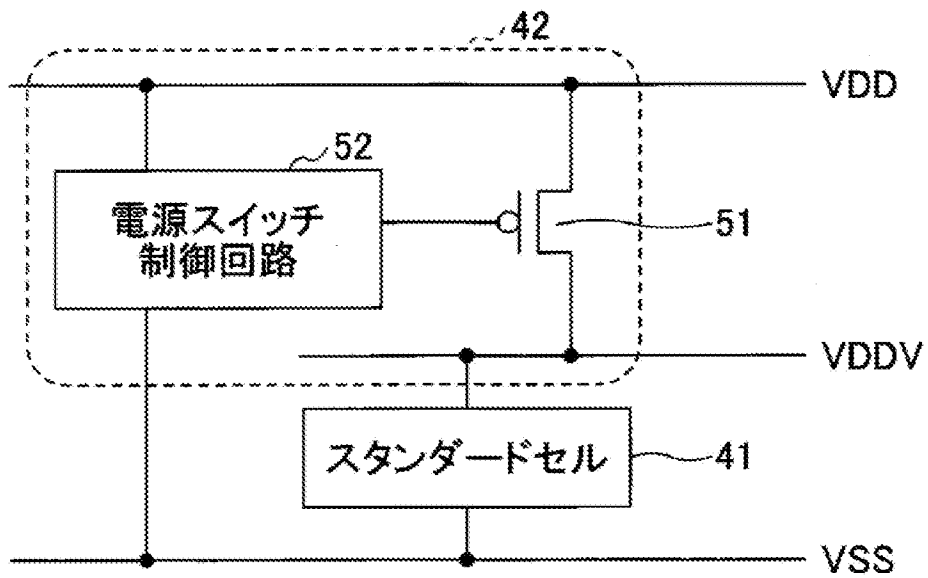
[図1]



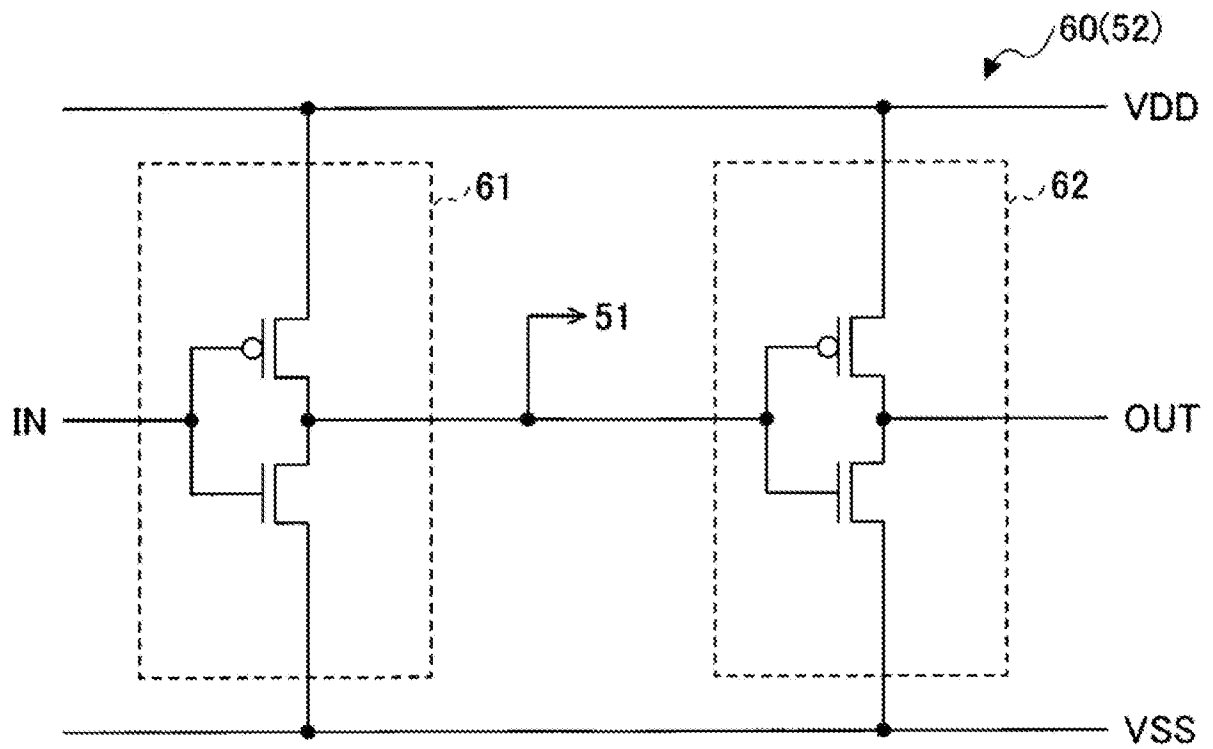
[図2]



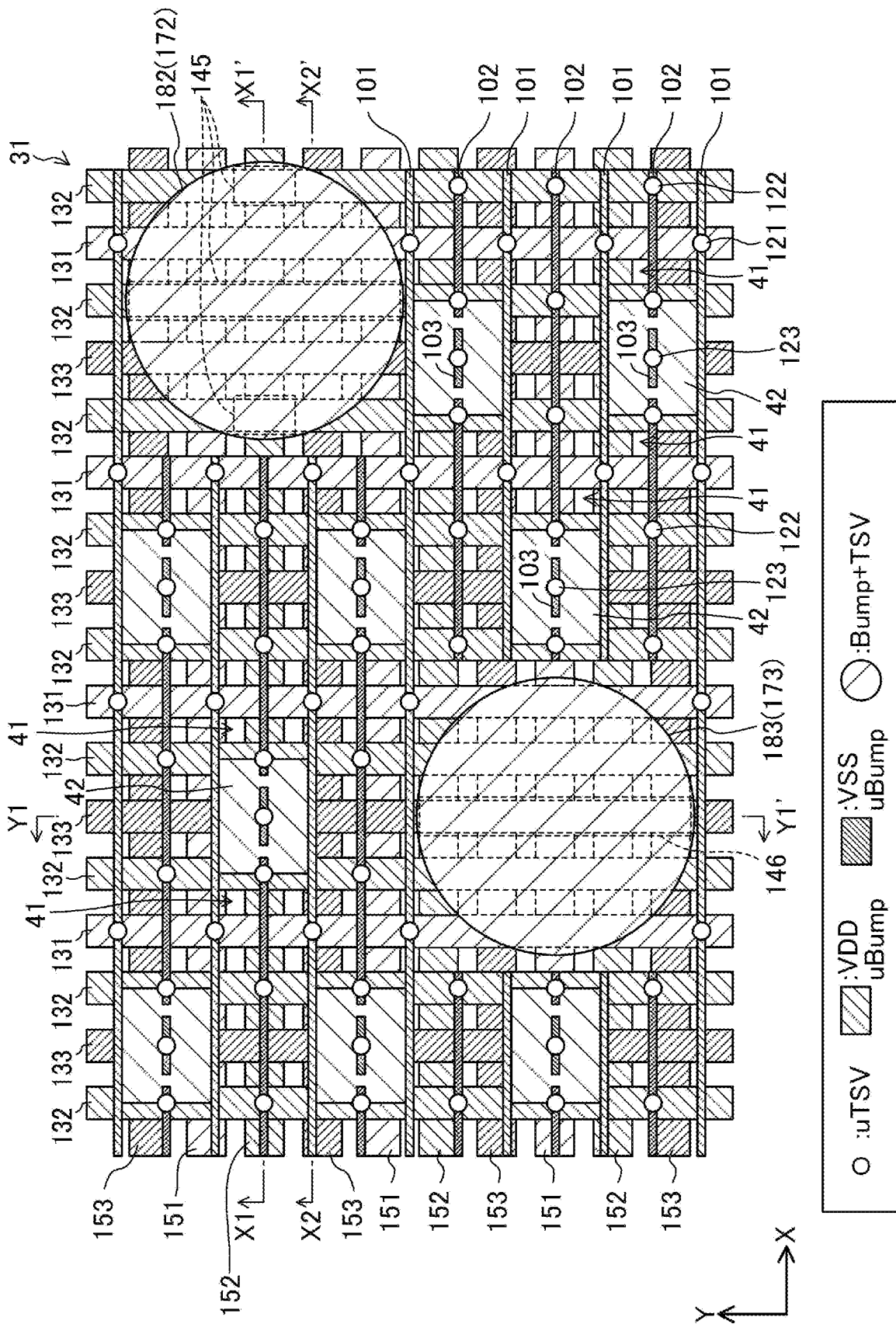
[図3]



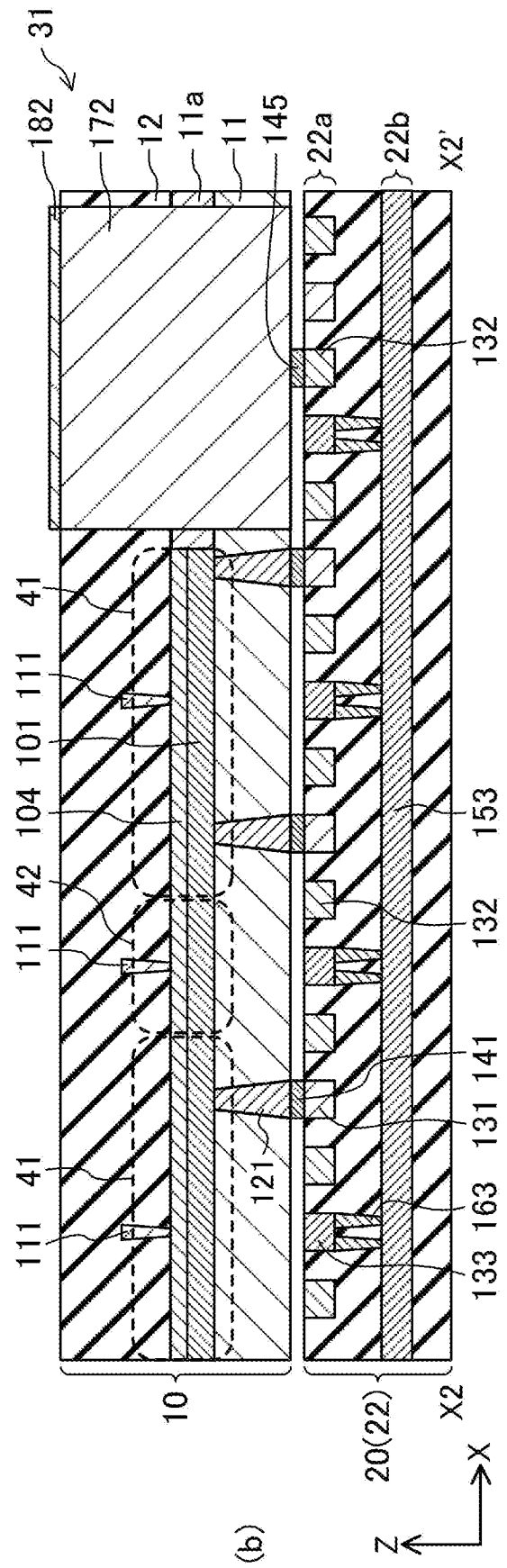
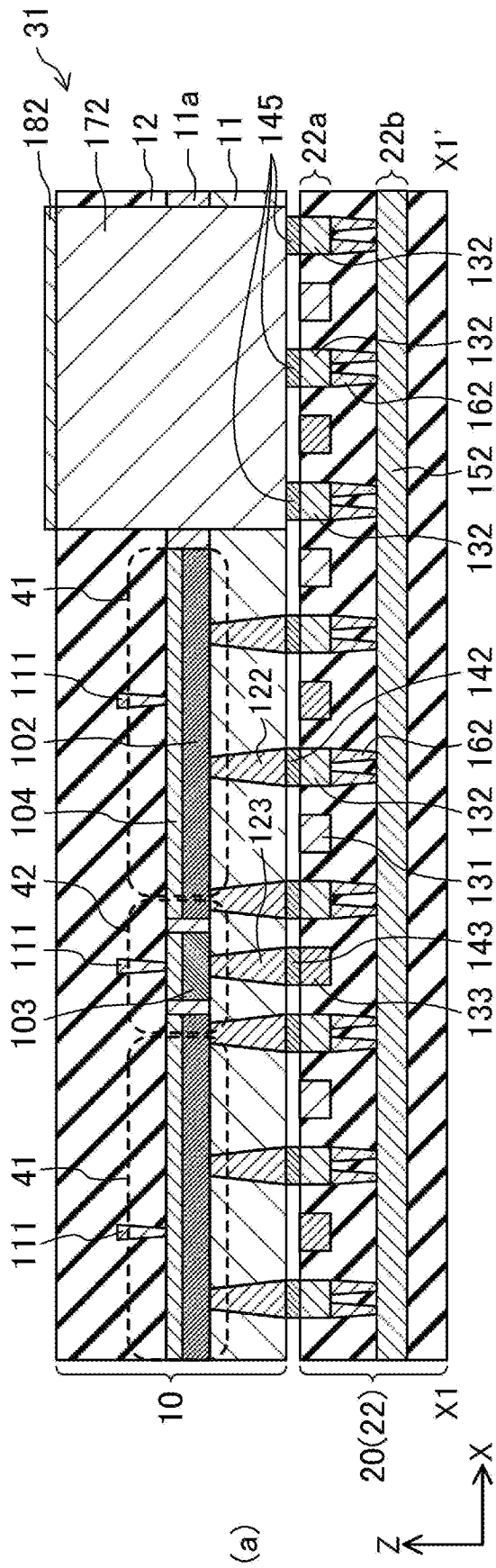
[図4]



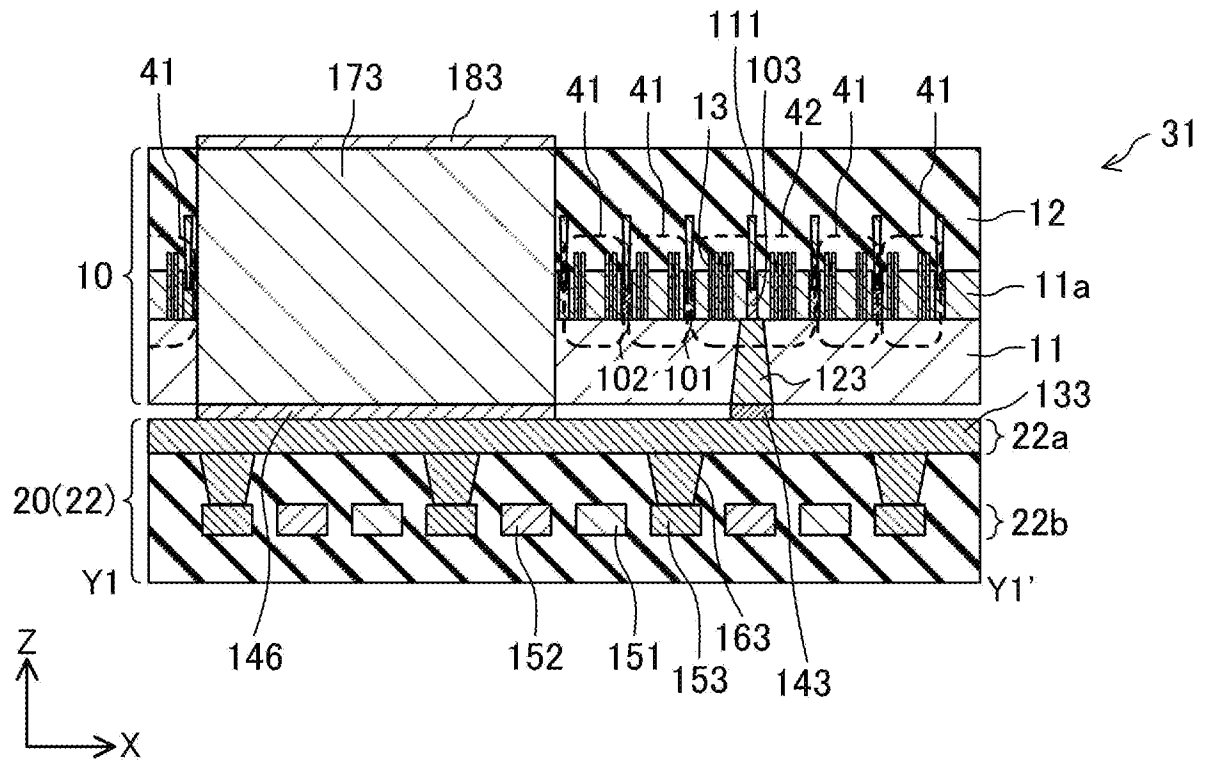
[図5]



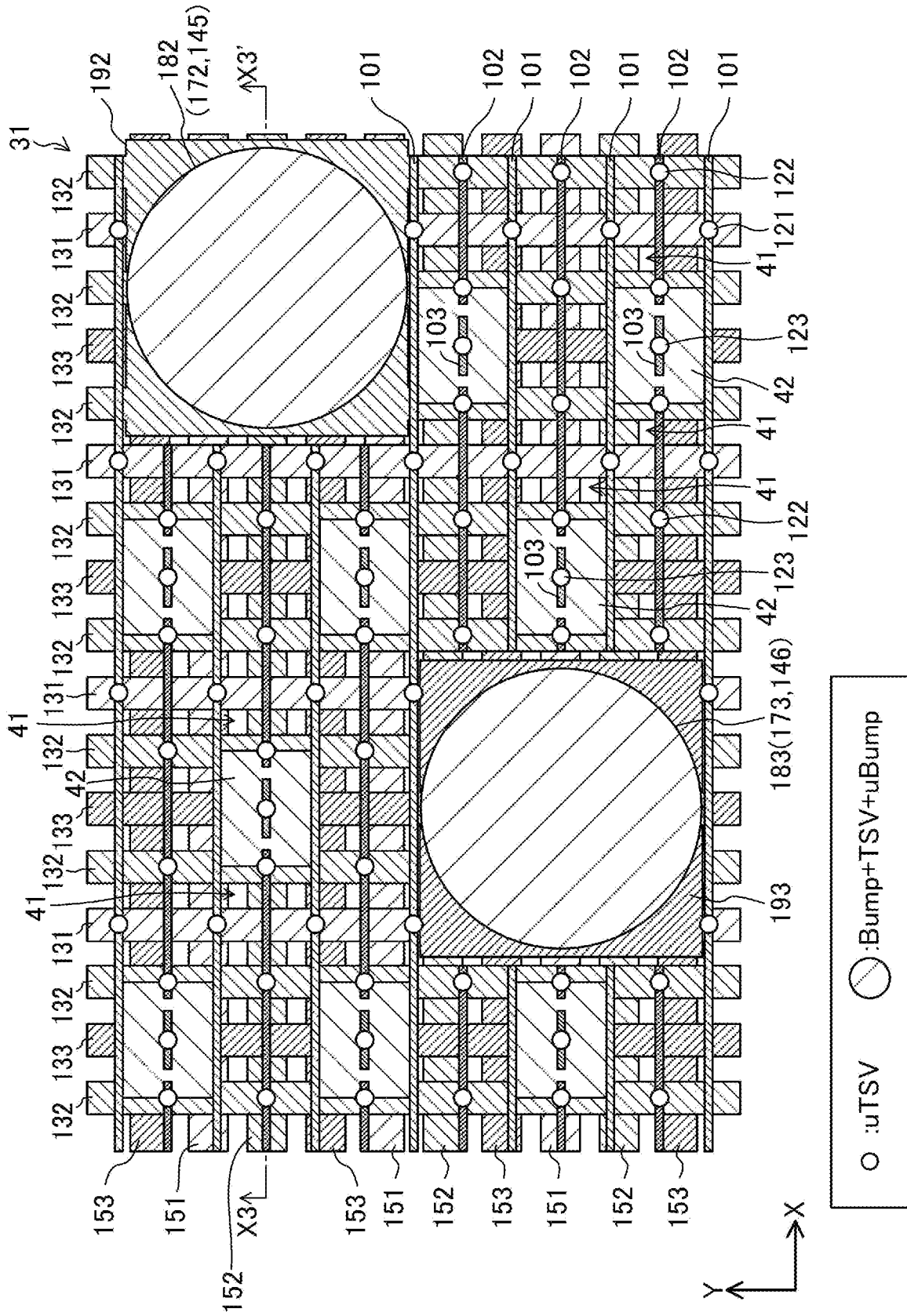
[図6A]



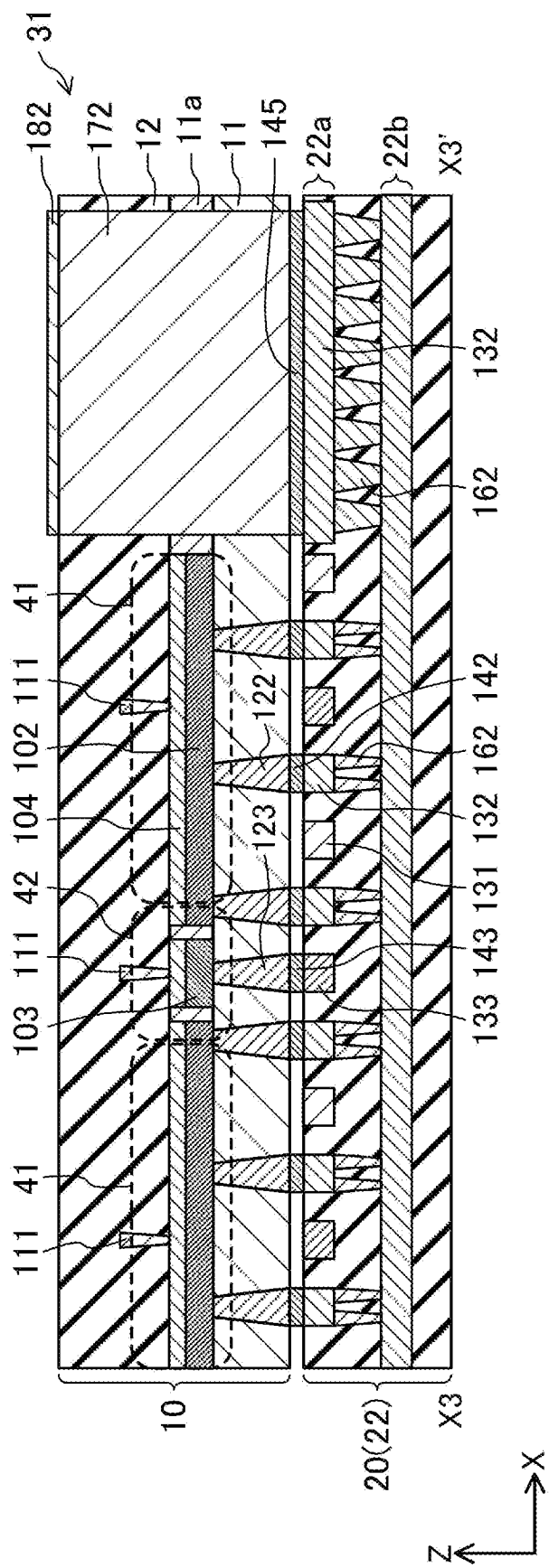
[図6B]



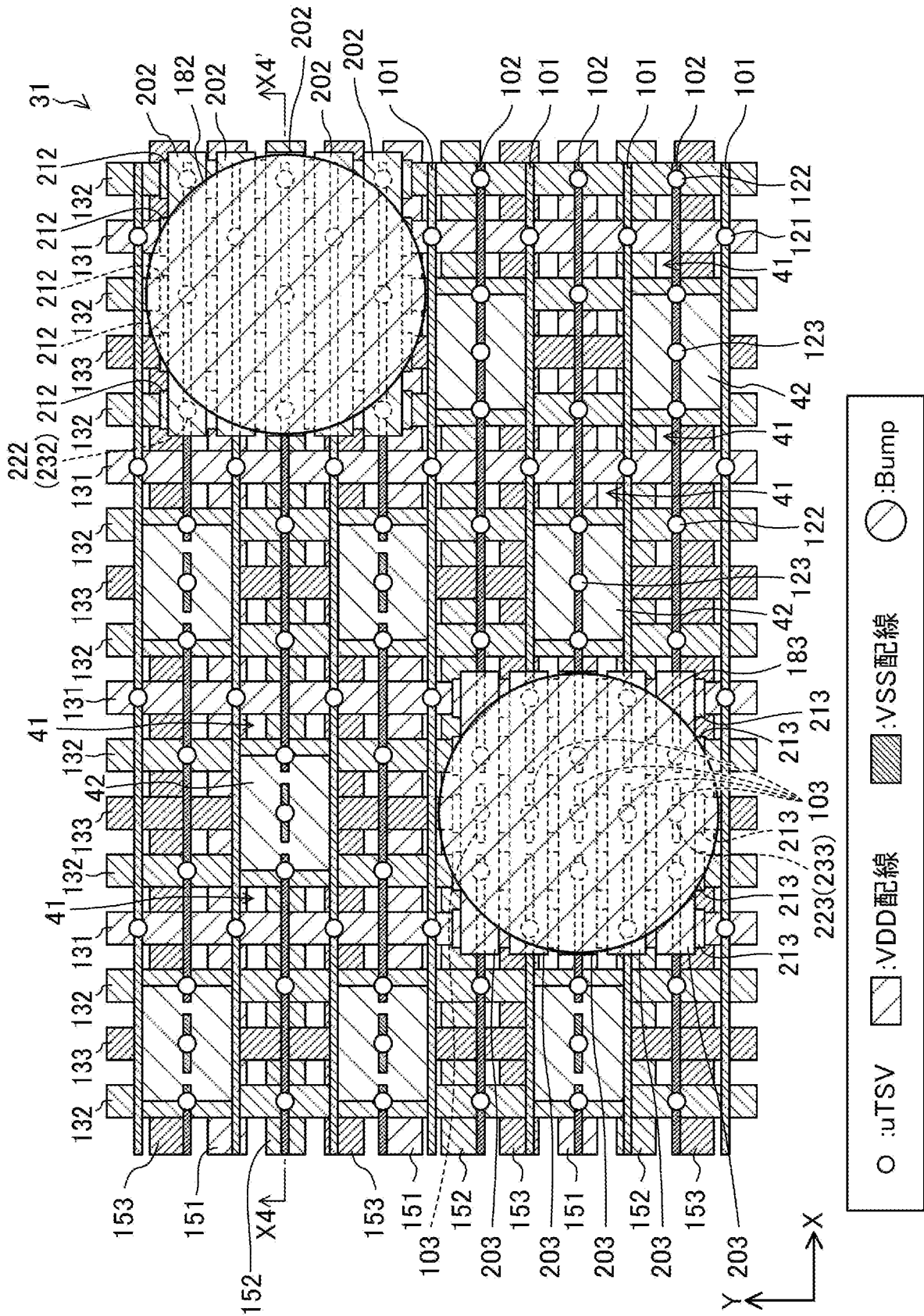
[図7]



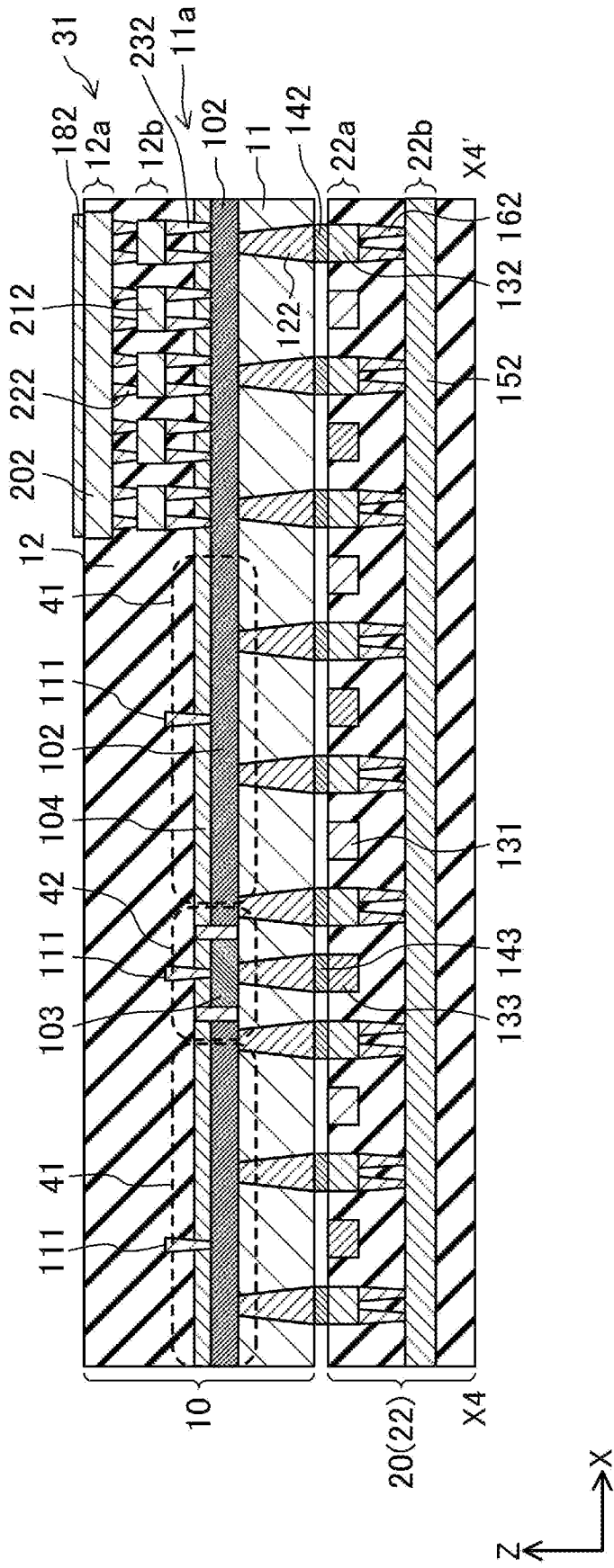
[図8]



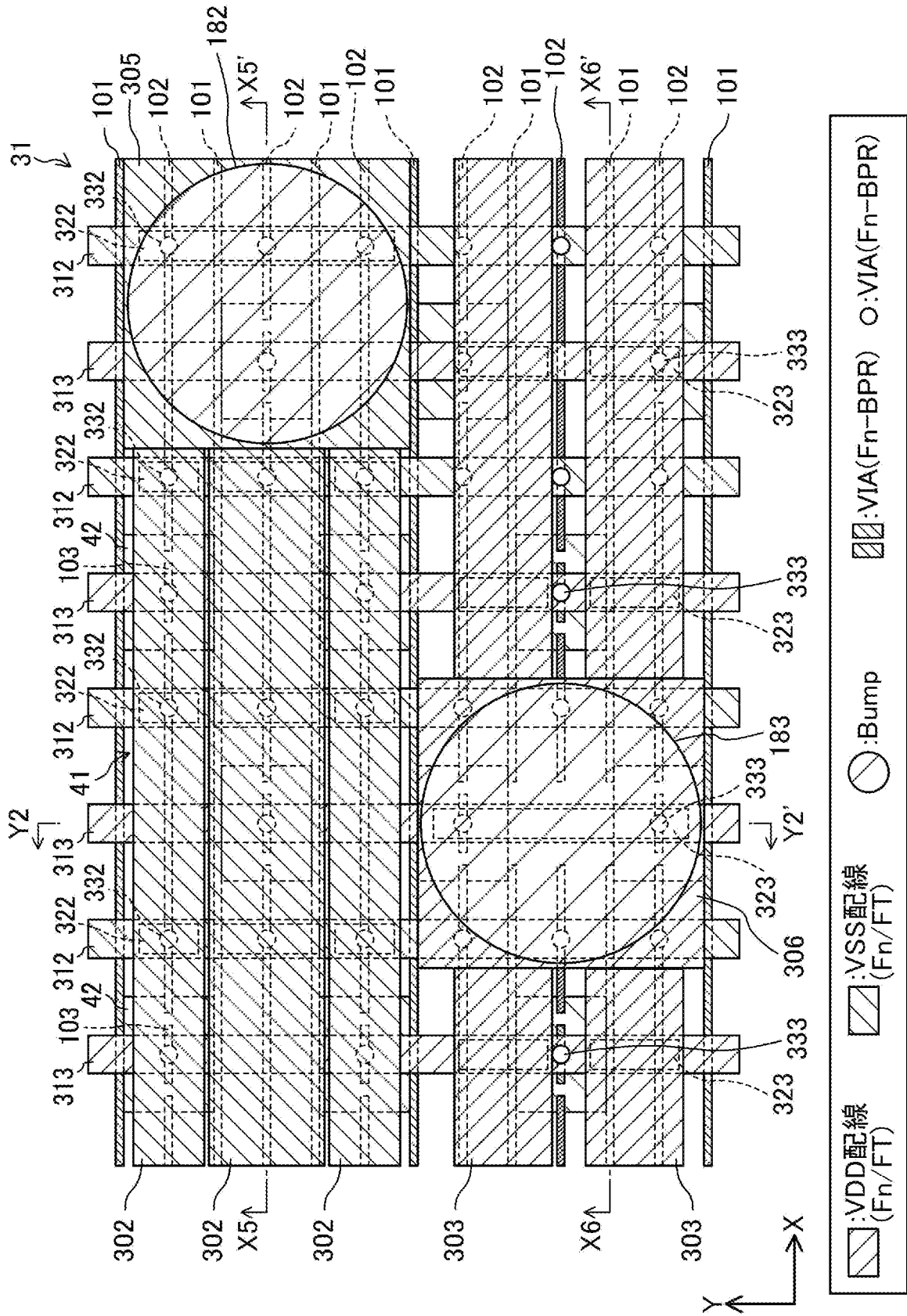
[図9]



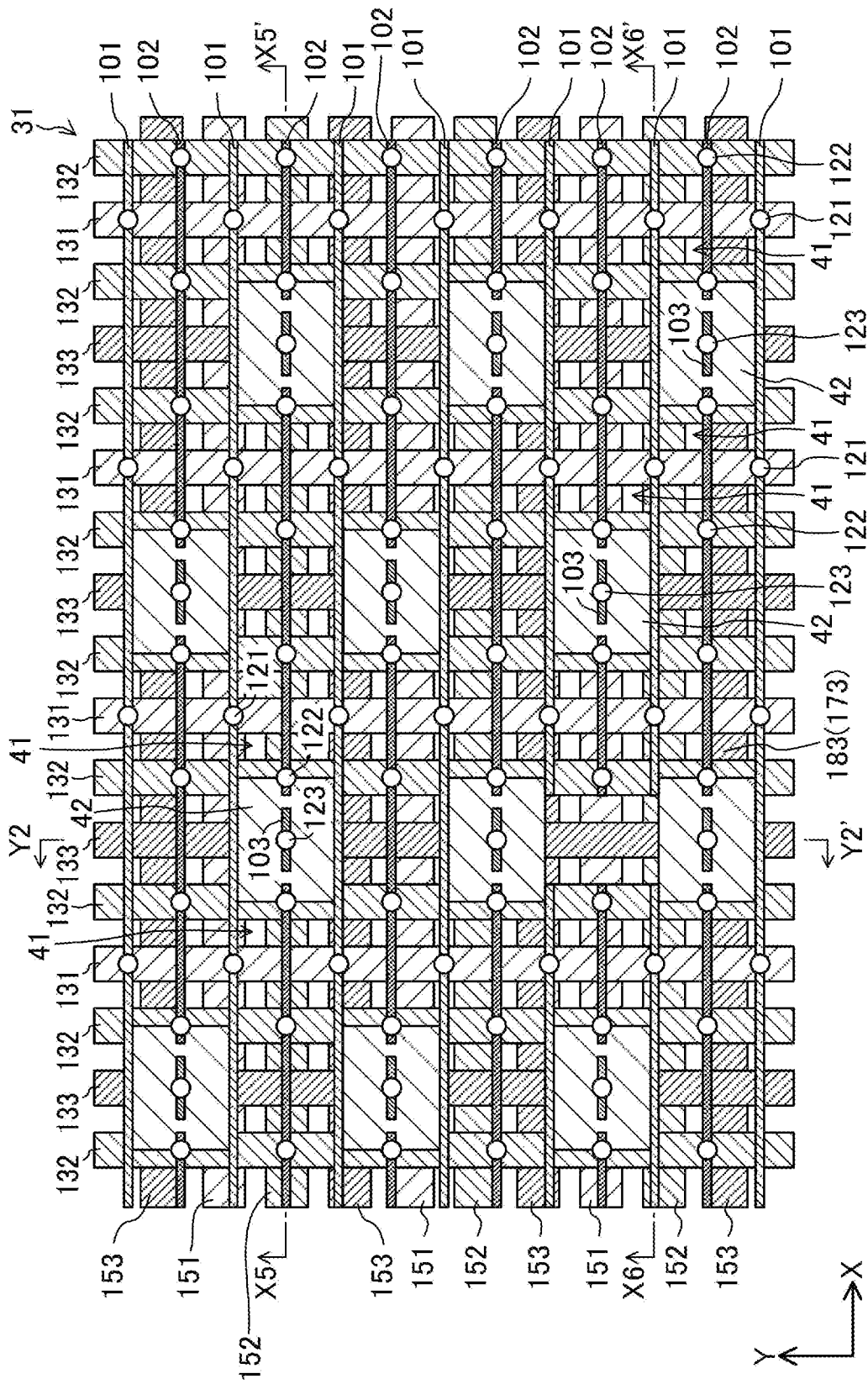
[図10]



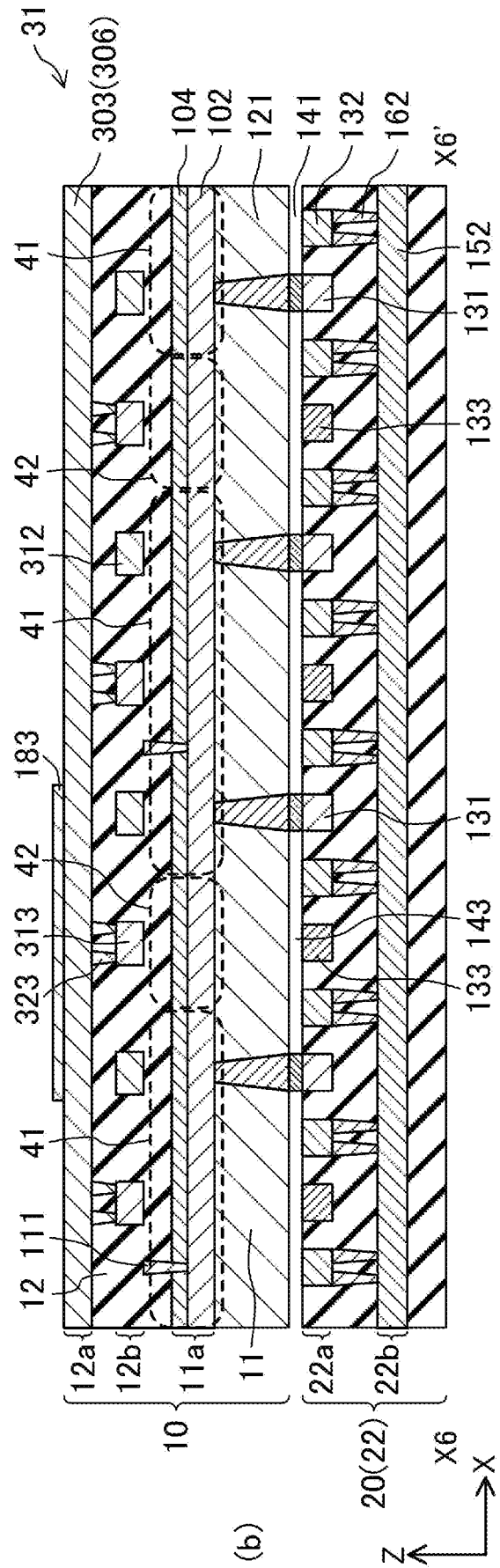
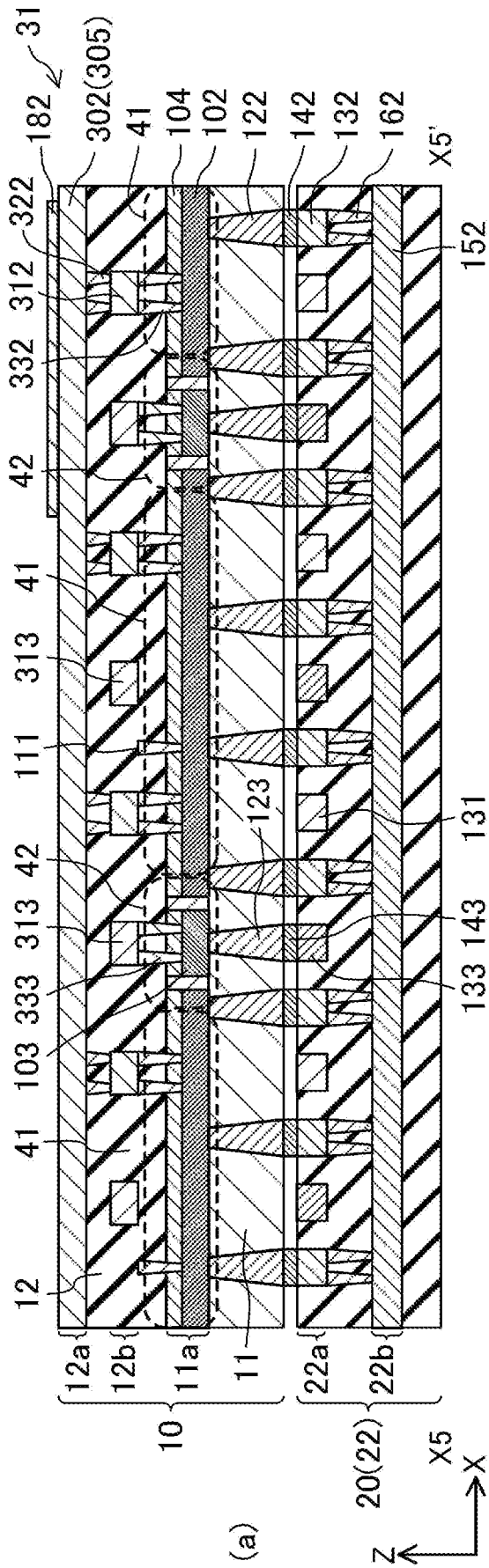
[図11]



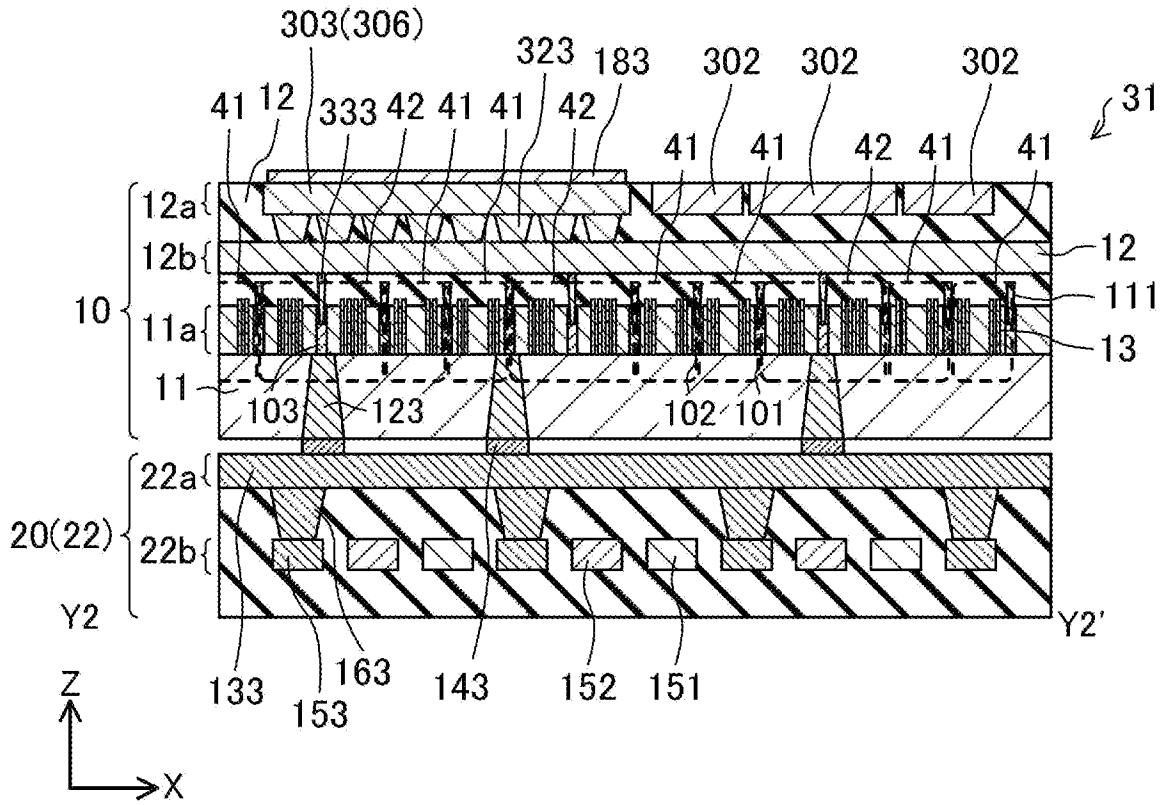
[図12]



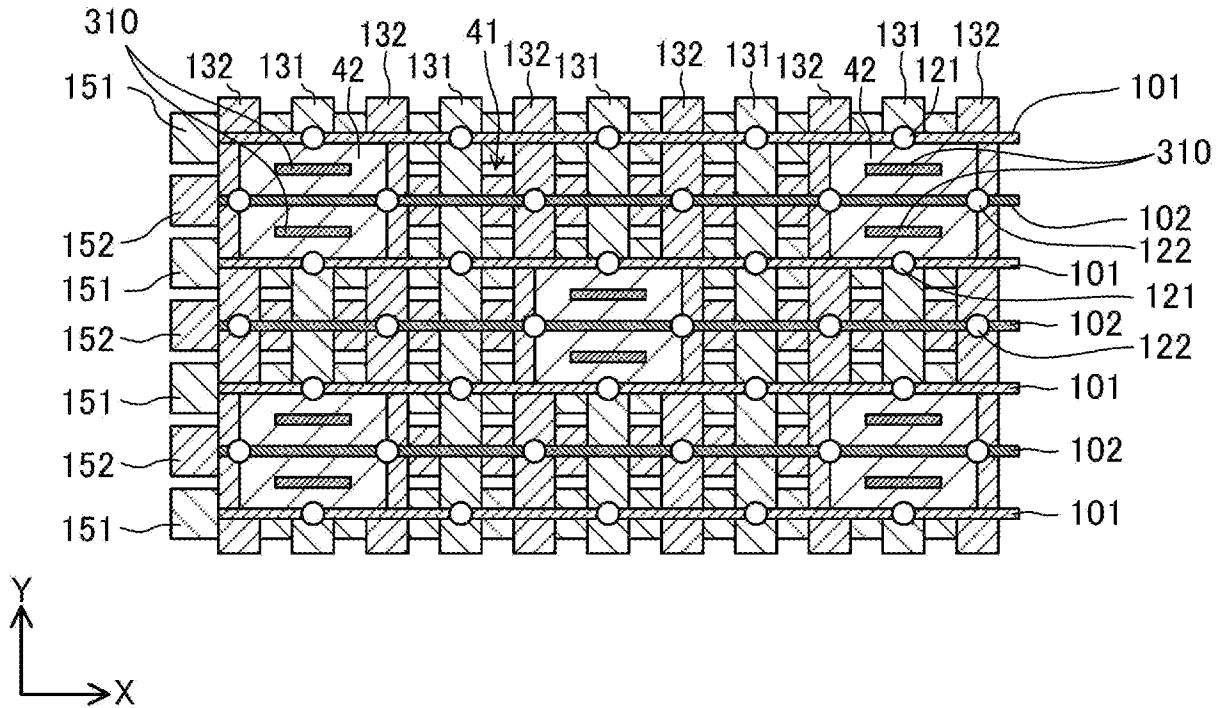
[図13A]



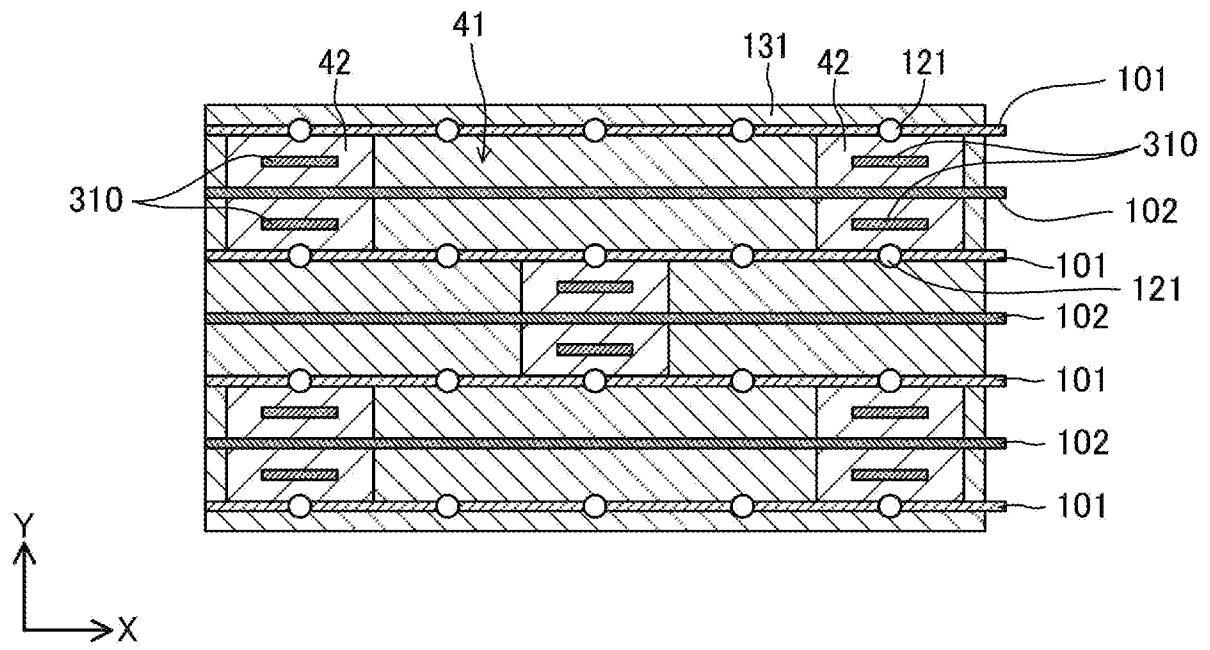
[図13B]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/009198

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 27/04</i> (2006.01) FI: H01L27/04 D		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L27/04		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2021/070367 A1 (SOCIONEXT INC.) 15 April 2021 (2021-04-15) entire text, all drawings	1-15
A	JP 2017-28085 A (FUJITSU LTD.) 02 February 2017 (2017-02-02) entire text, all drawings	1-15
A	JP 2010-129958 A (SEIKO EPSON CORP.) 10 June 2010 (2010-06-10) entire text, all drawings	1-15
A	JP 2012-44042 A (KAWASAKI MICROELECTRONICS KK) 01 March 2012 (2012-03-01) entire text, all drawings	1-15
A	JP 2006-228897 A (FUJITSU LTD.) 31 August 2006 (2006-08-31) entire text, all drawings	1-15
A	JP 2009-76518 A (NEC ELECTRONICS CORP.) 09 April 2009 (2009-04-09) entire text, all drawings	1-15
A	JP 2014-72499 A (HITACHI, LTD.) 21 April 2014 (2014-04-21) entire text, all drawings	1-15
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 06 May 2022		Date of mailing of the international search report 17 May 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/009198

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-16573 A (RENESAS ELECTRONICS CORP.) 24 January 2013 (2013-01-24) entire text, all drawings	1-15
A	JP 2005-32839 A (TOSHIBA MICROELECTRONICS CORP.) 03 February 2005 (2005-02-03) entire text, all drawings	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2022/009198

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2021/070367 A1	15 April 2021	(Family: none)	
JP 2017-28085 A	02 February 2017	US 2017/0026036 A1	
JP 2010-129958 A	10 June 2010	US 2010/0133701 A1	
JP 2012-44042 A	01 March 2012	(Family: none)	
JP 2006-228897 A	31 August 2006	(Family: none)	
JP 2009-76518 A	09 April 2009	(Family: none)	
JP 2014-72499 A	21 April 2014	US 2014/0091478 A1	
JP 2013-16573 A	24 January 2013	US 2013/0002337 A1	
JP 2005-32839 A	03 February 2005	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/04(2006.01)i FI: H01L27/04 D		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L27/04 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2021/070367 A1 (株式会社ソシオネクスト) 15.04.2021 (2021-04-15) 全文, 全図	1-15
A	JP 2017-28085 A (富士通株式会社) 02.02.2017 (2017-02-02) 全文, 全図	1-15
A	JP 2010-129958 A (セイコーエプソン株式会社) 10.06.2010 (2010-06-10) 全文, 全図	1-15
A	JP 2012-44042 A (川崎マイクロエレクトロニクス株式会社) 01.03.2012 (2012-03-01) 全文, 全図	1-15
A	JP 2006-228897 A (富士通株式会社) 31.08.2006 (2006-08-31) 全文, 全図	1-15
A	JP 2009-76518 A (NECエレクトロニクス株式会社) 09.04.2009 (2009-04-09) 全文, 全図	1-15
A	JP 2014-72499 A (株式会社日立製作所) 21.04.2014 (2014-04-21) 全文, 全図	1-15
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 06.05.2022	国際調査報告の発送日 17.05.2022	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 市川 武宜 5F 4056 電話番号 03-3581-1101 内線 3514	

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-16573 A (ルネサスエレクトロニクス株式会社) 24.01.2013 (2013 - 01 - 24) 全文, 全図	1-15
A	JP 2005-32839 A (東芝マイクロエレクトロニクス株式会社) 03.02.2005 (2005 - 02 - 03) 全文, 全図	1-15

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2022/009198

引用文献	公表日	パテントファミリー文献	公表日
WO 2021/070367 A1	15.04.2021	(ファミリーなし)	
JP 2017-28085 A	02.02.2017	US 2017/0026036 A1	
JP 2010-129958 A	10.06.2010	US 2010/0133701 A1	
JP 2012-44042 A	01.03.2012	(ファミリーなし)	
JP 2006-228897 A	31.08.2006	(ファミリーなし)	
JP 2009-76518 A	09.04.2009	(ファミリーなし)	
JP 2014-72499 A	21.04.2014	US 2014/0091478 A1	
JP 2013-16573 A	24.01.2013	US 2013/0002337 A1	
JP 2005-32839 A	03.02.2005	(ファミリーなし)	