

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-220895

(P2007-220895A)

(43) 公開日 平成19年8月30日(2007.8.30)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/808 (2006.01)	HO 1 L 29/80 C	4M104
HO 1 L 21/337 (2006.01)	HO 1 L 29/80 H	5F102
HO 1 L 29/812 (2006.01)	HO 1 L 21/28 3O1R	
HO 1 L 29/778 (2006.01)	HO 1 L 29/50 J	
HO 1 L 21/338 (2006.01)	HO 1 L 21/28 3O1B	

審査請求 未請求 請求項の数 11 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2006-39404 (P2006-39404)
 (22) 出願日 平成18年2月16日 (2006.2.16)

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100077931
 弁理士 前田 弘
 (74) 代理人 100110939
 弁理士 竹内 宏
 (74) 代理人 100110940
 弁理士 嶋田 高久
 (74) 代理人 100113262
 弁理士 竹内 祐二
 (74) 代理人 100115059
 弁理士 今江 克実
 (74) 代理人 100115691
 弁理士 藤田 篤史

最終頁に続く

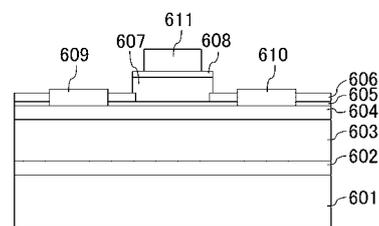
(54) 【発明の名称】 窒化物半導体装置およびその製造方法

(57) 【要約】

【課題】十分に大きな電流密度を得ることができるノーマリオフ型の窒化物半導体装置を提供する。

【解決手段】基板601上にAlNバッファ層602、アンドープGaN層603、アンドープAlGaN層604、第1のp型AlGaN層605、第2のp型AlGaN層607、高濃度p型GaN層608が順に形成され、ゲート電極611が高濃度p型GaN層608とオーミック接合する。アンドープAlGaN層604上にはソース電極609及びドレイン電極610が設けられる。アンドープAlGaN層604とアンドープGaN層603との界面で発生する2次元電子ガスと第1のp型AlGaN層605および第2のp型AlGaN層607とによって生じるpn接合がゲート領域に形成される。また、第2のp型AlGaN層607はSiN膜606の一部を覆う。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

基板と、
 前記基板の上方に設けられた第 1 の窒化物半導体層と、
 前記第 1 の窒化物半導体層の上に設けられ、前記第 1 の窒化物半導体よりもバンドギャップエネルギーが大きい第 2 の窒化物半導体層と、
 前記第 2 の窒化物半導体層の上または上方に設けられ、少なくともゲート領域に開口部が形成された絶縁膜と、
 ゲート領域に形成された前記開口部を埋めるように前記第 2 の窒化物半導体層の上または上方に設けられるとともに、前記絶縁膜の一部を覆う p 型の第 3 の窒化物半導体層と、
 前記第 3 の窒化物半導体層の上または上方に設けられたゲート電極とを備えていることを特徴とする窒化物半導体装置。

10

【請求項 2】

前記ゲート電極は、オーミック電極であることを特徴とする請求項 1 に記載の窒化物半導体装置。

【請求項 3】

前記第 2 の窒化物半導体層の上であって前記第 3 の窒化物半導体層の下に設けられた p 型の第 4 の窒化物半導体層をさらに備えており、
 前記絶縁膜は前記第 4 の窒化物半導体層の上に形成されていることを特徴とする請求項 1 または 2 に記載の窒化物半導体装置。

20

【請求項 4】

前記第 4 の窒化物半導体層の厚さが、前記第 4 の窒化物半導体層と前記絶縁膜との界面から前記第 4 の窒化物半導体層中に広がる空乏層の深さ以下であることを特徴とする請求項 3 または 4 に記載の窒化物半導体装置。
 前記第 4 の窒化物半導体層が空乏化していること特徴とする請求項 3 に記載の窒化物半導体装置。

【請求項 5】

ノーマリオフ型であることを特徴とする請求項 1 ~ 4 のうちいずれか 1 つに記載の窒化物半導体装置。

【請求項 6】

前記第 1 の窒化物半導体は GaN で構成されており、
 前記第 2 の窒化物半導体層は $Al_x Ga_{1-x} N$ ($0 < x < 1$) で構成されており、
 前記第 3 の窒化物半導体層は $Al_y Ga_{1-y} N$ ($0 < y < 1$) で構成されており、
 前記第 4 の窒化物半導体層は $Al_z Ga_{1-z} N$ ($0 < z < 1$) で構成されていることを特徴とする請求項 1 ~ 5 のうちいずれか 1 つに記載の窒化物半導体装置。

30

【請求項 7】

基板と、
 前記基板の上方に設けられた第 1 の窒化物半導体層と、
 前記第 1 の窒化物半導体層の上に設けられ、前記第 1 の窒化物半導体よりもバンドギャップエネルギーが大きい第 2 の窒化物半導体層と、
 前記第 2 の窒化物半導体層の上に設けられた p 型の第 3 の窒化物半導体層と、
 前記第 3 の窒化物半導体層の上に設けられ、少なくともゲート領域に開口部が形成された絶縁膜と、
 ゲート領域に形成された前記開口部を埋めるように前記第 2 の窒化物半導体層の上または上方に設けられた p 型の第 4 の窒化物半導体層と、
 前記第 4 の窒化物半導体層の上または上方に設けられたゲート電極とを備えていることを特徴とする窒化物半導体装置。

40

【請求項 8】

前記第 3 の窒化物半導体層の厚さが、前記第 3 の窒化物半導体層と前記絶縁膜との界面から前記第 3 の窒化物半導体層中に広がる空乏層の深さ以下であることを特徴とする請求

50

項 7 に記載の窒化物半導体装置。

【請求項 9】

基板上に第 1 の窒化物半導体層を形成する工程 (a) と、
前記第 1 の窒化物半導体層上に前記第 1 の窒化物半導体層よりもバンドギャップエネルギーの大きい第 2 の窒化物半導体層を形成する工程 (b) と、

前記第 2 の窒化物半導体層の上または上方に、ゲート領域に開口部が形成された絶縁膜を形成する工程 (c) と、

前記絶縁膜の前記開口部を埋めるように前記第 2 の窒化物半導体層の上または上方に窒化物半導体を堆積し、前記絶縁膜の一部を覆う p 型の第 3 の窒化物半導体層を形成する工程 (d) と、

前記第 3 の窒化物半導体層の上または上方にゲート電極を形成する工程 (e) とを備えていることを特徴とする窒化物半導体装置の製造方法。

10

【請求項 10】

前記工程 (c) において、前記開口部を含む前記絶縁膜の全面積に対する前記開口部の面積の割合は 4 % 以下であることを特徴とする請求項 9 に記載の窒化物半導体装置の製造方法。

【請求項 11】

前記工程 (d) では、第 3 の窒化物半導体層の成長レートを $11 \mu\text{m}/\text{h}$ 以上にすることを特徴とする請求項 9 または 10 に記載の窒化物半導体装置の製造方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、例えばテレビ等の民生機器の電源回路に用いられるパワートランジスタに適用できる窒化物半導体装置に関するものである。

【背景技術】

【0002】

近年、高周波大電力デバイスとして GaN 系の材料を用いた電界効果トランジスタ (Field Effect Transistor、以下 FET と表記する) の研究が活発に行われている。GaN などの窒化物半導体材料は AlN や InN と様々な混晶を作ることができるので、従来から用いられている GaAs などの砒素系半導体材料と同様にヘテロ接合を作ることができる。しかしながら、窒化物半導体層間に形成されるヘテロ接合では、窒化物半導体層の界面に自発分極あるいはピエゾ分極に起因する高濃度のキャリアが不純物の導入なしでも発生する。この結果、窒化物半導体で構成された FET はデプレッション型 (ノーマリオン型) になり易く、エンハンスメント型 (ノーマリオフ型) の特性を得ることが難しい。

30

【0003】

図 8 は、AlGaN / GaN ヘテロ構造を有する従来の電界効果トランジスタを示す断面図である。

【0004】

同図に示す従来の電界効果トランジスタにおいて、サファイア基板 1801 上に低温 GaN バッファ層 1802、アンドープ GaN 層 1803、n 型 AlGaN 層 1804 がこの順に形成されており、Ti 層及び Al 層からなるソース電極 1805 及びドレイン電極 1806 が n 型 AlGaN 層 1804 上に形成されている。Ni 層、Pt 層及び Au 層からなるゲート電極 1807 はソース電極 1805 及びドレイン電極 1806 間に形成されている。パッシベーション膜としては、SiN 膜 1808 が形成されている。この電界効果トランジスタは、アンドープ GaN 層 1803 と n 型 AlGaN 層 1804 とのヘテロ界面に生じる高濃度の 2 次元電子ガスのためにゲート電圧が 0 V の場合にドレイン電流が流れる、ノーマリオン型である。

40

【0005】

しかしながら、現在パワーエレクトロニクス市場で使用されているデバイスの殆どがノーマリオフ型であり、GaN 系の窒化物半導体デバイスに対してもノーマリオフ型が強く

50

求められている。このノーマリオフを実現するデバイス構造として、GaAs系の従来の化合物半導体においてはゲートにpn接合を用いた接合型電界効果トランジスタ(JFET: Junction Field Effect Transistor)が提案され実用化されている(非特許文献1を参照)。JFET構造では、ショットキー接合よりもビルトインポテンシャルの大きなpn接合をゲートに用いることによって、ゲート立ち上がり電圧(ゲート電流が流れ始める電圧)を大きくすることができ、ゲートリーク電流を小さくすることができる。また最近では、窒化物半導体においてもJFET構造の採用を検討した例が報告されている(非特許文献2、特許文献1を参照)。

【特許文献1】特開2004-273486

【非特許文献1】J. K. Abrokwhah et al., IEEE Transactions on Electron Devices, vol. 1.37, no.6, pp.1529-1531, 1990. 10

【非特許文献2】L. Zhang et al., IEEE Transactions on Electron Devices, vol.47, no.3, pp.507-511, 2000.

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、従来のGaN系FETをノーマリオフ型とするためには、n型AlGaN層中のAl組成比を減らすか、n型AlGaN層を薄くして分極電荷量を低減するかのいずれかを行う必要があり、大きな電流密度を得ることとノーマリオフ型のFETを実現することとを両立させることが困難であった。 20

【0007】

本発明は上記の課題に鑑み、パワートランジスタに適用でき、十分に大きな電流密度を得ることができるノーマリオフ型の窒化物半導体デバイスを提供することを目的とする。

【課題を解決するための手段】

【0008】

上記課題を解決するために、本発明の第1の窒化物半導体装置は、基板と、基板の上方に設けられた第1の窒化物半導体層と、第1の窒化物半導体層の上に設けられ、第1の窒化物半導体層よりもバンドギャップエネルギーが大きい第2の窒化物半導体層と、第2の窒化物半導体層の上または上方に設けられ、少なくともゲート領域に開口部が形成された絶縁膜と、ゲート領域に形成された開口部を埋めるように第2の窒化物半導体層の上または上方に設けられるとともに、絶縁膜の一部を覆うp型の第3の窒化物半導体層と、第3の窒化物半導体層の上または上方に設けられたゲート電極とを備えている。 30

【0009】

この構成によれば、第1の窒化物半導体層と第2の窒化物半導体層との界面には動作時に2次元電子ガスが形成されるので、ゲート領域にpn接合を形成可能である。このため、従来の窒化物半導体装置に比べて高いゲート電圧を印加してもゲートリーク電流が流れにくくなっており、大きなドレイン電流を得ることができる。この場合、ゲート電極はオーミック電極であることが好ましい。また、パッシベーション膜として機能する絶縁膜の一部が第3の窒化物半導体層に覆われていることにより、高いドレイン電圧が印加された際にドレイン側のゲート領域端に生じる電界集中を緩和し、耐圧を向上させることができる。また、絶縁膜を覆う部分(上部)では第3の窒化物半導体層の平面面積が下部に比べて大きくなっているため、絶縁膜を覆わない場合に比べて第3の窒化物半導体層における抵抗を小さくすることが可能となる。 40

【0010】

また、第2の窒化物半導体層の上であって第3の窒化物半導体層の下に設けられたp型の第4の窒化物半導体層をさらに備えており、絶縁膜は第4の窒化物半導体層の上に形成されていることにより電流コラプスの発生をさらに効果的に抑えることが可能となる。

【0011】

第4の窒化物半導体層は空乏化していてもよい。特に、第4の窒化物半導体層の厚さが、第4の窒化物半導体層と絶縁膜との界面から第4の窒化物半導体層中に広がる空乏層の 50

深さ以下であれば、空乏層が第2の窒化物半導体層に広がるのを防ぐことができるので、第1の窒化物半導体と第2の窒化物半導体層との界面に形成される2次元電子ガスの濃度の低下を防ぎ、チャネル抵抗を小さくすることができる。

【0012】

本発明の第1の窒化物半導体装置において、第1の窒化物半導体が例えばGaNで構成され、第2の窒化物半導体層が $Al_xGa_{1-x}N$ ($0 < x < 1$)で構成され、第3の窒化物半導体層が $Al_yGa_{1-y}N$ ($0 < y < 1$)で構成され、第4の窒化物半導体層が $Al_zGa_{1-z}N$ ($0 < z < 1$)で構成されていてもよい。

【0013】

本発明の第2の窒化物半導体装置は、基板と、基板の上方に設けられた第1の窒化物半導体層と、第1の窒化物半導体層の上に設けられ、第1の窒化物半導体よりもバンドギャップエネルギーが大きい第2の窒化物半導体層と、第2の窒化物半導体層の上に設けられたp型の第3の窒化物半導体層と、第3の窒化物半導体層の上に設けられ、ゲート領域に開口部が形成された絶縁膜と、ゲート領域に形成された開口部を埋めるように第2の窒化物半導体層の上または上方に設けられたp型の第4の窒化物半導体層と、第4の窒化物半導体層の上または上方に設けられたゲート電極とを備えている。

10

【0014】

これにより、電流コラプスの発生が効果的に抑えられている。

【0015】

本発明の窒化物半導体装置の製造方法は、基板上に第1の窒化物半導体層を形成する工程(a)と、第1の窒化物半導体層上に第1の窒化物半導体層よりもバンドギャップエネルギーの大きい第2の窒化物半導体層を形成する工程(b)と、第2の窒化物半導体層の上または上方に、ゲート領域に開口部が形成された絶縁膜を形成する工程(c)と、絶縁膜の開口部を埋めるように第2の窒化物半導体層の上または上方に窒化物半導体を堆積し、絶縁膜の一部を覆うp型の第3の窒化物半導体層を形成する工程(d)と、第3の窒化物半導体層の上または上方にゲート電極を形成する工程(e)とを備えている。

20

【0016】

特に、開口部を含む絶縁膜の全面積に対する開口部の面積の割合は4%以下であることにより、第3の窒化物半導体層の成長レートを所定値以上にすることができ、上面が鏡面となる第3の窒化物半導体層を形成することが可能になる。なお、第3の窒化物半導体層の成長レートは $11 \mu m/h$ 以上であることが好ましい。

30

【発明の効果】

【0017】

以上説明したように、本発明の窒化物半導体デバイスによれば、ゲート領域にpn接合を形成することによってゲートリーク電流が小さく、大電流動作が可能なノーマリオフ型窒化物半導体デバイスを実現することが可能である。また、ゲート領域において窒化物半導体層上にp型窒化物半導体層を成長させることによって、チャネルより上方の窒化物半導体層の厚さのばらつきを抑制することができるため、大電流密度、低リーク電流、高耐圧等の安定した特性が得られ、生産性を向上させることができる。

【発明を実施するための最良の形態】

40

【0018】

以下、本発明の実施形態について、図面を参照しながら説明する。

【0019】

(第1の実施形態)

図1は、本発明の第1の実施形態に係る窒化物半導体装置を示す断面図である。本実施形態の窒化物半導体装置は、パワートランジスタとして用いられる電界効果トランジスタである。

【0020】

図1に示すように、本実施形態の窒化物半導体装置は、例えば(0001)面を主面とするサファイア基板101と、サファイア基板101の(0001)面上に設けられた厚

50

さ100nmのAlNバッファ層102と、AlNバッファ層102の上に設けられた厚さ2 μ mのアンドープGaN層103と、アンドープGaN層103の上に設けられた厚さ25nmのアンドープAlGaN層104と、アンドープAlGaN層104の一部の上に設けられた厚さ100nmのp型AlGaN層106と、p型AlGaN層106の上に設けられた厚さ5nmの高濃度p型GaN層107とを備えている。ここで、「アンドープ」とは、不純物が意図的に導入されていないことを意味するものとする。

【0021】

p型AlGaN層106には濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 程度のMgがドーピングされ、キャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 程度となっている。高濃度p型GaN層107にはMgが $1 \times 10^{20} \text{ cm}^{-3}$ 程度ドーピングされている。また、本実施形態の窒化物半導体装置では、アンドープAlGaN層104及びp型AlGaN層106は、例えばアンドープの $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ で構成されている。

10

【0022】

高濃度p型GaN層107上には、高濃度p型GaN層107とオーミック接合し、Pd(パラジウム)からなるゲート電極110が設けられている。また、アンドープAlGaN層104の上には一部が開口したSiN膜105が設けられている。そして、SiN膜105の開口が形成された領域であってアンドープAlGaN層104上には、p型AlGaN層106を挟むように配置されたTi層とAl層からなるソース電極108及びドレイン電極109が設けられている。さらに、素子形成領域の周囲に例えばホウ素(B)などのイオン注入して高抵抗化された素子分離領域を形成してもよい。

20

【0023】

また、本実施形態の窒化物半導体装置の大きな特徴は、ゲート領域に形成されたp型AlGaN層106が、SiN膜105の開口部を埋めるようにアンドープAlGaN層104上に設けられているとともに、SiN膜105の一部を覆っていることである。ここで、「ゲート領域」とは、平面的に見て窒化物半導体装置のゲート電極が形成される領域およびその近傍領域のことを意味するものとする。このように、p型AlGaN層106がSiN膜105の一部を覆う形状となっていることにより、ドレイン-ソース間に高電圧が印加された場合、p型AlGaN層106とSiN膜105とがオーバーラップしているドレイン側のゲート領域端部での電界集中を緩和し、耐圧を増大させることができる。

30

【0024】

また、ゲート領域に設けられたp型AlGaN層106がT字型の断面形状であることにより、p型AlGaN層106の上部における抵抗を低減することができ、ひいてはゲート抵抗を低減することが可能となる。

【0025】

また、本実施形態の窒化物半導体装置の他の特徴は、ゲート電極110が高濃度p型GaN層107とオーミック接合しているため、アンドープAlGaN層104とアンドープGaN層103との界面で形成される2次元電子ガスとp型AlGaN層106とによって生じるpn接合がゲート領域に形成されることにある。ショットキー接合による障壁よりもpn接合による障壁の方が大きいいため、本実施形態の窒化物半導体装置では、従来よりゲート電圧を高くしてもゲートリークを生じにくくなっている。

40

【0026】

また、本実施形態の窒化物半導体装置では、ゲート電極110の下に薄い高濃度p型GaN層107が設けられていることにより、ゲート電極110との間にオーミック接合を形成しやすくなっている。一般的にp型GaN系半導体はp型GaAs系半導体に比べてオーミック接合を形成しにくいので、高濃度p型GaN層107が設けられていることは必須ではないものの、高濃度p型GaN層107が設けられている方が好ましい。また、ゲート電極110の材料は仕事関数の大きいものが好ましく、Pdの他、Niなども用いることができる。また、p型AlGaN層106とアンドープAlGaN層104とでAl組成が異なってもよく、例えばp型AlGaN層106に代えてp型GaN層が設

50

けられていてもよい。

【0027】

図2は、第1の実施形態に係る窒化物半導体装置のゲート領域の縦断面におけるエネルギーバンド図である。

【0028】

同図に示すように、アンドープAlGaN層104とアンドープGaN層103とはアンドープ層同士のヘテロ接合を形成しているが、両層間の界面では自発分極及びピエゾ分極により生じた電荷のために伝導帯端に溝が形成されている。しかし、ゲート領域では図2に示すように、p型AlGaN層106がアンドープAlGaN層104上に形成されていることによって、アンドープAlGaN層104及びアンドープGaN層103のエネルギーレベルが引き上げられ、アンドープAlGaN層104とアンドープGaN層103のヘテロ界面における伝導帯の溝がフェルミレベルよりも高い位置になっている。その結果、ゲート電極にバイアスを印加しない状態ではゲート領域に2次元電子ガスが形成されず、ノーマリオフ状態となる。

10

【0029】

一方、ゲート領域以外の素子形成領域では、p型AlGaN層106がアンドープAlGaN層104上に形成されていないため、ゲート電圧を印加しない状態でも2次元電子ガスが形成される。このように、ゲート領域以外の素子形成領域で常に2次元電子ガスが生じていることにより、ゲート電極110に正バイアスを印加した場合にソース-ドレイン間に大電流を流すことが可能となっている。

20

【0030】

また、本実施形態の窒化物半導体装置のゲート領域において、アンドープAlGaN層104上にp型AlGaN層106を再成長させる場合、ドライエッチングによってゲート領域に窒化物半導体層を形成する場合に比べてp型AlGaN層106の膜厚のばらつきを抑えることができる。

【0031】

図3(a)、(b)は、それぞれ本実施形態の窒化物半導体装置において、ゲート電圧とドレイン電流の関係を示す図、およびゲート電圧を固定した場合のドレイン電流とドレイン電圧との関係を示す図である。ここで、図3(a)はドレイン電圧(ソース-ドレイン間に印加される電圧)が10Vである場合、図3(b)はゲート電圧(ゲート電極-ソース電極間に印加される電圧)が0~2.5Vである場合を示している。

30

【0032】

図3(a)から、本実施形態の窒化物半導体装置は、閾値電圧が約0Vであり、ノーマリオフを実現していることが分かる。また、ゲート立ち上がり電圧が約3Vと大きいため、ゲート電極に2.5Vの正バイアスを印加してもゲートリーク電流はほとんど流れず、図3(b)に示すように、最大で約400mA/mmのドレイン電流が得られる。

【0033】

次に、図1に示す本実施形態の窒化物半導体装置を製造する方法の一例について説明する。図4(a)~(e)は、本実施形態に係る窒化物半導体装置の製造方法を示す断面図である。

40

【0034】

まず、図4(a)に示すように、サファイア基板101の(0001)面上に有機金属気相成長法(Metal Organic Chemical Vapor Deposition: MOCVD)により、厚さが100nmのAlNバッファ層102、厚さ2μmのアンドープGaN層103、厚さ25nmのアンドープAlGaN層104をこの順に形成する。

【0035】

次に、図4(b)に示すように、SiH₄、NH₃及びN₂を用いた気相堆積法(Chemical Vapor Deposition: CVD)により、例えば膜厚が50nmのSiN膜105をアンドープAlGaN層104上に形成する。続いて、例えばフッ酸を用いたウェットエッチングによりゲート領域においてSiN膜105に開口を形成する。

50

【0036】

次に、図4(c)に示すように、SiN膜105をマスクとしてMOCVD法により厚さ100nmのp型AlGaIn層106及び厚さ5nmの高濃度p型GaIn層107を基板のゲート領域上に選択的に成長させる。このとき、アンドープAlGaIn層104の露出部分上からゲート領域内のSiN膜105の上にもp型AlGaIn層106及び高濃度p型GaIn層107を成長させることによって、p型AlGaIn層106の一部がSiN膜105の一部を覆う形状となる。

【0037】

図5は、SiN膜をマスクとして用いる場合のマスク開口率とAlGaIn層の成長レートとの関係を示す図である。なお、「マスク開口率」とは、マスクとなる層の開口部を含めた全面積に対する開口部の面積の割合のことである。

10

【0038】

同図に示すように、AlGaIn層の成長レートはマスク開口率に大きく依存し、マスク開口率が小さくなるほど成長レートは大きくなる。そして、AlGaIn層の成長レートが低いときは平坦なAlGaIn層が得られないが、AlGaIn層の成長レートを11 μ m/hour以上にするると上面が鏡面となっているAlGaIn層を得ることができる。また、図5の試験を行った膜形成条件では、マスク開口率がおよそ4%以下(且つ0%より大)の場合に上面が鏡面となったAlGaIn層をAlGaIn層上に再成長させることができる。なお、成長レートが約11 μ m/hour以上であればAlGaIn層の成長条件が変化してもAlGaIn層の上面を鏡面にすることが可能である。

20

【0039】

次いで、図4(d)に示すように、例えばCF₄ガスを用いたRIE(Reactive Ion Etching)などのドライエッチングなどによりSiN膜105のうちp型AlGaIn層106および高濃度p型GaIn層107の両側方に位置する領域の一部を開口する。その後、SiN膜105が開口する領域のアンドープAlGaIn層104上に蒸着リフトオフ法などによりTi層とAl層からなるソース電極108及びドレイン電極109をそれぞれ形成し、N₂雰囲気中650で基板の熱処理を行う。

【0040】

続いて、図4(e)に示すように、蒸着リフトオフ法などにより高濃度p型GaIn層107上にPdからなるゲート電極110を形成する。以上のようにして、本実施形態の窒化物半導体装置を作製することができる。

30

【0041】

なお、本実施形態の窒化物半導体装置はサファイア基板の(0001)面を主面として用いて作製されているが、これ以外の結晶面を主面としてもよい。あるいは、窒化物半導体を成長させることが可能なサファイア基板以外の基板を用いてもよい。

【0042】

また、アンドープAlGaIn層104に代えてn型不純物が導入されたAlGaIn層を用いてもよい。

【0043】

なお、アンドープAlGaIn層104はAlGaInの他にAlNで構成されていてもよい。

40

【0044】

(第2の実施形態)

図6は、本発明の第2の実施形態に係る窒化物半導体装置を示す断面図である。

【0045】

同図に示すように、本実施形態の窒化物半導体装置は、例えば(0001)面を主面とするサファイア基板601と、サファイア基板601の(0001)面上に順に設けられた厚さ100nmのAlNバッファ層602、厚さ2 μ mのアンドープGaIn層603、厚さ25nmのアンドープAlGaIn層604、厚さが5nmでMgがドーピングされた第1のp型AlGaIn層605、厚さが100nmでMgがドーピングされた第2のp型

50

AlGa_{0.2}N層607、及び厚さ5nmの高濃度p型Ga_{0.8}N層608とを備えている。ここで、本実施形態の窒化物半導体装置では、アンドープAlGa_{0.2}N層604、第1のp型AlGa_{0.2}N層605及び第2のp型AlGa_{0.2}N層607は、例えばAl_{0.2}Ga_{0.8}Nで構成されている。第1のp型AlGa_{0.2}N層605に導入されたMgの濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 程度であり、第2のp型AlGa_{0.2}N層607に導入されたMgの濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 程度である。

【0046】

また、本実施形態の窒化物半導体装置は、高濃度p型Ga_{0.8}N層608とオーミック接合し、Pdからなるゲート電極611と、アンドープAlGa_{0.2}N層604とオーミック接合しTi層とAl層からなるソース電極609及びドレイン電極610と、SiN膜606とを備えている。第1の実施形態の窒化物半導体装置と同様にゲート電極611と高濃度p型Ga_{0.8}N層608とがオーミック接合しているため、アンドープGa_{0.8}N層とアンドープAlGa_{0.2}N層604との界面に生じる2次元電子ガスと第1のp型AlGa_{0.2}N層605および第2のp型AlGa_{0.2}N層607とによって生じるpn接合がゲート領域に形成される。そのため、ゲート電極と高濃度p型Ga_{0.8}N層とがショットキー接合する場合に比べてゲート電圧を大きくして駆動することが可能となる。

10

【0047】

また、第1の実施形態の窒化物半導体装置と同様に、ゲート領域においてSiN膜606には開口部が形成されている。第2のp型AlGa_{0.2}N層607は、この開口部を埋めるように第1のp型AlGa_{0.2}N層605上に設けられているとともに、SiN膜606の一部を覆っている。

20

【0048】

本実施形態の窒化物半導体装置が第1の実施形態の窒化物半導体装置と異なっているのは、第2のp型AlGa_{0.2}N層607(図1でのp型AlGa_{0.2}N層106に相当)およびSiN膜606とアンドープAlGa_{0.2}N層604との間に第1のp型AlGa_{0.2}N層605が設けられている点である。Ga_{0.8}N系FETでは、ドレイン電圧を大きくするとドレイン電流が減少するいわゆる電流コラプスがしばしば問題となる。しかしながら、本実施形態の窒化物半導体装置では、パッシベーション膜として機能するSiN膜606に加えて第1のp型AlGa_{0.2}N層605をアンドープAlGa_{0.2}N層604上に形成することによって、より完全に電流コラプスを抑制することができる。これは半導体層である第1のp型AlGa_{0.2}N層605自体がパッシベーション膜として作用して、表面準位がチャネルに与える影響を緩和するためであると考えられる。

30

【0049】

本実施形態の窒化物半導体装置を作製して動作させたところ、実際に電流コラプスは観察されなかった。

【0050】

また、本実施形態の窒化物半導体装置では、第1のp型AlGa_{0.2}N層605の厚さが表面準位によって形成される空乏層(SiN膜606と第1のp型AlGa_{0.2}N層605との界面から広がる空乏層)の厚さと同程度になっている。このため、ゲート領域以外の第1のp型AlGa_{0.2}N層605は表面空乏層によって完全に空乏化している。従って、ゲート領域の周辺では第1のp型AlGa_{0.2}N層605内に正孔は存在しなくなっている。そのため、アンドープAlGa_{0.2}N層604とアンドープGa_{0.8}N層603の界面に形成された2次元電子ガスの濃度は低下せず、チャネル抵抗を小さくすることができる。また、本実施形態の窒化物半導体装置は、ゲート領域に第2のp型AlGa_{0.2}N層607が設けられているのでノーマリオフとなっている。

40

【0051】

なお、第1のp型AlGa_{0.2}N層605の厚さは表面空乏層の厚さよりも大きくてもよく、表面空乏層または第1のp型AlGa_{0.2}N層605とアンドープAlGa_{0.2}N層604の接合によって形成される空乏層によって第1のp型AlGa_{0.2}N層605が完全に空乏化していればゲートリーク電流を発生させることなくトランジスタ動作が可能である。これに対

50

し、表面空乏層のみで第1のp型AlGaIn層605が完全に空乏化されていない場合、アンドープAlGaIn層604中にも空乏層が広がるため2次元電子ガスの濃度が低下し、チャネル抵抗が増加する。

【0052】

また通常、窒化物半導体の再成長界面は一度大気に暴露されているため、GaやAlの酸化物が形成されると共にCが残留し、結晶欠陥が形成されやすい。再成長界面がゲート領域のpn接合界面であった場合、結晶欠陥によりpn接合のビルトイン電圧が低下し、ゲートリーク電流が増大する可能性があるが、本実施形態の窒化物半導体装置では、再成長界面が第1のp型AlGaIn層605と第2のp型AlGaIn層607との界面となっているため、ゲートリーク電流を低減することができる。

10

【0053】

次に、図6に示す本実施形態の窒化物半導体装置の製造方法の一例について説明する。

【0054】

図7(a)~(e)は、本実施形態に係る窒化物半導体装置の製造方法を示す断面図である。

【0055】

まず、図7(a)に示すように、サファイア基板601の(0001)面上にMOCVD法により、厚さが100nmのAlNバッファ層602、厚さ2 μ mのアンドープGaN層603、厚さ25nmのアンドープAlGaIn層604、厚さ5nmの第1のp型AlGaIn層605をこの順に形成する。

20

【0056】

次に、図7(b)に示すように、SiH₄、NH₃及びN₂を用いたCVD法により、例えば膜厚が50nmのSiN膜606をアンドープAlGaIn層604上に形成する。続いて、例えばフッ酸を用いたウェットエッチングによりゲート領域においてSiN膜606に開口を形成する。

【0057】

次に、図7(c)に示すように、MOCVD法により厚さ100nmの第2のp型AlGaIn層607及び厚さ5nmの高濃度p型GaN層608をSiN膜606の開口部に形成された第1のp型AlGaIn層605上の領域に選択的に成長させる。この際に、SiN膜606のマスク開口率を適宜(例えば4%以下に)調節して第2のp型AlGaIn層607の成長レートを例えば11 μ m/hourにすることで、上面が鏡面となる第2のp型AlGaIn層607を形成することができる。また、第2のp型AlGaIn層607はSiN膜606の一部を覆うように設ける。

30

【0058】

次いで、図7(d)に示すように、例えばCl₂ガスを用いたICPドライエッチングなどによりSiN膜606及び第1のp型AlGaIn層605のうち第2のp型AlGaIn層607の両側方に位置する領域に開口を形成する。その後、その開口部にTi層とAl層からなるソース電極609及びドレイン電極610を形成し、N₂雰囲気中650での熱処理を行う。

40

【0059】

続いて、図7(e)に示すように、高濃度p型GaN層608上にPdからなるゲート電極611を形成する。以上のようにして、本実施形態の窒化物半導体装置を作製することができる。

【産業上の利用可能性】

【0060】

本発明の電界効果トランジスタは、テレビ他の民生機器の電源回路等で用いられるパワートランジスタとして有用である。

【図面の簡単な説明】

【0061】

50

【図1】本発明の第1の実施形態に係る窒化物半導体装置を示す断面図である。

【図2】第1の実施形態に係る窒化物半導体装置のゲート領域の縦断面におけるエネルギーバンド図である。

【図3】(a)、(b)は、それぞれ第1の実施形態に係る窒化物半導体装置において、ゲート電圧とドレイン電流の関係を示す図、およびゲート電圧を固定した場合のドレイン電流とドレイン電圧との関係を示す図である。

【図4】(a)～(e)は、第1の実施形態に係る窒化物半導体装置の製造方法を示す断面図である。

【図5】SiN膜をマスクとして用いる場合のマスク開口率とAlGaN層の成長レートとの関係を示す図である。

10

【図6】本発明の第2の実施形態に係る窒化物半導体装置を示す断面図である。

【図7】(a)～(e)は、第2の実施形態に係る窒化物半導体装置の製造方法を示す断面図である。

【図8】AlGaN/GaNヘテロ構造を有する従来の電界効果トランジスタを示す断面図である。

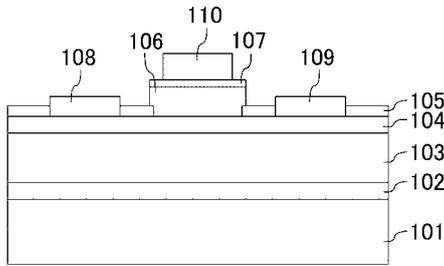
【符号の説明】

【0062】

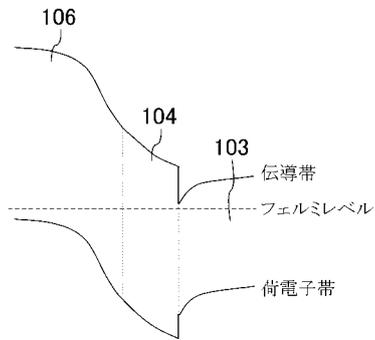
101、601	サファイア基板
102、602	AlNバッファ層
103、603	アンドープGaN層
104、604	アンドープAlGaN層
105、606	SiN膜
106	p型AlGaN層
107、608	高濃度p型GaN層
108、609	ソース電極
109、610	ドレイン電極
110、611	ゲート電極
605	第1のp型AlGaN層
606	第2のp型AlGaN層

20

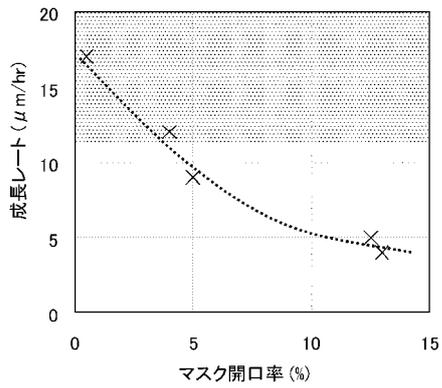
【 図 1 】



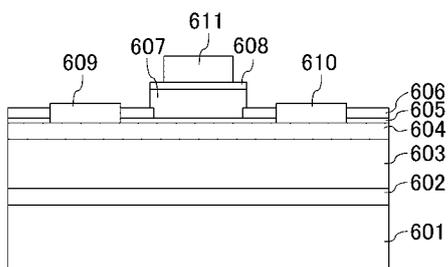
【 図 2 】



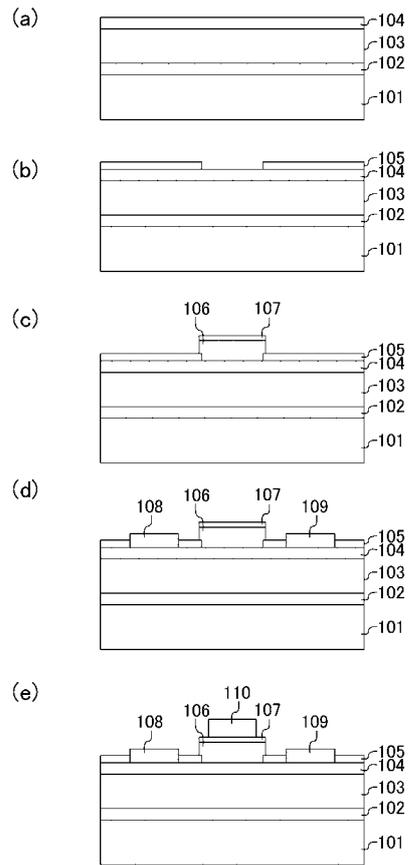
【 図 5 】



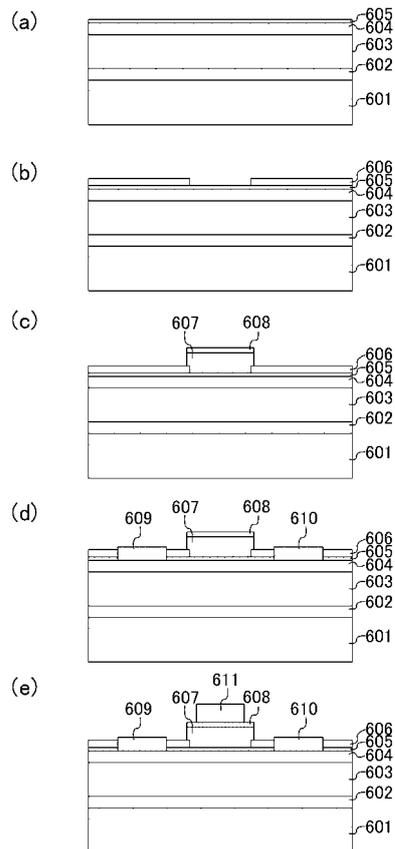
【 図 6 】



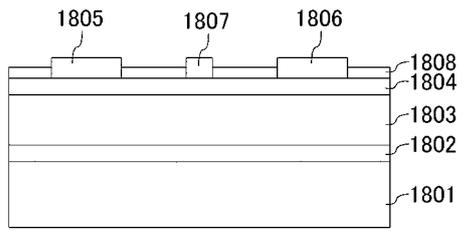
【 図 4 】



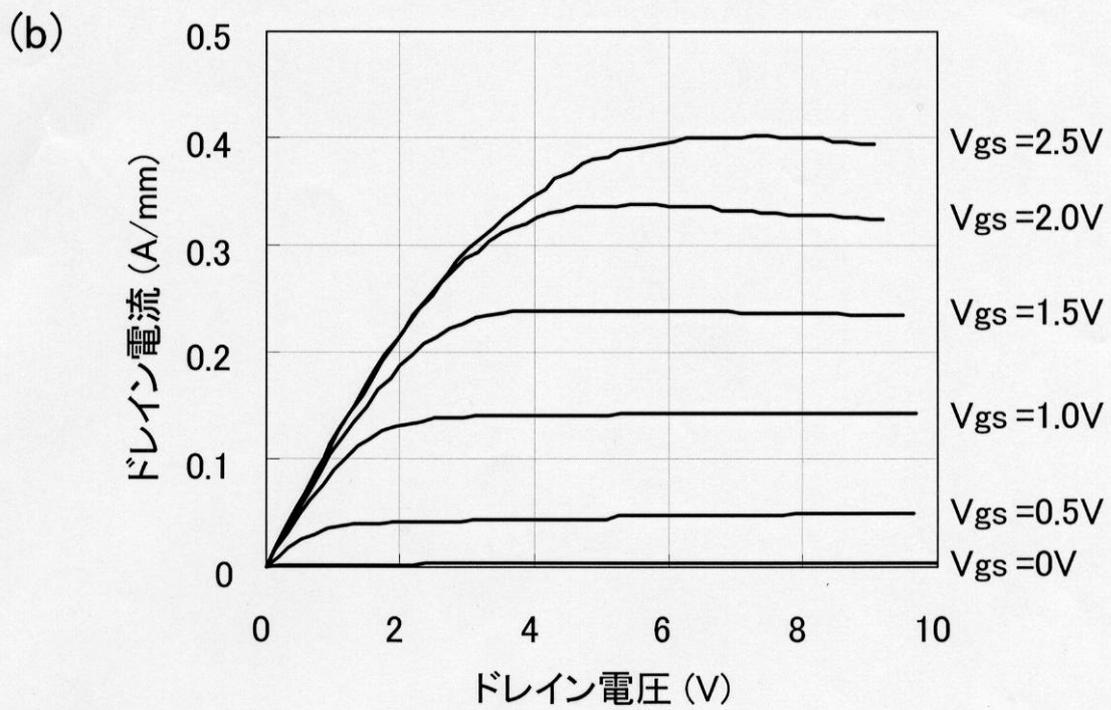
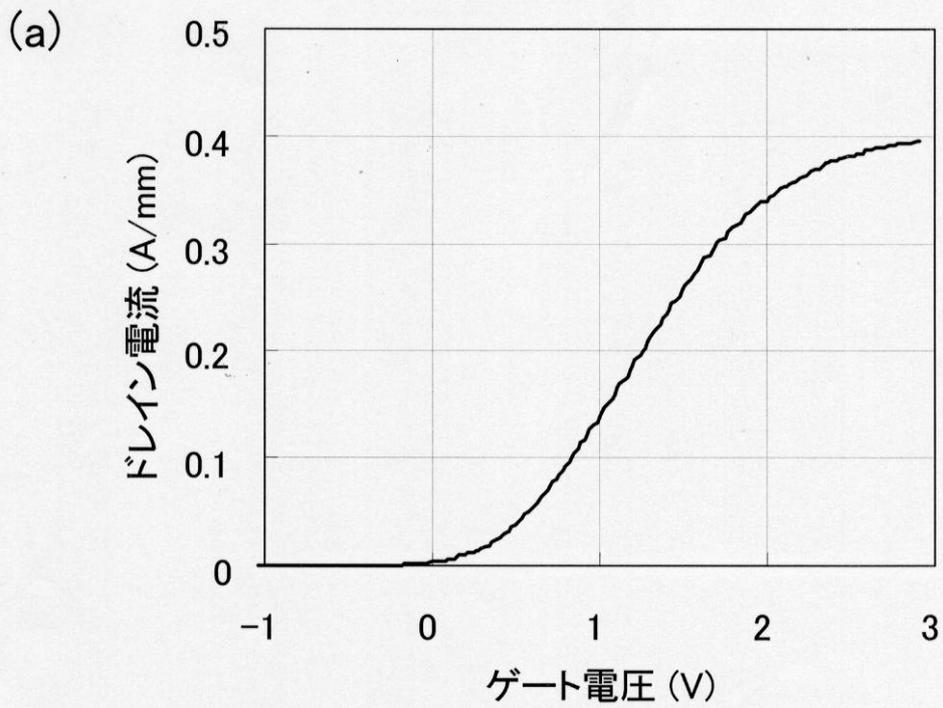
【 図 7 】



【 図 8 】



【図3】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 0 1 L 21/28 (2006.01)		
H 0 1 L 29/417 (2006.01)		
(74)代理人 100117581 弁理士 二宮 克也		
(74)代理人 100117710 弁理士 原田 智雄		
(74)代理人 100121728 弁理士 井関 勝守		
(74)代理人 100124671 弁理士 関 啓		
(74)代理人 100131060 弁理士 杉浦 靖也		
(72)発明者 引田 正洋 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内		
(72)発明者 柳原 学 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内		
(72)発明者 上田 哲三 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内		
(72)発明者 上本 康裕 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内		
(72)発明者 田中 毅 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内		
F ターム(参考) 4M104 AA04 AA07 AA10 BB05 BB07 BB14 CC01 DD34 DD68 EE06 EE17 FF13 GG11 5F102 FA01 FA02 GB01 GC01 GD04 GJ10 GK04 GL04 GQ01 GR01 GS04 GV08 HC01 HC11 HC19		