

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4782271号  
(P4782271)

(45) 発行日 平成23年9月28日 (2011.9.28)

(24) 登録日 平成23年7月15日 (2011.7.15)

(51) Int. Cl. F I  
**G 1 1 C 29/56 (2006.01)** G 1 1 C 29/00 6 5 1 T  
**G O 1 R 31/28 (2006.01)** G O 1 R 31/28 B  
**G O 1 R 31/319 (2006.01)** G O 1 R 31/28 R

請求項の数 4 (全 15 頁)

(21) 出願番号 特願2000-204757 (P2000-204757)  
 (22) 出願日 平成12年7月6日 (2000.7.6)  
 (65) 公開番号 特開2002-25294 (P2002-25294A)  
 (43) 公開日 平成14年1月25日 (2002.1.25)  
 審査請求日 平成19年2月15日 (2007.2.15)

(73) 特許権者 390005175  
 株式会社アドバンテスト  
 東京都練馬区旭町1丁目32番1号  
 (74) 代理人 110000877  
 龍華国際特許業務法人  
 (74) 代理人 100100642  
 弁理士 稲垣 稔  
 (72) 発明者 宝迫 孝弘  
 東京都練馬区旭町1丁目32番1号 株式  
 会社アドバンテスト内  
 審査官 酒井 恭信

最終頁に続く

(54) 【発明の名称】 半導体デバイス試験方法・半導体デバイス試験装置

(57) 【特許請求の範囲】

【請求項1】

各テストサイクルにおいて、被試験デバイスから出力される基準クロックの論理値を、  
 テストサイクル毎に1つのパルスが印加されテストサイクル毎に第1の所定時間ずつ遅れ  
 る第1ストロープパルスの印加タイミングで読み取って出力する第1タイミング比較を行  
 い、

各テストサイクルにおいて、被試験デバイスから出力されるデータの論理値を、上記第  
 1ストロープパルスよりも第2の所定時間だけ遅れた第2ストロープパルスの印加タイミ  
 ングで読み取って出力する第2タイミング比較を行い、

上記第1タイミング比較及び上記第2タイミング比較の結果の論理値を論理比較器でそ  
 れぞれ期待値と論理比較して、一致すれば論理判定結果を良とし、不一致であれば論理判  
 定結果を不良とし、

第1ストロープパルスの印加タイミングでの上記基準クロックの論理値に対する上記論  
 理判定結果が良で、かつ、当該第1ストロープパルスよりも上記第2の所定時間だけ遅れ  
 た第2ストロープパルスの印加タイミングでの上記データの論理値に対する上記論理判定  
 結果が不良であることを検出して、上記データの前縁のタイミングが上記基準クロックの  
 前縁のタイミングより上記第2の所定時間以上遅延していると判定する

半導体デバイス試験方法。

【請求項2】

各テストサイクルにおいて、被試験デバイスから出力される基準クロックの論理値を、

テストサイクル毎に1つのパルスが印加されテストサイクル毎に第1の所定時間ずつ遅れる第1ストロープパルスの印加タイミングで読み取って出力する第1タイミング比較を行い、

各テストサイクルにおいて、被試験デバイスから出力されるデータの論理値を、上記第1ストロープパルスよりも第3の所定時間だけ遅れた第2ストロープパルスの印加タイミングで読み取って出力する第2タイミング比較を行い、

上記第1タイミング比較及び上記第2タイミング比較の結果の論理値を論理比較器でそれぞれ期待値と論理比較して、一致すれば論理判定結果を良とし、不一致であれば論理判定結果を不良とし、

第1ストロープパルスの印加タイミングでの上記基準クロックの論理値に対する上記論理判定結果が不良で、かつ、当該第1ストロープパルスよりも上記第3の所定時間だけ遅れた第2ストロープパルスの印加タイミングでの上記データの論理値に対する上記論理判定結果が不良であることを検出して、上記データの後縁のタイミングが上記基準クロックの前縁のタイミングより上記第3の所定時間以上継続していないと判定する

半導体デバイス試験方法。

#### 【請求項3】

各テストサイクルにおいて、被試験デバイスから出力される基準クロックの論理値を、テストサイクル毎に1つのパルスが印加されテストサイクル毎に第1の所定時間ずつ遅れる第1ストロープパルスの印加タイミングで読み取って出力する第1タイミング比較器と

各テストサイクルにおいて、被試験デバイスから出力されるデータの論理値を、上記第1ストロープパルスよりも第2の所定時間だけ遅れた第2ストロープパルスの印加タイミングで読み取って出力する第2タイミング比較器と、

上記第1タイミング比較器から出力される論理値を所定の期待値と比較して、一致すれば良の論理判定結果を出力し、不一致であれば不良の論理判定結果を出力する第1論理比較器と、

上記第2タイミング比較器から出力される論理値を所定の期待値と比較して、一致すれば良の論理判定結果を出力し、不一致であれば不良の論理判定結果を出力する第2論理比較器と、

第1ストロープパルスの印加タイミングでの上記基準クロックの論理値に対する上記第1論理比較器の論理判定結果が良で、かつ、当該第1ストロープパルスよりも上記第2の所定時間だけ遅れた第2ストロープパルスの印加タイミングでの上記データの論理値に対する上記第2論理比較器の論理判定結果が不良であることを検出して、上記データの前縁のタイミングが上記基準クロックの前縁のタイミングより上記第2の所定時間以上遅延していると判定する相対比較器と、

を備える半導体デバイス試験装置。

#### 【請求項4】

各テストサイクルにおいて、被試験デバイスから出力される基準クロックの論理値を、テストサイクル毎に1つのパルスが印加されテストサイクル毎に第1の所定時間ずつ遅れる第1ストロープパルスの印加タイミングで読み取って出力する第1タイミング比較器と

各テストサイクルにおいて、被試験デバイスから出力されるデータの論理値を、上記第1ストロープパルスよりも第3の所定時間だけ遅れた第2ストロープパルスの印加タイミングで読み取って出力する第2タイミング比較器と、

上記第1タイミング比較器から出力される論理値を所定の期待値と比較して、一致すれば良の論理判定結果を出力し、不一致であれば不良の論理判定結果を出力する第1論理比較器と、

上記第2タイミング比較器から出力される論理値を所定の期待値と比較して、一致すれば良の論理判定結果を出力し、不一致であれば不良の論理判定結果を出力する第2論理比較器と、

10

20

30

40

50

第 1 ストローブパルスの印加タイミングでの上記基準クロックの論理値に対する上記第 1 論理比較器の論理判定結果が不良で、かつ、当該第 1 ストローブパルスよりも上記第 3 の所定時間だけ遅れた第 2 ストローブパルスの印加タイミングでの上記データの論理値に対する上記第 2 論理比較器の論理判定結果が不良であることを検出して、上記データの後縁のタイミングが上記基準クロックの前縁のタイミングより上記第 3 の所定時間以上継続していないと判定する相対比較器と、  
を備える半導体デバイス試験装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は高速で書き込み、及び読み出しが可能な半導体デバイスを試験する場合に用いて好適な半導体デバイス試験方法及びこの試験方法を用いて動作する半導体デバイス試験装置に関する。

【 0 0 0 2 】

【従来の技術】

半導体で構成されるメモリの品種の中にはクロックと共にデータを入力し、クロックに同期して半導体デバイスへデータを書き込み、クロックと共にクロックに同期したデータが半導体デバイスから出力され、このクロックのタイミングを利用して他のデバイスにデータの受渡しを行うメモリが存在する。

図 1 3 にこの種のメモリの読み出し時の様子を示す。図 1 4 A に示す D A、D B、D C ... は半導体デバイスから出力されるデータ（ある 1 つのピンから出力されたデータ）を示す。T D 1、T D 2 ... は各テストサイクルを示す。図 1 4 B に示す D Q S はメモリから出力されるクロックを示す。データ D A、D B、D C ... はこのクロック D Q S に同期して半導体デバイスから出力される。このクロックは実用されている状態では他のデバイスにデータ D A、D B、D C ... を受け渡す際の同期信号（データストローブ）として利用される。

【 0 0 0 3 】

この種の半導体デバイスを試験する場合の試験項目の一つに、各クロック D Q S（以下このクロックを基準クロックと称す）の前縁又は後縁のタイミングから、データの変化点までの時間差（位相差）d I 1、d I 2、d I 3 ... が例えば極力短い程応答が速く優れた特性を持つデバイスとして評価される。また、基準クロック D Q S の前縁からデータ D Q の後縁までの時間 d J 1 及び d J 2 が長い程データの持続性が良いデバイスと評価される。これらの時間の長短によって被試験半導体デバイスのグレードが決定される。

【 0 0 0 4 】

被試験半導体デバイスから出力される基準クロック D Q S は実用されている状態ではクロック源で生成されたクロックが半導体デバイスに印加され、このクロックが半導体デバイスの内部の回路に配給され、このクロックに同期してデータが出力される。従って、試験装置で試験を行う場合にも試験装置側から被試験半導体デバイスにクロックを印加し、そのクロックが被試験半導体デバイスの内部を通り、データと共にデータ受渡しのための基準クロックとして出力される。従って、この基準クロックの一般的には前縁又は後縁のタイミングを測定し、この計測した前縁又は後縁のタイミングからデータ D A、D B、D C ... の変化点までの時間 d I 1、d I 2、d I 3 ... 又は d J 1、d J 2 ... を測定することになる。

【 0 0 0 5 】

上述したように半導体デバイスから出力される基準クロックはその半導体デバイスの内部を通過して出力されるため、その発生タイミングはこの半導体デバイスの内部の温度等の外的環境の影響を大きく受け、図 1 4 に示すように各半導体デバイスごとに基準クロック D Q S 1、D Q S 2、D Q S 3 ... の位相に差が発生する現象が見られる。さらに位相の差は各半導体デバイスの違いによるものに加えて、半導体デバイスの内部でもアクセスするメモリのアドレスの違い、時間の経過（熱的な変化）に従って変動するいわゆるジッタ J が発生する現象も見られる。

10

20

30

40

50

## 【 0 0 0 6 】

従って、基準クロック D Q S の前縁のタイミング又は後縁のタイミングからデータ D A、D B、D C ... の変化点までの時間 d I 1、d I 2、d I 3 ... 又は d J 1、d J 2 ... を測定するためには、先ず各半導体デバイスから出力される基準クロック D Q S の前縁のタイミング又は後縁のタイミングが既知の値として与えられなければならない。

基準クロック D Q S の発生タイミングを既知の値として取得するには予め試験に使用する全ての試験パターン（全てのテストサイクル）を順次被試験デバイスに印加し、その各試験パターンの読み出し時に発生する基準クロック D Q S の発生タイミングを測定し、その測定値を予めメモリ等に記憶させ、全てのテストサイクルに渡って基準クロック D Q S の発生タイミングのデータを取得した状態で実際の試験を行う方法が考えられる。

10

## 【 0 0 0 7 】

実際の試験ではメモリに記憶した基準クロック D Q S の発生タイミングを各テストサイクル毎に読み出し、その読み出された基準クロック D Q S の発生タイミングから各データの前縁のタイミング又は後縁のタイミングとの位相差を測定し、データ D Q の前縁側のタイミングを試験する場合はこの位相差が所定の値を越えなければ良と判定し、位相差が所定の時間を越えた場合を不良と判定し、データ D Q の後縁側の持続時間を試験する場合はデータの後縁までの位相差が所定の時間以上継続したかを判定すればよい。

## 【 0 0 0 8 】

## 【 発明が解決しようとする課題 】

上述したように、基準クロック D Q S の発生タイミングを全てのテストサイクル毎に測定し、その測定値を取得した状態で実際の試験を行うとすると、実質的に試験に要する時間は通常の倍の時間を必要とし、試験に要する時間が長くなってしまふ欠点がある。

20

また、図 1 4 で説明したように、基準クロック D Q S の発生タイミングにはジッタ J を含むものとなるため、一度全てのテストサイクルに渡ってその発生タイミングを測定したとしても、その測定値の信頼性は低い。従ってその測定値を利用して行う試験の制度も信頼性が低いものとなる。

## 【 0 0 0 9 】

この発明の目的は自己が発生する基準クロックを基準に各データの位相が所定の位相差の範囲に入っているか否かを判定しなければならない半導体デバイスの試験方法において、初めからリアルタイムで試験を行うことができ、従って短時間に試験を完了することができ、然も試験結果の信頼性も高い半導体デバイス試験方法を提案しようとするものである。

30

## 【 0 0 1 0 】

## 【 課題を解決するための手段 】

本発明の第 1 の態様においては、各テストサイクルにおいて、被試験デバイスから出力される基準クロックの論理値を、テストサイクル毎に 1 つのパルスが印加されテストサイクル毎に第 1 の所定時間ずつ遅れる第 1 ストローブパルスの印加タイミングで読み取って出力する第 1 タイミング比較を行い、各テストサイクルにおいて、被試験デバイスから出力されるデータの論理値を、上記第 1 ストローブパルスよりも第 2 の所定時間だけ遅れた第 2 ストローブパルスの印加タイミングで読み取って出力する第 2 タイミング比較を行い、上記第 1 タイミング比較及び上記第 2 タイミング比較の結果の論理値を論理比較器でそれぞれ期待値と論理比較して、一致すれば論理判定結果を良とし、不一致であれば論理判定結果を不良とし、第 1 ストローブパルスの印加タイミングでの上記基準クロックの論理値に対する上記論理判定結果が良で、かつ、当該第 1 ストローブパルスよりも上記第 2 の所定時間だけ遅れた第 2 ストローブパルスの印加タイミングでの上記データの論理値に対する上記論理判定結果が不良であることを検出して、上記データの前縁のタイミングが上記基準クロックの前縁のタイミングより上記第 2 の所定時間以上遅延していると判定する半導体デバイス試験方法を提供する。

40

## 【 0 0 1 1 】

本発明の第 2 の態様においては、各テストサイクルにおいて、被試験デバイスから出力

50

される基準クロックの論理値を、テストサイクル毎に1つのパルスが印加されテストサイクル毎に第1の所定時間ずつ遅れる第1ストロブパルスの印加タイミングで読み取って出力する第1タイミング比較を行い、各テストサイクルにおいて、被試験デバイスから出力されるデータの論理値を、上記第1ストロブパルスよりも第3の所定時間だけ遅れた第2ストロブパルスの印加タイミングで読み取って出力する第2タイミング比較を行い、上記第1タイミング比較及び上記第2タイミング比較の結果の論理値を論理比較器でそれぞれ期待値と論理比較して、一致すれば論理判定結果を良とし、不一致であれば論理判定結果を不良とし、第1ストロブパルスの印加タイミングでの上記基準クロックの論理値に対する上記論理判定結果が不良で、かつ、当該第1ストロブパルスよりも上記第3の所定時間だけ遅れた第2ストロブパルスの印加タイミングでの上記データの論理値に対する上記論理判定結果が不良であることを検出して、上記データの後縁のタイミングが上記基準クロックの前縁のタイミングより上記第3の所定時間以上継続していないと判定する半導体デバイス試験方法を提供する。

10

## 【0012】

本発明の第3の態様においては、各テストサイクルにおいて、被試験デバイスから出力される基準クロックの論理値を、テストサイクル毎に1つのパルスが印加されテストサイクル毎に第1の所定時間ずつ遅れる第1ストロブパルスの印加タイミングで読み取って出力する第1タイミング比較器と、各テストサイクルにおいて、被試験デバイスから出力されるデータの論理値を、上記第1ストロブパルスよりも第2の所定時間だけ遅れた第2ストロブパルスの印加タイミングで読み取って出力する第2タイミング比較器と、上記第1タイミング比較器から出力される論理値を所定の期待値と比較して、一致すれば良の論理判定結果を出力し、不一致であれば不良の論理判定結果を出力する第1論理比較器と、上記第2タイミング比較器から出力される論理値を所定の期待値と比較して、一致すれば良の論理判定結果を出力し、不一致であれば不良の論理判定結果を出力する第2論理比較器と、第1ストロブパルスの印加タイミングでの上記基準クロックの論理値に対する上記第1論理比較器の論理判定結果が良で、かつ、当該第1ストロブパルスよりも上記第2の所定時間だけ遅れた第2ストロブパルスの印加タイミングでの上記データの論理値に対する上記第2論理比較器の論理判定結果が不良であることを検出して、上記データの前縁のタイミングが上記基準クロックの前縁のタイミングより上記第2の所定時間以上遅延していると判定する相対比較器と、を備える半導体デバイス試験装置を提供する。

20

30

## 【0013】

本発明の第4の態様においては、各テストサイクルにおいて、被試験デバイスから出力される基準クロックの論理値を、テストサイクル毎に1つのパルスが印加されテストサイクル毎に第1の所定時間ずつ遅れる第1ストロブパルスの印加タイミングで読み取って出力する第1タイミング比較器と、各テストサイクルにおいて、被試験デバイスから出力されるデータの論理値を、上記第1ストロブパルスよりも第3の所定時間だけ遅れた第2ストロブパルスの印加タイミングで読み取って出力する第2タイミング比較器と、上記第1タイミング比較器から出力される論理値を所定の期待値と比較して、一致すれば良の論理判定結果を出力し、不一致であれば不良の論理判定結果を出力する第1論理比較器と、上記第2タイミング比較器から出力される論理値を所定の期待値と比較して、一致すれば良の論理判定結果を出力し、不一致であれば不良の論理判定結果を出力する第2論理比較器と、第1ストロブパルスの印加タイミングでの上記基準クロックの論理値に対する上記第1論理比較器の論理判定結果が不良で、かつ、当該第1ストロブパルスよりも上記第3の所定時間だけ遅れた第2ストロブパルスの印加タイミングでの上記データの論理値に対する上記第2論理比較器の論理判定結果が不良であることを検出して、上記データの後縁のタイミングが上記基準クロックの前縁のタイミングより上記第3の所定時間以上継続していないと判定する相対比較器と、を備える半導体デバイス試験装置を提供する。

40

## 【0016】

## 【作用】

50

この発明で提案した半導体デバイス試験方法及び半導体デバイス試験装置によれば、通常の半導体デバイス試験装置の論理判定結果を相対的に比較判定し、基準クロックに対する判定結果と各データに対する判定結果の条件が所定の条件を満たしたことを検出してデータの発生タイミングが基準クロックの発生タイミングより所定時間以上遅れていないと判定する試験方法及び基準クロックの基準エッジのタイミングからデータの後縁までの持続時間が所定時間以上を満たしたかを判定する試験方法を提案するものである。

【0017】

ここで各データの発生タイミングをタイミング比較するためのストロークパルスの位相を、基準クロックの発生タイミングをタイミング比較するためのストロークパルスの位相より所定の時間遅れ位相に設定することにより、基準クロックの論理判定結果と、各データの論理判定結果との組合せが所定の条件を満たした場合は各データの発生タイミングが設定した遅延位相より遅れていないと判定することができる。またデータの持続時間が所定の時間以上継続したと判定することができる。

10

【0018】

従って、この発明によれば通常の半導体デバイス試験装置の各論理比較器の後段に相对比较器を設けるだけの比較的簡単な構成で基準クロックを出力する半導体デバイスの試験を短時間に済ますことができ、また試験の信頼性も高い半導体デバイス試験方法及び半導体デバイス試験装置を提供することができる利点が得られる。

【0019】

【発明の実施の形態】

20

図1にこの発明により半導体デバイス試験方法により基準クロックDQSを発生する半導体デバイスを試験する半導体デバイス試験装置の一実施例を示す。

図1において、DUTは被試験半導体デバイスを示す。この被試験半導体デバイスDUTはデータDQを出力するデータ出力端子TDと、基準クロックDQSを出力する出力端子TQSとを有する。図1ではデータ出力端子TDを1本として示しているが、現実には16本程度の出力端子TDが存在する。クロック出力端子TQSにはレベル比較器10Aと、第1タイミング比較器11Aと、第1論理比較器12Aの縦続回路を接続する。

【0020】

またデータ出力端子TDにも同様にレベル比較器10Bと、タイミング比較器11Bと、第2論理比較器12Bからなる縦続回路を接続する。これらの縦続回路は従来の半導体デバイス試験装置の構成と同じものでよい。

30

この発明の特徴とする構成は基準クロックDQSの論理比較結果を出力する第1論理比較器12の論理判定結果と、各データDQの論理比較結果を出力する第2論理比較器12の論理判定結果を相対的に比較する相对比较器13を設けた構成とした点である。

【0021】

先ずレベル比較器10A、10Bと第1、第2タイミング比較器11A、11Bと第1、第2論理比較器12A、12Bの各動作について説明する。

レベル比較器10A、10Bは共に図2に示すように一対の電圧比較器CP1とCP2によって構成され、これら一対の電圧比較器CP1とCP2により被試験半導体デバイスDUTが出力する基準クロックDQS又は各データDA、DB、DC... (図8参照)の論理値が正規の電圧条件を満たしているか否かを判定する。電圧比較器CP1は基準クロックDQS又は各データDA、DB、DC...のH論理の電圧値が正規の電圧値VOH以上であるか否かを判定する。また電圧比較器CP2は基準クロックDQS又は各データDA、DB、DC...のL論理側の電圧値が正規の電圧VOL以下であるか否かを判定する。

40

【0022】

これらの判定結果をタイミング比較器11A、11Bに入力しストロークパルスSTBが印加されたタイミングで電圧比較器CP1及びCP2の出力の状態を読み取る。つまり、タイミング比較器11A、11BはストロークパルスSTBの印加タイミング毎にそのときの入力されている基準クロックDQS及びデータDQの論理値を読み取る動作を実行する。

50

論理比較器 1 2 A、1 2 B はタイミング比較器 1 1 A、1 1 B がストロークパルス S T B のタイミングで読み取った結果と予めテストサイクル毎に定めた期待値（図 2 の例では H 論理）とを比較しテストサイクル毎にパス（良）、フェイル（不良）判定を行い結果を P A に出力する。

【 0 0 2 3 】

判定は、期待値が H 論理のときは電圧比較器 C P 1 からの論理値を見て電圧比較器 C P 1 の論理値が H 論理のときパス（良）、電圧比較器 C P 1 の論理値が L 論理のときフェイル（不良）と判定する。期待値が L 論理のときは電圧比較器 C P 2 からの論理値を見て電圧比較器 C P 2 の論理値が H 論理のときパス（良）、電圧比較器 C P 2 の論理値が L 論理のときフェイル（不良）と判定する。この時の、判定の結果を P A に出力する。

10

【 0 0 2 4 】

図 3 を用いて基準クロック D Q S の立上りの発生タイミングを検出する動作を説明する。基準クロック D Q S の立上りのタイミングを検出するテストサイクル毎に、ストロークパルス S T B を T ずつ遅延して同じテストを繰り返す（図 3 参照）。つまり、ストロークパルス S T B を T ずつ遅延して同じテストを繰り返すことで、テスト毎にストロークパルス S T B が T ずつ遅延されて第 1 タイミング比較器 1 1 A に与えられ電圧比較器 C P 1 及び C P 2 の出力の状態を読み取る。第 1 論理比較器 1 2 A は第 1 タイミング比較器 1 1 A がストロークパルス S T B のタイミング比較結果を出力する毎にその比較結果と期待値とを比較しパス（良）、フェイル（不良）を判定し結果を P A に出力する。

【 0 0 2 5 】

この場合、第 1 論理比較器 1 2 A の出力がフェイル（不良）からパス（良）に変わったことにより、第 1 レベル比較器 1 0 A の出力が H 論理に反転したことを読み取ったストロークパルス S T B n（図 3 B 参照）を知り基準クロック D Q S の立上りのタイミング T n を決定する。

20

また、基準クロック D Q S の立下りのタイミング検出する場合は、期待値を L 論理にし立上りの検出と同様に第 1 論理比較器 1 2 A の出力がフェイル（不良）からパス（良）に変わったストロークパルスにより立下りのタイミングを決定する。

【 0 0 2 6 】

第 2 レベル比較器 1 0 B と、第 2 タイミング比較器 1 1 B と、第 2 論理比較器 1 2 B においても、第 1 レベル比較器 1 0 A と、第 1 タイミング比較器 1 1 A と、第 1 論理比較器 1 2 A と同様の動作をし、データ D Q の立上り、立下りのタイミングも、基準クロック D Q S の立上り、立下りのタイミングの検出と同様にタイミングを決定する。

30

以上により、レベル比較器 1 0 A、1 0 B と、タイミング比較器 1 1 A、1 1 B と、論理比較器 1 2 A、1 2 B の従来と同じ部分の動作が理解されよう。

【 0 0 2 7 】

次にこの発明に係わるタイミング比較器 1 1 A、1 1 B の動作について説明する。基準クロック D Q S の発生タイミングを比較する第 1 タイミング比較器 1 1 A にはストロークパルス S T B 1 を印加し、データ D Q の発生タイミングを比較する第 2 タイミング比較器 1 1 B にはストロークパルス S T B 2 を印加する。これらのストロークパルス S T B 1 と S T B 2 には位相差 T d q を与える。この位相差 T d q はデータ D Q が基準クロック D Q S のこの例では前縁のタイミングより位相差 T d q 以上遅延した場合は、そのデータ端子は不良であると判定するために付した遅延時間である。

40

【 0 0 2 8 】

これらのストロークパルス S T B 1 と S T B 2 は図 1 4 で説明した基準クロック D Q S のジッタの範囲内を少しずつ位相をずらしながら基準クロック D Q S の例えば立ち上がりのタイミング及びデータ D Q の変化点を検出する動作を実行する。以下この動作をサーチと呼ぶことにする。

図 4 を用いてサーチ動作の範囲について説明する。基準クロック D Q S のジッタは被試験デバイス D U T の動作を規定するクロック C L K の前縁のタイミングを中心に発生する。良品のデバイスであればデータ D Q も基準クロック D Q S に発生するジッタの範囲で変化

50

点が変動する。従って、ジッタの発生量を(図4B)とすると、ストロブパルスSTB1は $-T_d \sim +T_d$ までの間を少しずつ(例えば図に示したT)位相をずらしながらサーチさせ、またストロブパルスSTB2は $-T_d + T_d q \sim +T_d + T_d q$ の範囲をサーチさせる。

【0029】

このサーチ動作の間にストロブパルスSTB1は基準クロックDQSの発生タイミングを検出し、ストロブパルスSTB2はデータDQの発生タイミングをタイミング比較することになる。

基準クロックDQSとデータDQとの位相差 $T_a$ とストロブパルスSTB1とストロブパルスSTB2との位相差 $T_d q$ との大小関係で相対比較器13は判定結果を出力する。

10

【0030】

以下、基準クロックDQSの立上りとデータDQの有効データが“H”の場合に期待値がH論理の時を例に説明する。

第1論理比較器12Aと第2論理比較器12BはそれぞれストロブパルスSTB1及びSTB2がそれぞれ基準クロックDQS及びデータDQの1論理の区間を打ち抜いた場合に0論理(パス)を出力し、0論理の区間を打ち抜いた場合は1論理(フェイル)を出力する。

【0031】

図5Aは基準クロックDQSとデータDQの変化点までの位相差 $T_a$ とストロブパルスSTB1とSTB2の位相差 $T_d q$ の関係が $T_a = T_d q$ の場合のタイミングチャートを示す。この場合にはストロブパルスSTB1とSTB2が基準クロックDQSとデータDQの変化点(1論理に立ち上がる変化点)より前の0論理の期間を打ち抜いている状態では図5Bの比較タイミング $T_1$ と $T_2$ に示すように第1及び第2論理比較器12Aと12Bは共に1論理(フェイル)を出力する。ストロブパルスSTB1とSTB2のサーチ動作が進み、ストロブパルスSTB1が基準クロックDQSの前縁のエッジに達すると、 $T_a = T_d q$ であるから、ストロブパルスSTB2もデータDQの変化点に達する。この結果、第1論理比較器12A及び第2論理比較器12Bは比較タイミング $T_3$ 、 $T_4$ に示すように共に0論理(パス)を出力する。

20

【0032】

次に $T_a < T_d q$ の場合を検証する。 $T_a < T_d q$ の場合はストロブパルスSTB1とSTB2のサーチ動作により図6Aに示すようにストロブパルスSTB2がストロブパルスSTB1より先にデータDQの変化点に達する。この結果、第2論理比較器12Bは図6Bに示すように比較タイミング $T_3$ で速くも0論理のパスを出力するが、第1論理比較器12Aは未だ1論理のフェイルを出力し続ける。ストロブパルスSTB1とSTB2のサーチ動作が進み、論理比較タイミング $T_5$ に達した時点でストロブパルスSTB1が基準クロックDQSの前縁のタイミングに到達する。この結果第1論理比較器12Aは比較タイミング $T_5$ で0論理のパスを出力する。

30

【0033】

一方、 $T_a > T_d q$ の場合には、ストロブパルスSTB1とSTB2のサーチ動作により図7Aに示すようにストロブパルスSTB1がSTB2より先に基準クロックDQSの前縁のタイミングに達する。この結果図7Bに示すように比較タイミング $T_3$ で第1論理比較器12Aは0論理のパスを出力するが、第2論理比較器12Bの論理比較出力は1論理を出しつづける。ストロブパルスSTB1とSTB2のサーチ動作が進み、比較タイミング $T_5$ に達すると、ストロブパルスSTB2がデータDQの変化点に到達し、その論理比較出力は図7Bに示すように0論理に反転する。

40

【0034】

以上の組合せから解ることは図7Bに示した比較タイミング $T_3$ と $T_4$ の状態を検出すれば基準クロックDQSとデータDQの位相差 $T_a$ が所定値 $T_d q$ を越えていることを検出することができる。従って、相対比較器13の真理値表を図11Aに示すように設定すれ

50

ば  $T_a > T_{dq}$  の状態のとき 1 論理のフェイルを出力させることができる。

以上の説明はデータ DQ の前縁側のタイミングが基準クロック DQS の立ち上がりのタイミングから所定の時間  $T_{dq}$  の範囲内に存在するか否かを判定した例を説明したが、試験を行う利用者によってはデータ DQ の後縁側のタイミングが基準クロック DQS の立ち上りのタイミングから所定の時間以上維持されているか否かを試験したい要求もある。

【 0 0 3 5 】

図 8 乃至図 10 にデータ DQ の後縁側のタイミングが基準クロック DQS の前縁のタイミングから所定の時間以上維持されたか否かを試験する様子を示す。図 8 乃至図 10 に示す  $T_b$  は基準クロック DQS の前縁のタイミングからデータ DQ の後縁のタイミングまでの時間を示す。また、 $T_{dr}$  はストロブパルス STB1 とストロブパルス STB2 に与えた位相差を示す。この場合もストロブパルス STB1 と STB2 は基準クロック DQS 及びデータ DQ に発生するジッタの範囲に相当するタイミングの範囲をサーチさせる。

10

【 0 0 3 6 】

図 8 は  $T_b = T_{dr}$  の場合を示す。この場合には第 2 論理比較器に B の出力は 0 論理のパスを出力している期間（図 8 B に示す比較タイミング  $T_1$ 、 $T_2$  では第 1 論理比較器 12 A は 1 論理のフェイルを出力する。ストロブパルス STB1 が基準クロック DQS の前縁のタイミングを検出すると、第 1 論理比較器 12 A は比較タイミング  $T_3$  に示すように 0 論理のパスを出力する。

サーチが進みストロブパルス STB2 がデータ DQ の後縁を検出すると第 2 論理比較器 12 B は比較タイミング  $T_4$  に示すように 1 論理のフェイルを出力する。

20

【 0 0 3 7 】

図 9 に  $T_b > T_{dr}$  の場合の動作を示す。この場合には図 9 B に示す比較タイミング  $T_3$ 、 $T_4$ 、 $T_5$  に示すように  $T_b - T_{dr}$  の時間差に相当する時間の範囲で第 1 論理比較器 12 A と第 2 論理比較器 12 B は共に 0 論理のパスを出力し、その後、ストロブパルス STB2 がデータ DQ の後縁を検出するから第 2 論理比較器 12 B は 1 論理のフェイルを出力する。

図 10 に  $T_b < T_{dr}$  の場合の動作を示す。この場合には図 10 B の比較タイミング  $T_3$ 、 $T_4$  に示すように、第 1 論理比較器 12 A と第 2 論理比較器 12 B は必ず 1 論理のフェイルを同時に出力する状態が発生する。

30

【 0 0 3 8 】

従って、データ DQ が基準クロック DQS の前縁のタイミングから所定の時間以上継続したか否かを試験する場合には、相対比較器 13 の真理値表は図 11 B に示すように入力の双方が共に 1 論理の状態では 1 論理のフェイルを出力するように設定すればよい。

図 12 に相対比較器 13 の具体的な実施例を示す。この実施例では 4 個のレジスタ RG1、RG2、RG3、RG4 と、これら 4 個のレジスタ RG1 ~ RG4 に設定したデータを 2 ビットの選択信号 FL1、FL2 で選択して取り出すマルチプレクサ MUX とによって相対比較器 13 を構成した場合を示す。

【 0 0 3 9 】

レジスタ RG1 ~ RG4 には試験の内容に従って利用者が任意にパスとフェイルの論理値を設定すればよい。例えば前縁側の試験を行う場合はレジスタ RG1 ~ RG4 に図 11 A に示した真理値表の判定結果に従って 0、0、1、0 を設定し、選択信号 FL1、FL2 として第 1 論理比較器 12 A の出力と、第 2 論理比較器 12 B の出力を割当てる。従って、12 A、12 B の出力 FL1 と FL2 が 0、0 であればマルチプレクサ MUX はレジスタ RG1 に設定したパスを表わす 0 論理を選択して出力し、FL1 と FL2 が 1、0 であればマルチプレクサ MUX はレジスタ RG2 に設定したパスを表わす 0 論理を選択して出力し、FL1 と FL2 が 0、1 であればマルチプレクサ MUX はレジスタ RG3 に設定したフェイルを表わす 1 論理を選択して出力し、FL1 と FL2 が 1、1 であればマルチプレクサ MUX はレジスタ RG4 に設定したパスを表わす 0 論理を出力する。

40

【 0 0 4 0 】

一方、データ DQ の後縁側の試験を行う場合はレジスタ RG1 ~ RG4 には図 11 B に示

50

す真理値表の判定結果に従って0、0、0、1を設定すればよい。

このように、相対比較器13を構成することにより利用者は希望する試験を自由に選択して行うことができる。またデータDQの前縁と後縁のタイミングに限らず他の試験にも利用できる利点が得られる。

尚、相対比較器13の構成としては図12に示した構成に限らず、例えば書き替え可能なメモリによって構成することもでき、その選択は自由である。

#### 【0041】

上述したように、ストロブパルスSTB1とSTB2をサーチ動作させた場合に相対比較器13から1回でも1論理のフェイルが発生すればその出力ピンは不良と判定することができる。つまり、位相差Tdqを短く設定すればグレードの高い半導体デバイスを選別することができ、位相差Tdqを長目に設定すれば良品の判定率を高めることができる。また、位相差Tdqを長目に設定すればデータDQの保持率の高い半導体デバイスを選別することができる。

10

#### 【0042】

##### 【発明の効果】

以上説明したように、この発明によれば各データの発生タイミングを測定するための位相の基準となる基準クロックDQSの位相が変動しても各テストサイクル毎に、基準クロックDQSの位相と、各データの位相をリアルタイムで比較し、その位相差Taが設定値Tdqより長いことを検出して不良と判定する試験方法及び位相差Tbが設定値Tdrより短いことを検出して不良と判定する試験方法を採用するから、試験を短時間に済ませることができる。また、各テストサイクル毎に各テストサイクルの実行時点で発生している基準クロックDQSの位相を実際に使用してデータDQの位相差を測定するから、温度変動等に伴って発生する基準クロックDQSの位相変動に対しても考慮して試験が行われ、試験結果の信頼性の向上は顕著である。

20

##### 【図面の簡単な説明】

【図1】この発明による半導体デバイス試験装置の一実施例を説明するためのブロック図。

【図2】この発明で用いるタイミング比較器を説明するためのブロック図。

【図3】図2に示したタイミング比較器の動作を説明するためのタイミングチャート

【図4】この発明で試験対象としている半導体デバイスが出力する基準クロックとデータの関係を示すためのタイミングチャート。

30

【図5】この発明による半導体デバイス試験方法を説明するためのAはタイミングチャート、Bは論理判定結果を時系列に配列して示した図。

【図6】図5と同様の図。

【図7】図5と同様の図。

【図8】図5と同様の図。

【図9】図5と同様の図。

【図10】図5と同様の図。

【図11】この発明の要部となる相対比較器の動作を説明するための図。

【図12】この発明の要部となる相対比較器の具体的な構成の一例を説明するためのブロック図。

40

【図13】この発明で解決しようとする課題を説明するためのタイミングチャート。

【図14】図9と同様の図。

##### 【符号の説明】

DUT 被試験半導体デバイス  
 DQ データ  
 DQS 基準クロック  
 STB1、STB2 ストロブパルス  
 10A、10B レベル比較器  
 11A 第1タイミング比較器

50

- 1 1 B 第 2 タイミング比較器
- 1 2 A 第 1 論理比較器
- 1 2 B 第 2 論理比較器
- 1 3 相対比較器
- T a、T b 基準クロックとデータの位相差
- T d q、T d r ストローブパルス S T B 1 と S T B 2 に与えた位相差

【 図 1 】

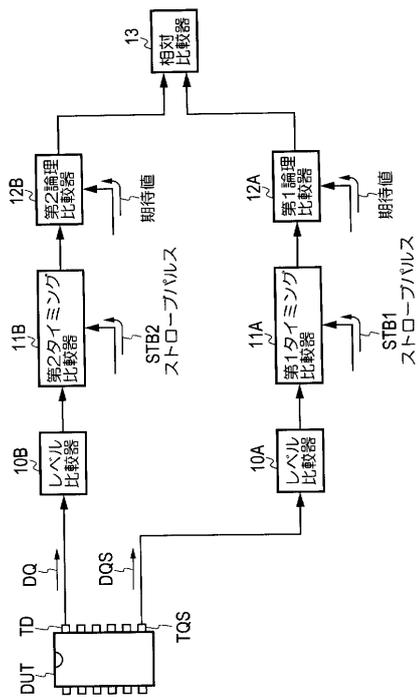


図 1

【 図 2 】

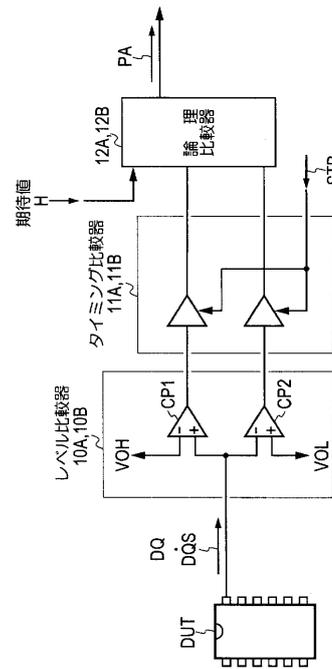
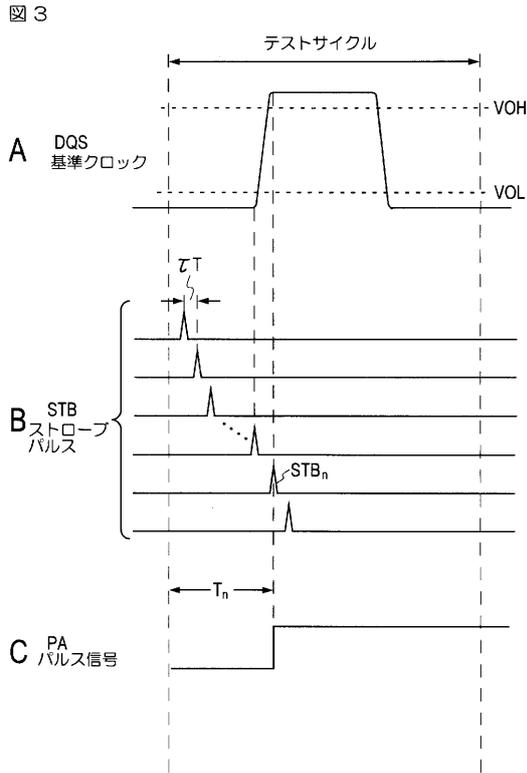
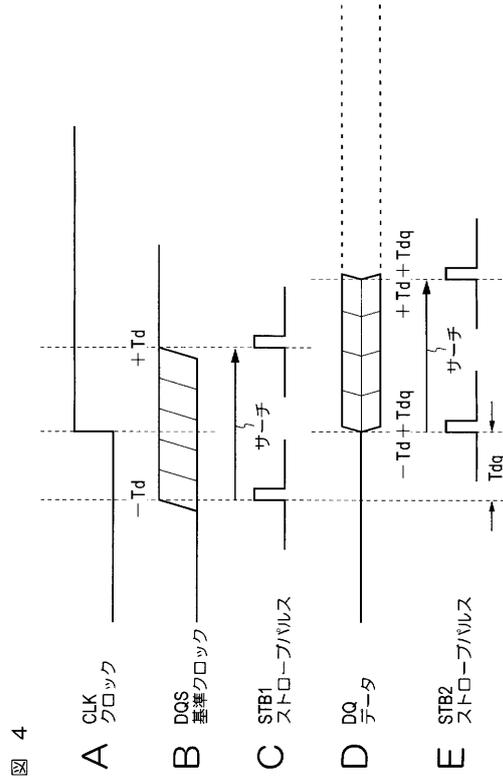


図 2

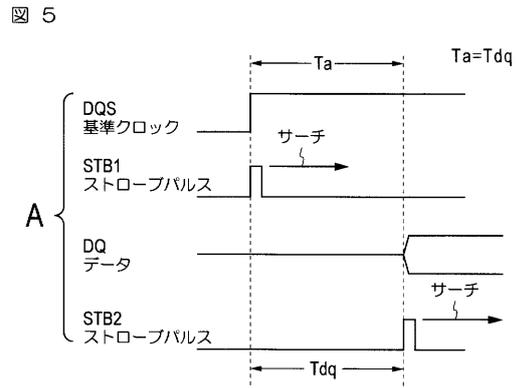
【 図 3 】



【 図 4 】



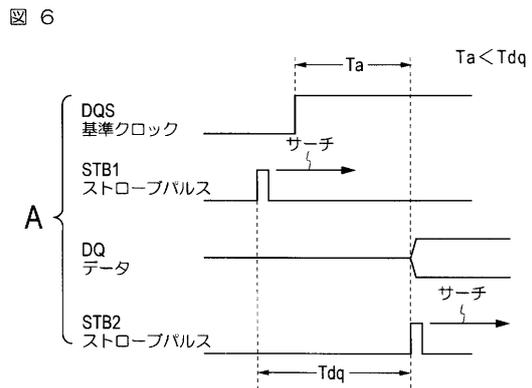
【 図 5 】



B

比較タイミング	T1	T2	T3	T4	T5	T6
第1論理比較器12Aの出力	1	1	0	0	0	0
第1論理比較器12Bの出力	1	1	0	0	0	0

【 図 6 】

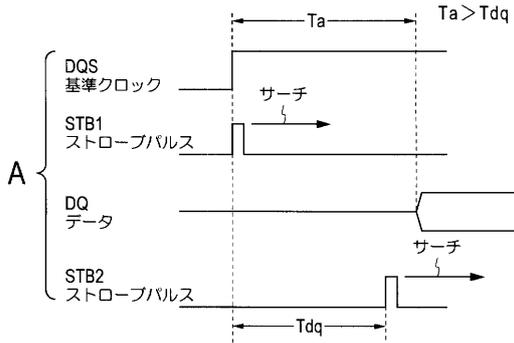


B

比較タイミング	T1	T2	T3	T4	T5	T6
第1論理比較器12Aの出力	1	1	1	1	0	0
第1論理比較器12Bの出力	1	1	0	0	0	0

【図7】

図7

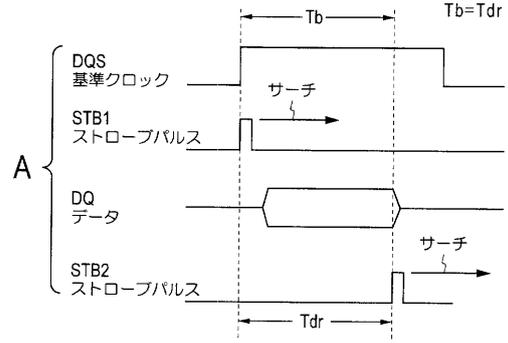


B

比較タイミング	T1	T2	T3	T4	T5	T6
第1論理比較器12Aの出力	1	1	0	0	0	0
第1論理比較器12Bの出力	1	1	1	1	0	0

【図8】

図8

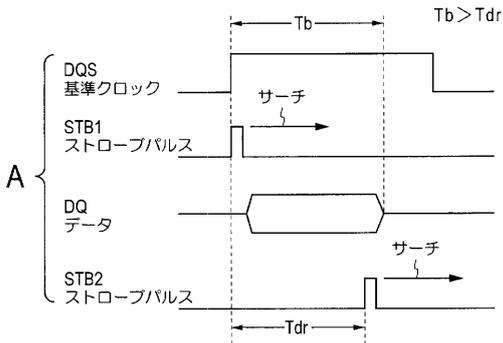


B

比較タイミング	T1	T2	T3	T4	T5	T6
第1論理比較器12Aの出力	1	1	0	0	0	0
第1論理比較器12Bの出力	0	0	0	1	1	1

【図9】

図9

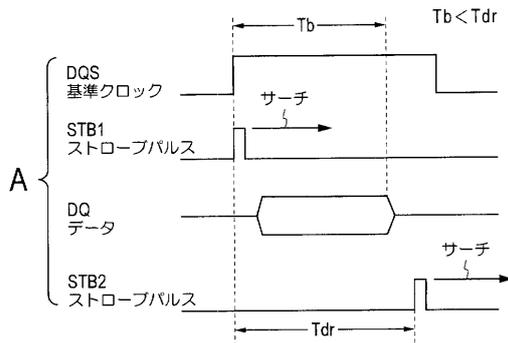


B

比較タイミング	T1	T2	T3	T4	T5	T6
第1論理比較器12Aの出力	1	1	0	0	0	0
第1論理比較器12Bの出力	0	0	0	0	0	1

【図10】

図10



B

比較タイミング	T1	T2	T3	T4	T5	T6
第1論理比較器12Aの出力	1	1	1	1	0	0
第1論理比較器12Bの出力	0	0	1	1	1	1

【図 1 1】

図 11

相対比較器13の真理値表

A

DQの前縁側との比較

入力		判定結果
12Aの比較出力	12Bの比較出力	13の比較出力
0	0	0
1	0	0
0	1	1
1	1	0

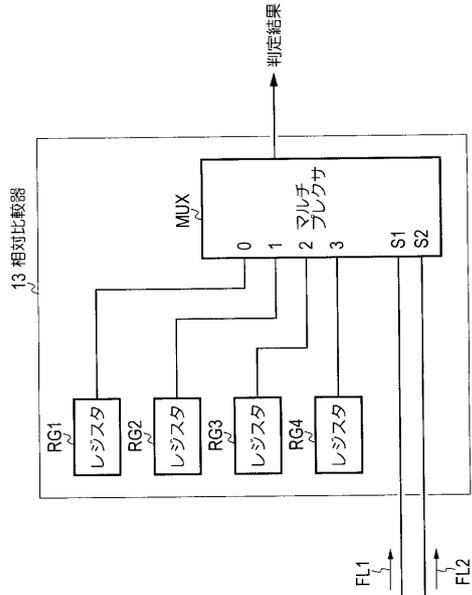
B

DQの後縁側との比較

入力		判定結果
12Aの比較出力	12Bの比較出力	13の比較出力
0	0	0
1	0	0
0	1	0
1	1	1

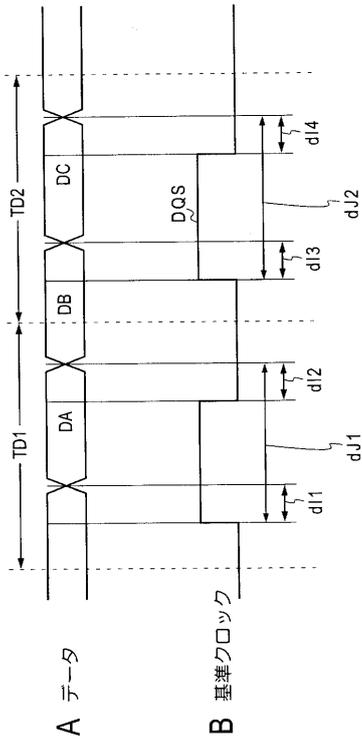
【図 1 2】

図 12



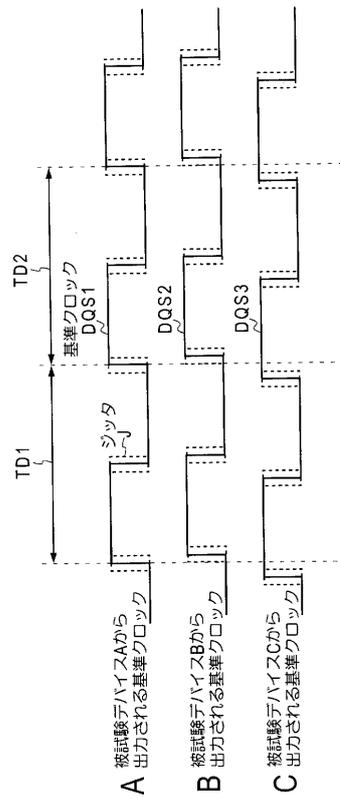
【図 1 3】

図 13



【図 1 4】

図 14



---

フロントページの続き

(56)参考文献 特開2001-356153(JP,A)  
特開2000-149593(JP,A)  
特開2001-201532(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G11C 29/00 - 29/56  
G01R 31/28 - 31/319