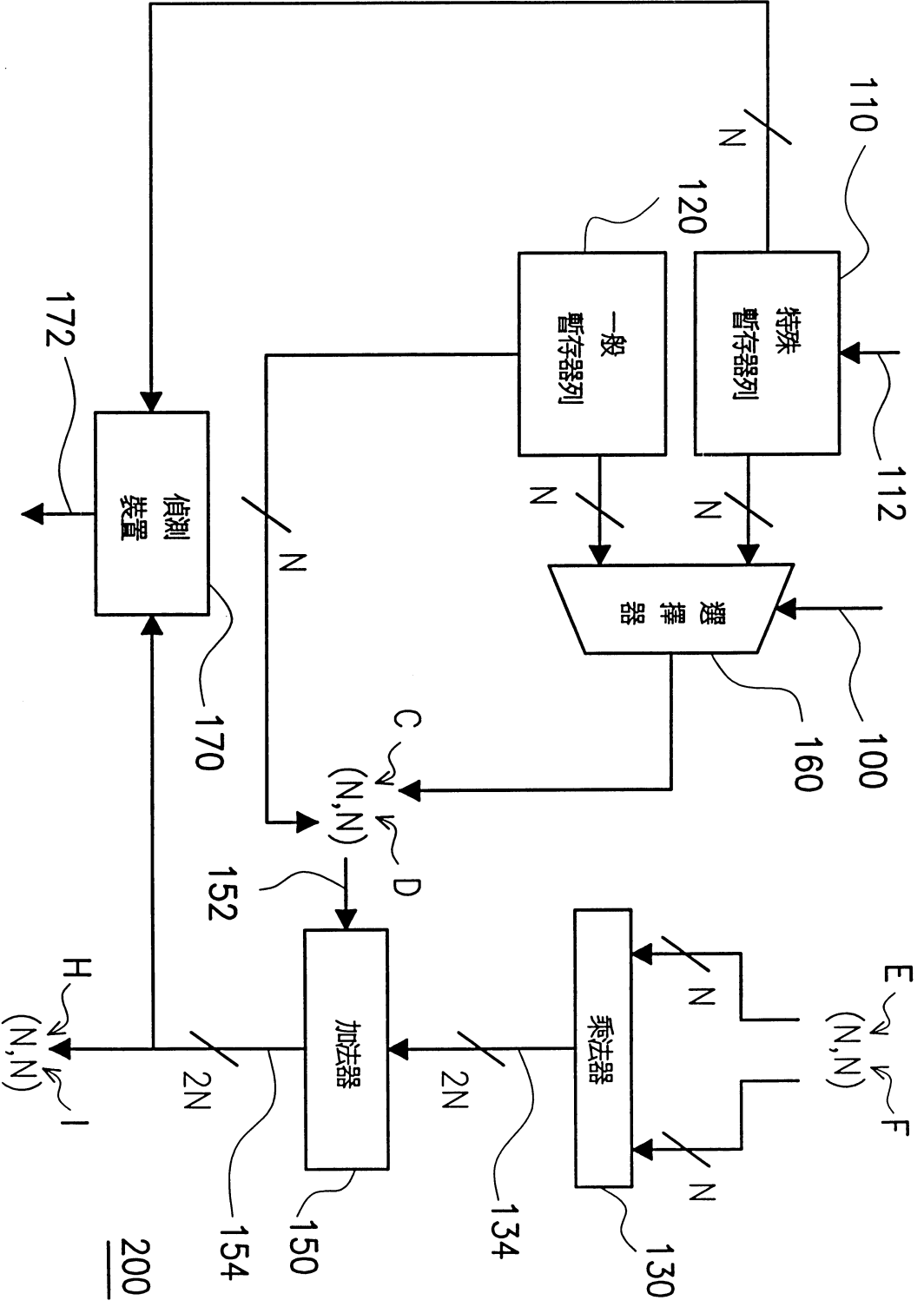


第 1 圖



第 2 圖

公告本

發明專利說明書

A2.121

579483

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：89126060

※申請日期：89.12.7

※IPC 分類：G06F7/50

壹、發明名稱：(中文/英文)

資料處理裝置及其方法

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

智原科技股份有限公司

代表人：(中文/英文) 蔡明介

住居所或營業所地址：(中文/英文)

新竹科學工業園區展業一路9號7樓之3

國籍：(中文/英文) 中華民國

參、發明人：(共 3 人)

姓名：(中文/英文)

- 1.高民晟
- 2.梁景哲
- 3.桂念慈

住居所地址：(中文/英文)

- 1.台北市松山區撫遠街74巷6號
- 2.新竹縣寶山鄉雙溪村雙園路1巷10號
- 3.台北縣新莊市中信街87號2樓

國籍：(中文/英文)

中華民國

無變更實質內容？
委員明示
89年12月1日修正本

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

- 1.
- 2.
- 3.
- 4.
- 5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

發明領域

本發明關於一種資料處理系統之裝置及其方法，尤其是指一種適用於相乘相加指令之資料處理系統之裝置及其方法。此資料處理系統可輕易地偵測運算溢位(Overflow)之情形，並且能簡化計算之複雜性，以節省計算的時間。

相關習知技術說明

在資料處理的領域中，需要能夠依據儲存於不同資料暫存器中的運算子來執行特定運算。有一種這樣的運算是將 N 位元運算子(Operand)乘上一第二 N 位元運算子，再加上 N 位元之運算，得到一 N 位元的結果。另一種相似的運算是將 N 位元運算子乘上一第二 N 位元運算子，再加上 2N 位元運算子，即得到 2N 位元的結果。

第 1 圖係表示美國第 5,583,804 號名為 "DATA PROCESSING USING MULTI-ACCUMULATE INSTRUCTIONS" 之專利之資料處理系統用之習知的相乘相加器裝置的方塊圖。此系統能夠執行第一種 $N \times N + 2N \rightarrow 2N$ 形式的相乘相加指令，以及第二種 $N \times N + N \rightarrow N$ 形式的相乘相加指令。

此相乘相加器裝置包括一第一資料暫存器 10，一第二資料暫存器 20，一 $N \times N$ 乘法器 30，一 $2N + 2N$ 加法器 40 以及一 $N + N$ 加法器 50。乘法器 30 能夠計算 $N \times N$ 以得到具有 2N 位元之結果。 $2N + 2N$ 加法器 40 能夠計算 $2N + 2N$ 以得到結果 $2N$ 。 $N + N$ 加法器 50 能構計算 $N + N$ 以得到結果 N 。

然而，在執行 $N*N+N \rightarrow N$ 種類的運算時，最後結果大於 N 位元大小所能表示的狀況是可能的。當這種情況發生時，很重要的是使用者必須被通知在運算中已產生溢位(overflow)。第 1 圖的相乘相加器裝置的缺點在於該裝置無法顯示溢位狀況。本發明之相乘相加器裝置的發展是爲了以儘可能有效率的方式提供此重要訊息給使用者。

發明綜合說明

因此，本發明之一目的在於提供一種包括一單一加法器並能夠偵測溢位狀況及能夠執行相乘相加指令的資料處理系統。因此，系統的架構更爲簡單，並提供有價值的溢位訊息。

爲達成依據本發明目的的這些及其它優點，如同此處所列舉及廣泛的描述，本發明提供一種資料處理裝置，此裝置包括一特別暫存器組、一一般暫存器組、一選擇器、一乘法器、以及一加法器。上述之特別暫存器組係具有 N 位元資料處理暫存器。上述之一般暫存器組係具有 N 位元資料處理暫存器。選擇器耦合至特別暫存器組及一般暫存器組，用以選擇特別與一般暫存器中之一，並從所選擇之暫存器組中輸出具有 N 位元之一選擇結果，其中選擇結果及一 N 位元資料形成具有 $2N$ 位元的一加法信號。乘法器係用以接收一第一運算子以及一第二運算子，在執行乘法運算後輸出具有 $2N$ 位元的一乘法結果信號。加法器係耦合至乘法器、選擇器以及一般暫存器組，並用以接收乘法結果信號與加法信號，並據以執行加法運算後輸出具有 $2N$

位元之一加法結果信號。

上述之資料處理裝置，其中 N 位元資料係由一般暫存器組所提供。

上述之資料處理裝置，其中選擇器更用以接收一種類信號，並據以根據此種類信號選擇特殊與一般暫存器組中之一。

上述之資料處理裝置，其中種類信號是用以指出所處理的指令係一第一種類指令或一第二種類指令其中之一，其中該第一類指令係執行 $N \times N + 2N \rightarrow 2N$ 運算，而該第二種類指令係執行 $N \times N + N \rightarrow 2N$ 運算。

上述之資料處理裝置，其中更包括一偵測裝置，耦接至加法器，用以接收具有 $2N$ 位元之該加法結果信號，並檢查是否發生溢位狀況。

上述之資料處理裝置，其中從選擇器輸出具有 N 位元之選擇結果，以及由一般暫存器組所提供之 N 位元資料分別為加法信號之一第一 N 位元部份以及一第二 N 位元部份，此加法結果信號包括一第三 N 位元部份以及一第四 N 位元部份，當種類信號所要選擇的是第二種類指令時，偵測裝置比較具有 $2N$ 位元之加法信號的第一 N 位元部份以及加法結果信號之第三 N 位元部份，並據以決定是否發生溢位狀況。

上述之資料處理裝置，其中更包括一偵測裝置，耦接至該加法器，用以接收具有 $2N$ 位元之該加法結果信號，並檢查是否發生溢位狀況。從選擇器輸出具有 N 位元之選

擇結果，以及 N 位元資料分別為該加法信號之一第一 N 位元部份以及一第二 N 位元部份，加法結果信號包括一第三 N 位元部份以及一第四 N 位元部份，當種類信號所要選擇的是第二種類指令時，偵測裝置比較具有 $2N$ 位元之加法信號的第一 N 位元部份以及加法結果信號之第三 N 位元部份，並據以決定是否發生溢位狀況。

為達成本發明這些及其它優點，如同此處所列舉及廣泛的描述，本發明提供一種資料處理方法，該方法適用於具有 N 位元資料處理暫存器之一特殊暫存器組、具有 N 位元資料處理暫存器之一般暫存器組、一選擇器、一乘法器以及一加法器，該資料處理方法包括選擇特殊與一般暫存器中之一，並從被選擇的暫存器組輸出具有 N 位元之選擇結果，其中輸出的選擇結果及一 N 位元資料形成具有 $2N$ 位元的一加法信號；提供一第一運算子與一第二運算子，並據以執行一乘法運算，並輸出具有 $2N$ 位元結果之一乘法結果信號；對具有 $2N$ 位元之乘法結果信號與具有 $2N$ 位元的加法信號執行一加法運算，並輸出具有 $2N$ 位元結果之一加法結果信號。

如上所述之資料處理方法，其中 N 位元資料係由一般暫存器組所提供。

如上所述之資料處理方法，其中在選擇特殊與一般暫存器中之一，並輸出具有 N 位元的選擇結果步驟中，更包括由選擇器接收一種類信號，並據以決定選擇步驟之結果。

如上所述之資料處理方法，其中種類信號是用以指出所處理的指令係一第一種類指令或一第二種類指令其中之一，其中該第一類指令係執行 $N \times N + 2N \rightarrow 2N$ 運算，而該第二種類指令係執行 $N \times N + N \rightarrow N$ 運算。

如上所述之資料處理方法，其中更包括根據該加法結果信號據以判斷是否有溢位之情形發生。其中從選擇器輸出具有 N 位元之選擇結果，以及由一般暫存器組所提供之 N 位元資料分別為加法信號之一第一 N 位元部份以及一第二 N 位元部份，加法結果信號包括一第三 N 位元部份以及一第四 N 位元部份，當種類信號所要選擇的是第二種類指令時，偵測裝置比較具有 $2N$ 位元之加法信號的第一 N 位元部份以及加法結果信號之第三 N 位元部份，並據以決定是否發生溢位狀況。

如上所述之資料處理方法，其中更包括根據該加法結果信號據以判斷是否有溢位之情形發生。從選擇器輸出具有 N 位元之該選擇結果以及 N 位元資料分別為該加法信號之一第一 N 位元部份以及一第二 N 位元部份，加法結果信號包括一第三 N 位元部份以及一第四 N 位元部份，當種類信號所要選擇的是第二種類指令時，偵測裝置比較具有 $2N$ 位元之加法信號的第一 N 位元部份以及加法結果信號之第三 N 位元部份，並據以決定是否發生溢位狀況。

應該了解的是前述的一般性描述及以下的詳細描述都只是實施例，並且意圖提供如發明之申請專利範圍的進一步解釋。

圖式簡要說明

所附圖式是用以題供本發明的進一步了解，並構成本發明說明書之一部份。該等圖式表示本發明之實施例及伴隨描述用以解釋本發明之原理。於這些圖式中，

第 1 圖是習知資料處理系統之乘法加法器裝置的方塊圖；以及

第 2 圖是本發明資料處理系統之乘法加法器裝置的方塊圖。

圖號說明

10 資料暫存器	20 資料暫存器	30 乘法器	40 加法器
50 加法器	100 種類信號	110 特殊暫存器組	120 一般暫存器組
130 乘法器	150 加法器	152 加法信號	154 加法結果信號
160 選擇器	170 偵測裝置	200 資料處理裝置	

較佳實施例說明

現在提供本發明較佳實施例詳細的參考標號，如所附圖式所示。在圖式及說明中相同或相似的部分儘可能給於相同的參考標號。

參照第 2 圖，其為本發明一較佳實施例之具有相乘相加運算之資料處理裝置 200 的方塊圖。此資料處理裝置 200 包括一乘法器 130、一加法器 150 與一選擇器 160。資料係

由一特殊暫存器組(Special Register Bank)110 及一般暫存器組(General Register Bank)120 所提供。此乘法器 130 耦合至加法器 150。特殊暫存器組 110 及一般暫存器組 120 耦合至選擇器 160。選擇器 160 耦合至加法器 150。一般暫存器組 120 也直接耦合至加法器 150。此資料處理裝置 200 更包括一偵測裝置 170 耦合至加法器 150。

此乘法器 130 可以使二 N 位元輸入信號相乘並得到一 $2N$ 位元結果。例如， $N \times N$ 得到 $2N$ 結果。如第 2 圖所示，以 E 表示之第一 N 位元輸入信號，此為第一運算子(Operand)，另外以 F 表示之第二 N 位元信號(第二運算子)，兩者結合成為一 $2N$ 位元之信號，並輸入乘法器 130 中。乘法器 130 以一乘法演算後產生具有 $2N$ 位元之乘法結果信號。乘法器 130 產生的乘法結果信號在送到具有 $2N$ 位元加法運算功能之加法器 150 中，並被加上一加法信號(Addition Signal)152。此加法信號 152 也是 $2N$ 位元，包含一第一 N 位元部份及一第二 N 位元部份。於本發明中只需要一個加法器來提供更多想要的計算。例如，在習知技術中，如果想要如 $N \times N + N \rightarrow N$ 及 $N \times N + 2N \rightarrow 2N$ 的計算，如習知所示，至少需要二個加法器以完成這樣的計算。然而，如本發明較佳實施例中的第 2 圖所示的電路，即可以完成這樣的運算，底下將詳細說明。

於本發明中，提供一種類信號(Class signal)100 以選擇二不同指令種類中之其中一種運算。種類信號 100 指示將要運算那種指令種類，例如，如第一種類的 $N \times N + 2N \rightarrow 2N$

或第二種類的 $N \times N + N \rightarrow N$ 之運算。此種類信號 100 係由一外部裝置提供給資料處理裝置 200 的解碼指令(Decoding Instruction)所設定。第一種類的運算將需要更多的計算時間，而其可具有較精確的計算結果。而第二種類的運算，因為最終結果係僅 N 位元，因此結果較不如第一種類運算精確，但卻較節省運算的時間。

當指令種類為第一種類，即如果想要的計算是 $N \times N + 2N \rightarrow 2N$ ，種類信號 100 使選擇器 160 從一般暫存器組 120 提供資料給加法器 150。也就是說，加法信號 152 的 $2N$ 位元由 (N, N) 表示。加法信號 152 的第一 N 位元部份以 C 表示，加法信號 152 的第二 N 位元部份以 D 表示。第一 N 位元部份 C 由一般暫存器組 120 提供。第二 N 位元部份 D 直接從一般暫存器組 120 提供。

當指令種類為第二種類，即如果想要的計算是 $N \times N + N \rightarrow N$ ，種類信號 100 使選擇器 160 從特殊暫存器組 110 提供資料給加法器 150。也就是說，第一 N 位元部份 C 由特殊暫存器組 110 提供，而此特殊暫存器 110 可由使用者藉由軟體的控制下存取。第二 N 位元部份 D 直接從一般暫存器組 120 提供。在本發明之實施例中的資料處理裝置 200，具有 $2N$ 位元的加法信號 152 則將由加法器 150 所運算，而產生具有 $2N$ 位元的加法結果(Accumulated Result)信號 154。而此實施例中，即使 $N \times N + N \rightarrow N$ 之運算只需要加上 N 位元並產生具有 N 位元之結果，也如前所述，此加法器 150 仍會產生具有 $2N$ 位元的加法結果信號 154。

這樣的架構具有多個優點，也即為本發明之特徵。例如，其中一優點即可以用以監控是否有溢位(Overflow)的情形產生，此將在底下描述。另外，另一優點即可簡化計算的複雜性，以降低執行的時間。例如，若是欲計算之算式如 $\sum_{k=0}^n X_k Y_k = X_0 Y_0 + X_1 Y_1 + \dots + X_n Y_n$ ，本發明與習知技藝之比較將於底下描述。

在以往習知的技術，此程式語言如下：

```
for (k=0; k ≤ n; k++) {
    Move Xk to R0
    Move Yk to R1
    R2=R0*R1 + R2 ; MLA R2, R0, R1, R2
}
```

其中"MLA"係用以計算 $N \times N + N \rightarrow N$ 的指令，而經過執行"MLA"指令之結果係具有 32 位元的長度。

然而，在本發明之較佳實施例中，程式語言如下：

```
for (k=0; k ≤ n; k++) {
    Move Xk to R0
    Move Yk to R1
    (RCP, R2)=R0*R1 + (RCP, R2); MLA R2, R0, R1, R2
}
```

其中"MLA"係執行 $N \times N + N \rightarrow N$ 的指令，而經過執行"MLA"指令之結果係具有 64 位元的長度。

在本發明的較佳實施例中，所得的結果係具有 64 位元，然根據習知技術所得的結果，其長度係 32 位元。若

在習知的技術中，想到得到相同的結果，也就是 64 位元的結果，則需要執行如上所述之第一種類的 $N \times N + 2N \rightarrow 2N$ 之運算。也就是說，需要更多的計算時間。因此，如上所述，本發明實施例若是針對相同的 64 位元結果，則可簡化整個運算的複雜度，更可簡化運算的時間。

在經過加法之運算後，加法器 150 產生加法結果信號 154。加法結果信號 154 包括第一 N 位元部份 H 及第二 N 位元部份 I 。此加法結果信號 154 將是資料處理裝置 200 的計算結果。除此之外，此加法結果信號 154 也可以輸入至一偵測裝置 170 中，而用以偵測溢位之情形。

當所要處理的指令種類為第二種類，即想要的計算是 $N \times N + N \rightarrow N$ 的情況。偵測裝置 170 將比較加法結果信號 154 的第一 N 位元部份 H 與加法信號 152 的 N 位元部份 C 。如果加法結果信號 154 的第一 N 位元部份 H 與加法信號 152 的 N 位元部份 C 不同，也就是說加法信號 152 的 N 位元部份 C 在累加之後不能保持原有的值，表示本計算中產生溢位情況。

為清楚起見，輸入乘法器 130 的二 N 位元信號分別以 E 與 F 表示。 $N \times N + N \rightarrow N$ 指令的計算可以由本發明以 $E * F + CD \rightarrow HI$ 實施。對 $N \times N + 2N \rightarrow 2N$ 指令而言，加法器將 CD 加到 $E * F$ 相乘運算的結果以得到 HI 結果。本發明之實施例中只執行一種計算的型態，也就是 $2N + 2N \rightarrow 2N$ ，對 $N * N + N \rightarrow N$ 種類指令，加法器將 CD 加到 $E * F$ 相乘運算的結果以得到 HI 結果。 H 在此狀況中是溢位指標。如果在加法運算後 H

不等於 C，則產生溢位。

溢位指示以快速及方便的方式提供使用者有用的訊息，而第 1 圖之習知相乘相加裝置卻未提供溢位指示。這是本發明另一優點。

很明顯地，對熟悉本技藝之人士而言在不脫離本發明範圍及精神的情況下可對本發明結構有不同的修改。基於內容而言，本案包含落入以下本發明之申請專利範圍及其均等物之修改及變化。

伍、中文發明摘要：

本發明提供一種資料處理裝置，此裝置包括一特別暫存器組、一一般暫存器組、一選擇器、一乘法器、以及一加法器。特別暫存器組係具有 N 位元資料處理暫存器。一般暫存器組係具有 N 位元資料處理暫存器。選擇器耦合至特別暫存器組及一般暫存器組，用以選擇特別與一般暫存器中之一，並從所選擇之暫存器組中輸出具有 N 位元之一選擇結果，其中選擇結果及一 N 位元資料形成具有 $2N$ 位元的一加法信號。乘法器係用以接收一第一運算子以及一第二運算子，在執行乘法運算後輸出具有 $2N$ 位元的一乘法結果信號。加法器係耦合至乘法器、選擇器以及一般暫存器組，並用以接收乘法結果信號與加法信號，並據以執行加法運算後輸出具有 $2N$ 位元之一加法結果信號。

陸、英文發明摘要：

柒、指定代表圖：

(一)本案指定代表圖為：第 () 圖。

(二)本代表圖之元件代表符號簡單說明：

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍：

1.一種資料處理裝置，該裝置包括：

一特別暫存器組，具有 N 位元資料處理暫存器；

一一般暫存器組，具有 N 位元資料處理暫存器；

一選擇器，耦合至該特別暫存器組及該一般暫存器組，用以選擇該特別與一般暫存器中之一，並從所選擇之該暫存器組中輸出具有 N 位元之一選擇結果，其中該選擇結果及一 N 位元資料形成具有 2N 位元的一加法信號；

一乘法器，用以接收一第一運算子以及一第二運算子，在執行乘法運算後輸出具有 2N 位元的一乘法結果信號；以及

一加法器，耦合至該乘法器，該選擇器以及該一般暫存器組，用以接收該乘法結果信號與該加法信號，並據以執行加法運算後輸出具有 2N 位元之一加法結果信號。

2.如申請專利範圍第 1 項所述之資料處理裝置，其中該 N 位元資料係由該一般暫存器組所提供。

3.如申請專利範圍第 2 項所述之資料處理裝置，其中該選擇器更用以接收一種類信號，並據以根據該種類信號選擇該特殊與一般暫存器組中之一。

4.如申請專利範圍第 3 項所述之資料處理裝置，其中該種類信號是用以指出所處理的指令係一第一種類指令或一第二種類指令其中之一，其中該第一種類指令係執行 $N \times N + 2N \rightarrow 2N$ 運算，而該第二種類指令係執行 $N \times N + N \rightarrow N$ 運算。

5.如申請專利範圍第 4 項所述之資料處理裝置，其中該裝置更包括一偵測裝置，耦接至該加法器，用以接收具有 $2N$ 位元之該加法結果信號，並檢查是否發生溢位狀況。

6.如申請專利範圍第 5 項所述之資料處理裝置，其中：
從該選擇器輸出具有 N 位元之該選擇結果，以及由該一般暫存器組所提供之 N 位元資料分別為該加法信號之一第一 N 位元部份以及一第二 N 位元部份；

該加法結果信號包括一第三 N 位元部份以及一第四 N 位元部份；以及

當該種類信號所要選擇的是該第二種類指令時，該偵測裝置比較具有 $2N$ 位元之加法信號的該第一 N 位元部份以及該加法結果信號之第三 N 位元部份，並據以決定是否發生溢位狀況。

7.如申請專利範圍第 1 項所述之資料處理裝置，其中該裝置更包括一偵測裝置，耦接至該加法器，用以接收具有 $2N$ 位元之該加法結果信號，並檢查是否發生溢位狀況。

8.如申請專利範圍第 7 項之資料處理裝置，其中：
從該選擇器輸出具有 N 位元之該選擇結果，以及該 N 位元資料分別為該加法信號之一第一 N 位元部份以及一第二 N 位元部份；

該加法結果信號包括一第三 N 位元部份以及一第四 N 位元部份；以及

當一種類信號所要選擇的是一第二種類指令時，該偵測裝置比較具有 $2N$ 位元之加法信號的該第一 N 位元部份

以及該加法結果信號之該第三 N 位元部份，並據以決定是否發生溢位狀況。

9.一種資料處理方法，該方法適用於具有 N 位元資料處理暫存器之一特殊暫存器組、具有 N 位元資料處理暫存器之一般暫存器組、一選擇器、一乘法器以及一加法器，該資料處理方法包括：

選擇該特殊與該一般暫存器中之一，並從被選擇的暫存器組輸出具有 N 位元之選擇結果，其中輸出的一選擇結果及一 N 位元資料形成具有 $2N$ 位元的一加法信號；

提供一第一運算子與一第二運算子，並據以執行一乘法運算，並輸出具有 $2N$ 位元結果之一乘法結果信號；以及

對具有 $2N$ 位元之該乘法結果信號與具有 $2N$ 位元的該加法信號執行一加法運算，並輸出具有 $2N$ 位元結果之一加法結果信號。

10.如申請專利範圍第 9 項所述之資料處理方法，其中該 N 位元資料係由該一般暫存器組所提供。

11.如申請專利範圍第 10 項所述之資料處理方法，其中在選擇該特殊與一般暫存器中之一，並輸出具有 N 位元的該選擇結果步驟中，更包括由該選擇器接收一種類信號，並據以決定該選擇步驟之結果。

12.如申請專利範圍第 11 項所述之資料處理方法，其中該種類信號是用以指出所處理的指令係一第一種類指令或一第二種類指令其中之一，其中該第一種類指令係執行

$N \times N + 2N \rightarrow 2N$ 運算，而該第二種類指令係執行 $N \times N + N \rightarrow N$ 運算。

13.如申請專利範圍第 12 項所述之資料處理方法，其中更包括根據該加法結果信號據以判斷是否有溢位之情形發生。

14.如申請專利範圍第 13 項之所述資料處理方法，其中：

從該選擇器輸出具有 N 位元之該選擇結果，以及由該一般暫存器組所提供之 N 位元資料分別為該加法信號之一第一 N 位元部份以及一第二 N 位元部份；

該加法結果信號包括一第三 N 位元部份以及一第四 N 位元部份；以及

當該種類信號所要選擇的是該第二種類指令時，該偵測裝置比較具有 $2N$ 位元之加法信號的該第一 N 位元部份以及該加法結果信號之第三 N 位元部份，並據以決定是否發生溢位狀況。

15.如申請專利範圍第 9 項所述之資料處理方法，其中更包括根據該加法結果信號據以判斷是否有溢位之情形發生。

16.如申請專利範圍第 15 項所述之資料處理方法，其中：

從該選擇器輸出具有 N 位元之該選擇結果以及該 N 位元資料分別為該加法信號之一第一 N 位元部份以及一第二 N 位元部份；

該加法結果信號包括一第三 N 位元部份以及一第四 N 位元部份；以及

當一種類信號所要選擇的是一第二種類指令時，該偵測裝置比較具有 $2N$ 位元之加法信號的該第一 N 位元部份以及該加法結果信號之該第三 N 位元部份，並據以決定是否發生溢位狀況。