



(21) 申請案號：103137402

(22) 申請日：中華民國 101 (2012) 年 07 月 13 日

(51) Int. Cl. :

*H01L29/772 (2006.01)**H01L29/78 (2006.01)*

(71) 申請人：力祥半導體股份有限公司 (中華民國) UBIQ SEMICONDUCTOR CORP. (TW)

新竹縣竹北市台元一街 5 號 9 樓之 6

(72) 發明人：詹前陵 CHAN, CHIEN LING (TW) ; 李祈祥 LEE, CHI HSIANG (TW)

(74) 代理人：葉璟宗

申請實體審查：有 申請專利範圍項數：17 項 圖式數：4 共 41 頁

(54) 名稱

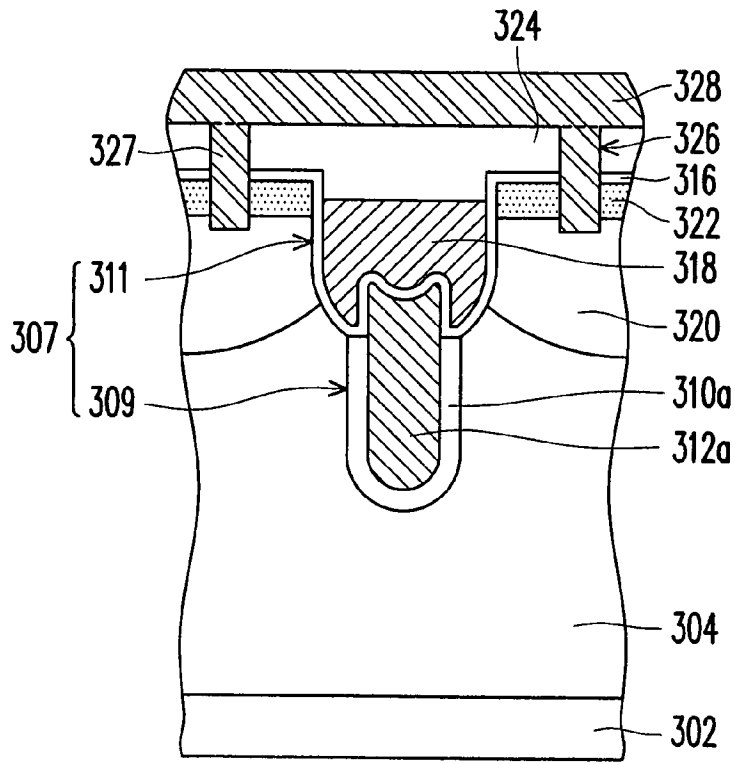
溝渠式閘極金氧半場效電晶體

TRENCH GATE MOSFET

(57) 摘要

一種溝渠式閘極金氧半場效電晶體。磊晶層配置於基底上。主體層配置於磊晶層中。磊晶層中具有第一溝渠，主體層中具有第二溝渠，第一溝渠配置於第二溝渠下方，且第一溝渠的寬度小於第二溝渠的寬度。第一絕緣層配置於第一溝渠的表面上。第一導體層填滿第一溝渠且延伸至第二溝渠中。第二導體層填滿第二溝渠。第二絕緣層配置於第二導體層與主體層之間以及第二導體層與第一導體層之間。介電層配置於磊晶層上且覆蓋第二導體層。二摻雜區分別配置於第二溝渠之兩側的主體層中。

A trench gate MOSFET is provided. An epitaxial layer is disposed on a substrate. A body layer is disposed in the epitaxial layer. The epitaxial layer has a first trench therein, the body layer has a second trench therein, the first trench is disposed below the second trench, and first trench is narrower than the second trench. A first insulating layer is disposed on a surface of the first trench. A first conductive layer fills up the first trench and extends into the second trench. A second conductive layer fills up the second trench. A second insulating layer is disposed between the second conductive layer and each of the body layer and the first conductive layer. A dielectric layer is disposed on the epitaxial layer and covers the second conductive layer. Two doped regions are disposed in the body layer respectively beside the second trench.



- 300 . . . 溝渠式閘極
金氧半場效電晶體
- 302 . . . 基底
- 304 . . . 磊晶層
- 307、309、
- 311 . . . 溝渠
- 310a、316 . . . 絕緣
層
- 312a、318、
- 328 . . . 導體層
- 320 . . . 主體層
- 322 . . . 摻雜區
- 324 . . . 介電層
- 326 . . . 開口
- 327 . . . 導體插塞

圖 3H

201507154

發明摘要

※ 申請案號：103137402 (由101125354分案)

※ 申請日：101.7.13

※ IPC 分類：H01L29/772 (2006.01)

H01L29/78 (2006.01)

【發明名稱】溝渠式閘極金氧半場效電晶體

TRENCH GATE MOSFET

【中文】

一種溝渠式閘極金氧半場效電晶體。磊晶層配置於基底上。主體層配置於磊晶層中。磊晶層中具有第一溝渠，主體層中具有第二溝渠，第一溝渠配置於第二溝渠下方，且第一溝渠的寬度小於第二溝渠的寬度。第一絕緣層配置於第一溝渠的表面上。第一導體層填滿第一溝渠且延伸至第二溝渠中。第二導體層填滿第二溝渠。第二絕緣層配置於第二導體層與主體層之間以及第二導體層與第一導體層之間。介電層配置於磊晶層上且覆蓋第二導體層。二摻雜區分別配置於第二溝渠之兩側的主體層中。

【英文】

A trench gate MOSFET is provided. An epitaxial layer is disposed on a substrate. A body layer is disposed in the epitaxial layer. The epitaxial layer has a first trench therein, the body layer has a second trench therein, the first trench is disposed below the second trench, and first trench is narrower than the second trench. A first insulating layer is disposed on a surface of the first trench. A first conductive layer fills up the first trench and extends into the

second trench. A second conductive layer fills up the second trench. A second insulating layer is disposed between the second conductive layer and each of the body layer and the first conductive layer. A dielectric layer is disposed on the epitaxial layer and covers the second conductive layer. Two doped regions are disposed in the body layer respectively beside the second trench.

【代表圖】

【本案指定代表圖】：圖 3H。

【本代表圖之符號簡單說明】：

300：溝渠式閘極金氧半場效電晶體

302：基底

304：磊晶層

307、309、311：溝渠

310a、316：絕緣層

312a、318、328：導體層

320：主體層

322：摻雜區

324：介電層

326：開口

327：導體插塞

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 溝渠式閘極金氧半場效電晶體

TRENCH GATE MOSFET

【技術領域】

【0001】 本發明是有關於一種半導體元件，且特別是有關於一種溝渠式閘極金氧半場效電晶體（trench gate metal-oxide-semiconductor field effect transistor，trench gate MOSFET）。

【先前技術】

【0002】 溝渠式金氧半導體場效電晶體被廣泛地應用在電力開關（power switch）元件上，例如是電源供應器、整流器或低壓馬達控制器等等。一般而言，溝渠式金氧半導體場效電晶體多採取垂直結構的設計，以提升元件密度。其利用晶片之背面作為汲極，而於晶片之正面製作多個電晶體之源極以及閘極。由於多個電晶體之汲極是並聯在一起的，因此其所耐受之電流大小可以相當大。

【0003】 溝渠式金氧半導體場效電晶體的工作損失可分成切換損失（switching loss）及導通損失（conducting loss）兩大類，其中因輸入電容 C_{iss} 所造成的切換損失會因操作頻率的提高而增加。輸入電容 C_{iss} 包括閘極對源極之電容 C_{gs} 以及閘極對汲極之電容 C_{gd} 。

【0004】 習知的一種作法是於溝渠內形成閘極與遮蔽閘極

(shielded gate)。遮蔽閘極位於閘極下方，絕緣層將閘極與遮蔽閘極相隔離，且遮蔽閘極連接至源極。此種作法雖然可以減少閘極對汲極之電容 C_{gd} ，但另一方面卻會增加閘極對源極之電容 C_{gs} ，因而無法有效地降低切換損失。

【發明內容】

【0005】 有鑑於此，本發明提供一種溝渠式閘極金氧半場效電晶體，可以同時減少閘極對汲極之電容 C_{gd} 及閘極對源極之電容 C_{gs} ，以有效地降低切換損失，提升元件效能。

【0006】 本發明提供一種溝渠式閘極金氧半場效電晶體。具有第一導電型之磊晶層配置於具有第一導電型之基底上。具有第二導電型之主體層配置於磊晶層中，其中磊晶層中具有第一溝渠，主體層中具有第二溝渠，第一溝渠配置於第二溝渠下方，且第一溝渠的寬度小於第二溝渠的寬度。第一絕緣層配置於第一溝渠的表面上。第一導體層填滿第一溝渠且延伸至第二溝渠中。第二導體層填滿第二溝渠。第二絕緣層配置於第二導體層與主體層之間以及第二導體層與第一導體層之間。介電層配置於磊晶層上且覆蓋第二導體層。具有第一導電型的二摻雜區分別配置於第二溝渠之兩側的主體層中。

【0007】 在本發明之一實施例中，上述第二絕緣層的厚度小於第一絕緣層的厚度。

【0008】 在本發明之一實施例中，上述第一導體層的頂部為非平坦的。

【0009】 在本發明之一實施例中，上述第一導體層的材料包括摻

雜多晶矽。

【0010】 在本發明之一實施例中，上述第二導體層的材料包括摻雜多晶矽。

【0011】 在本發明之一實施例中，上述溝渠式閘極金氧半場效電晶體更包括配置於介電層上的第三導體層，其中第三導體層透過二導體插塞與主體層電性連接。

【0012】 在本發明之一實施例中，上述第三導體層的材料包括金屬。

【0013】 在本發明之一實施例中，上述第一導電型為 N 型，第二導電型為 P 型；或第一導電型為 P 型，第二導電型為 N 型。

【0014】 本發明另提供一種溝渠式閘極金氧半場效電晶體。具有第一導電型之磊晶層配置於具有第一導電型之基底上。具有第二導電型之主體層配置於磊晶層中，其中磊晶層中具有第一溝渠，主體層中具有第二溝渠，且第一溝渠配置於第二溝渠下方。第一導體層至少配置於第一溝渠中。第二導體層配置於第二溝渠中且環繞第一導體層的上部，其中第二導體層與第一導體層電性絕緣。介電層配置於磊晶層上且覆蓋第二導體層。具有第一導電型的二摻雜區分別配置於第二溝渠之兩側的主體層中。

【0015】 在本發明之一實施例中，上述第一導體層與磊晶層電性絕緣。

【0016】 在本發明之一實施例中，上述第二導體層與主體層電性絕緣。

【0017】 在本發明之一實施例中，上述第一導體層更延伸至第二溝渠中。

【0018】 在本發明之一實施例中，上述第一導體層的材料包括摻雜多晶矽。

【0019】 在本發明之一實施例中，上述第二導體層的材料包括摻雜多晶矽。

【0020】 在本發明之一實施例中，上述溝渠式閘極金氧半場效電晶體更包括配置於介電層上的第三導體層，其中第三導體層透過二導體插塞與主體層電性連接。

【0021】 在本發明之一實施例中，上述第三導體層的材料包括金屬。

【0022】 在本發明之一實施例中，上述第一導電型為 N 型，第二導電型為 P 型；或第一導電型為 P 型，第二導電型為 N 型。

【0023】 基於上述，在本發明之溝渠式閘極金氧半場效電晶體中，將遮蔽閘極配置於閘極下方，可減少閘極對汲極之電容 C_{gd} 並提高電晶體之崩潰電壓。此外，絕緣層（或介電層）配置於閘極中可減少閘極與遮蔽閘極之間的耦合效應，因而降低閘極對源極之電容 C_{gs} 。換言之，本發明之結構可以同時減少閘極對汲極之電容 C_{gd} 及閘極對源極之電容 C_{gs} ，以有效地降低切換損失，提升元件效能。

【0024】 為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0025】

圖 1A 至 1G 為依據本發明之第一實施例所繪示的一種溝渠式

閘極金氧半場效電晶體的製造方法之剖面示意圖。

圖 2A 至 2F 為依據本發明之第二實施例所繪示的一種溝渠式閘極金氧半場效電晶體的製造方法之剖面示意圖。

圖 3A 至 3H 為依據本發明之第三實施例所繪示的一種溝渠式閘極金氧半場效電晶體的製造方法之剖面示意圖。

圖 4A 至 4F 為依據本發明之第四實施例所繪示的一種溝渠式閘極金氧半場效電晶體的製造方法之剖面示意圖。

【實施方式】

【0026】 第一實施例

【0027】 圖 1A 至 1G 為依據本發明之第一實施例所繪示的一種溝渠式閘極金氧半場效電晶體的製造方法之剖面示意圖。

【0028】 首先，請參照圖 1A，於具有第一導電型之基底 102 上依序形成具有第一導電型之磊晶層 104 及罩幕層 105。基底 102 例如是 N 型重摻雜之矽基底。磊晶層 104 例如是 N 型輕摻雜之磊晶層，且其形成方法包括進行選擇性磊晶生長 (selective epitaxy growth, SEG) 製程。罩幕層 105 的材料例如是氮化矽，且其形成方法包括進行化學氣相沉積製程。接著，以罩幕層 105 為罩幕，進行蝕刻製程，以於磊晶層 104 中形成溝渠 107。之後，移除罩幕層 105。

【0029】 請參照圖 1B，於磊晶層 104 及溝渠 107 的表面上順應性地形成絕緣層 108 及導體層 110。絕緣層 108 的材料例如為氧化矽，且其形成方法包括進行熱氧化法或化學氣相沉積製程。導體層 110 的材料例如是摻雜多晶矽，且其形成方法包括進行化學氣

相沉積製程。繼之，於導體層 110 上形成絕緣材料層 112，且絕緣材料層 112 填滿溝渠 107。絕緣材料層 112 的材料例如為四乙氧基矽烷（tetraethosiloxane，TEOS）氧化矽，且其形成方法包括進行化學氣相沉積製程。

【0030】 請參照圖 1C，進行回蝕刻製程，移除部分絕緣材料層 112，以形成填滿溝渠 107 之絕緣層 112a。在一實施例中，回蝕刻製程裸露出導體層 110 的頂面，其可使用時間模式來控制絕緣層 112a 的厚度。

【0031】 請參照圖 1D，移除部分導體層 110，以形成裸露出絕緣層 112a 上部及絕緣層 108 頂面與部分側壁的導體層 110a。具體言之，導體層 110a 呈碗形或 U 型，其經配置為環繞絕緣層 112a 的下部，且位於絕緣層 112a 與絕緣層 108 之間。形成導體層 110a 的方法例如是回蝕刻法，其可使用時間模式來控制導體層 110a 的頂面高度。在一實施例中，導體層 110a 裸露出絕緣層 108，其高度需配合主體層（圖未示，相關說明，容後詳述）或溝渠 107 之深度，以此例為絕緣層 112a 之約 1/2 高。

【0032】 請參照圖 1E，移除部分絕緣層 112a 及部分絕緣層 108，使得留下的絕緣層 112b 及絕緣層 108a 裸露出導體層 110a 的上部。具體言之，導體層 110a 凸出於絕緣層 112b 及絕緣層 108a，導體層 110a 經配置為環繞絕緣層 112b，且絕緣層 108a 經配置為環繞導體層 110a。形成絕緣層 112b 及絕緣層 108a 的方法例如是回蝕刻法，其可使用時間模式來控制絕緣層 112b 及絕緣層 108a 的頂面高度。在一實施例中，絕緣層 112b 及絕緣層 108a 裸露出導體層 110a 之約 1/8~1/10 的高度。然而，本發明並不以此為限。

在另一實施例中，絕緣層 112b 及絕緣層 108a 之頂面也可以與導體層 110a 之頂面大致上齊平。

【0033】 請參照圖 1F，於磊晶層 104 及溝渠 107 之表面上形成絕緣層 114，且絕緣層 114 覆蓋導體層 110a。絕緣層 114 的材料例如為氧化矽，且其形成方法包括進行熱氧化法或化學氣相沉積製程。在一實施例中，絕緣層 114 的厚度小於絕緣層 108a 的厚度。然而，本發明並不以此為限。在另一實施例中，絕緣層 114 的厚度也可以等於或大於絕緣層 108a 的厚度。接著，於溝渠 107 中填滿導體層 116。形成導體層 116 的方法包括於磊晶層 104 上形成導體材料層（未繪示），且導體材料層填滿溝渠 107。導體材料層的材料例如是摻雜多晶矽，且其形成方法包括進行化學氣相沉積製程。然後，進行回蝕刻製程，移除部分導體材料層。

【0034】 請參照圖 1G，於溝渠 107 兩側的磊晶層 104 中分別形成具有第二導電型的二主體層 120。主體層 120 例如是 P 型主體層，且其形成方法包括進行離子植入製程。然後，於溝渠 107 之兩側的主體層 120 中分別形成具有第一導電型的二摻雜區 122。摻雜區 122 例如是 N 型重摻雜區，且其形成方法包括進行離子植入製程。

【0035】 於導體層 116 及摻雜區 122 上形成介電層 124。介電層 124 的材料例如是氧化矽、硼磷矽玻璃 (BPSG)、磷矽玻璃 (PSG)、氟矽玻璃 (FSG) 或未摻雜之矽玻璃 (USG)，且其形成方法包括進行化學氣相沉積製程。接著，形成貫穿介電層 124 及摻雜區 122 的二開口 126。形成開口的方法包括進行微影蝕刻製程。之後，於介電層 124 上形成導體層 128，其中導體層 128 填入開口 126 以與

主體層 120 電性連接。填入開口 126 之導體層 128 構成導體插塞 127。換言之，導體層 128 透過導體插塞 127 與主體層 120 電性連接。導體層 128 的材料可以是諸如鋁的金屬，且其形成方法包括進行化學氣相沉積製程。至此，完成第一實施例之溝渠式閘極金氧半場效電晶體 100 的製造。

【0036】 以下，將參照圖 1G 來說明本發明之溝渠式閘極金氧半場效電晶體 100 的結構。請參照圖 1G，溝渠式閘極金氧半場效電晶體 100 包括 N 型基底 102、N 型磊晶層 104、P 型主體層 120。磊晶層 104 配置在基底 102 上。主體層 120 配置在磊晶層 104 中。此外，磊晶層 104 中具有溝渠 109，主體層 120 中具有溝渠 111，溝渠 109 配置於溝渠 111 下方，且溝渠 109 及溝渠 111 組成溝渠 107。

【0037】 溝渠式閘極金氧半場效電晶體 100 更包括絕緣層 108a、導體層 110a、絕緣層 112b、導體層 116 及絕緣層 114。絕緣層 108a 配置於溝渠 109 的表面，絕緣層 112b 配置於溝渠 109 中，且導體層 110a 配置於絕緣層 108a 與絕緣層 112b 之間。導體層 116 配置於溝渠 111 中。絕緣層 114 配置於導體層 116 與主體層 120 之間以及導體層 116 與導體層 110a 之間。在一實施例中，導體層 110a 更延伸至溝渠 111 中，且絕緣層 114 覆蓋導體層 110a 的頂部。

【0038】 溝渠式閘極金氧半場效電晶體 100 更包括二個 N 型摻雜區 122、一介電層 124、二個導體插塞 127 及一導體層 128。摻雜區 122 配置於溝渠 111 之兩側的主體層 120 中。介電層 124 配置於導體層 116 及摻雜區 122 上。導體層 128 配置於介電層 124 上，其中導體層 128 透過導體插塞 127 與主體層 120 電性連接。

【0039】 在第一實施例之溝渠式閘極金氧半場效電晶體 100 中，基底 102 作為汲極，摻雜區 122 作為源極，導體層 116 作為閘極，導體層 110a 作為遮蔽閘極，且絕緣層 114 作為閘氧化層。特別要注意的是，由於遮蔽閘極（即導體層 110a）的配置，可減少閘極對汲極之電容 C_{gd} 並提高電晶體之崩潰電壓（breakdown voltage）。此外，由於絕緣層 112b 配置於遮蔽閘極（即導體層 110a）中以減少閘極（即導體層 116）與遮蔽閘極（即導體層 110a）之間的耦合效應，因而可降低閘極對源極之電容 C_{gs} 。也就是說，本發明第一實施例之結構可以減少閘極對汲極之電容 C_{gd} 及閘極對源極之電容 C_{gs} ，以有效地降低切換損失，提升元件效能。

【0040】 第二實施例

【0041】 圖 2A 至 2F 為依據本發明之第二實施例所繪示的一種溝渠式閘極金氧半場效電晶體的製造方法之剖面示意圖。

【0042】 首先，請參照圖 2A，於具有第一導電型之基底 202 上形成具有第一導電型之磊晶層 204。基底 202 例如是 N 型矽基底。磊晶層 204 例如是 N 型磊晶層。然後，於磊晶層 204 中形成溝渠 207。形成磊晶層 204 與溝渠 207 的方法請參見第一實施例，於此不再贅述。

【0043】 接著，於磊晶層 204 及溝渠 207 的表面上順應性地形成絕緣層 208。絕緣層 208 的材料例如為氧化矽，且其形成方法包括進行熱氧化法或化學氣相沉積製程。然後，於絕緣層 208 上形成導體材料層 210，且導體材料層 210 填滿溝渠 207。導體材料層 210 的材料例如是摻雜多晶矽，且其形成方法包括進行化學氣相沉積製程。

【0044】 之後，請參照圖 2B，進行回蝕刻製程，移除部分導體材料層 210，以於溝渠 207 的底部形成導體層 210a。在一實施例中，回蝕刻製程裸露出絕緣層 208 的頂面及部分側壁，其可使用時間模式來控制導體層 210a 的頂面高度。在一實施例中，導體層 210a 之頂面高度需配合主體層之深度，例如約 1/2 的溝渠深度。

【0045】 繼之，請參照圖 2C，移除部分絕緣層 208，以形成裸露出導體層 210a 上部的絕緣層 208a。形成絕緣層 208a 的方法包括進行回蝕刻法，直到裸露出導體層 210a 之約 1/8 至 1/10 的高度。在一實施例中，可使用時間模式來控制導體層 210a 之裸露出來的高度。然而，本發明並不以此為限。在另一實施例中，絕緣層 208a 之頂面也可以與導體層 210a 之頂面大致上齊平。

【0046】 接著，請參照圖 2D，於磊晶層 204 及溝渠 207 之表面上順應性地形成絕緣層 212，且絕緣層 212 覆蓋導體層 210a。絕緣層 212 的材料例如為氧化矽，且其形成方法包括進行熱氧化法或化學氣相沉積製程。在一實施例中，絕緣層 212 的厚度小於絕緣層 208a 的厚度。然而，本發明並不以此為限。在另一實施例中，絕緣層 212 的厚度也可以等於或大於絕緣層 208a 的厚度。接著，於絕緣層 212 上順應性地形成導體層 214。導體層 214 的材料例如是摻雜多晶矽，且其形成方法包括進行化學氣相沉積製程。

【0047】 然後，請參照圖 2E，移除部分導體層 214，以於絕緣層 212 的側壁上形成導體層 214a。具體言之，導體層 214a 以間隙壁的形式配置在絕緣層 212 的側壁上，且具有曝露出絕緣層 212 之部分底面的開口 215。形成導體層 214a 的方法包括進行非等向性乾蝕刻製程。

【0048】 繼之，請參照圖 2F，於溝渠 207 兩側的磊晶層 204 中分別形成具有第二導電型的二主體層 220。主體層 220 例如是 P 型主體層。之後，於溝渠 207 之兩側的主體層 220 中分別形成具有第一導電型的二摻雜區 222。摻雜區 222 例如是 N 型重摻雜區。之後，於導體層 214a 及摻雜區 222 上形成介電層 224，且介電層 224 填入開口 215 中。繼之，形成貫穿介電層 224 及摻雜區 222 的二開口 226。接著，於介電層 224 上形成導體層 228，其中導體層 228 填入開口 226 以與主體層 220 電性連接。填入開口 226 之導體層 228 構成導體插塞 227。換言之，導體層 228 透過導體插塞 227 與主體層 220 電性連接。主體層 220、摻雜區 222、導體插塞 227 及導體層 228 的材料及形成方法請參見第一實施例，於此不再贅述。至此，完成第二實施例之溝渠式閘極金氧半場效電晶體 200 的製造。

【0049】 以下，將參照圖 2F 來說明本發明之溝渠式閘極金氧半場效電晶體 200 的結構。請參照圖 2F，溝渠式閘極金氧半場效電晶體 200 包括 N 型基底 202、N 型磊晶層 204、P 型主體層 220。磊晶層 204 配置在基底 202 上。主體層 220 配置在磊晶層 204 中。此外，磊晶層 204 中具有溝渠 209，主體層 220 中具有溝渠 211，溝渠 209 配置於溝渠 211 下方，且溝渠 209 及溝渠 211 組成溝渠 207。

【0050】 溝渠式閘極金氧半場效電晶體 200 更包括絕緣層 208a、導體層 210a、絕緣層 212 及導體層 214a。導體層 210a 配置於溝渠 209 中。絕緣層 208a 配置於導體層 210a 與磊晶層 204 之間。導體層 214a 配置於溝渠 211 之側壁上。絕緣層 212 配置於導體層

214a 與主體層 220 之間以及導體層 214a 與導體層 210a 之間。在一實施例中，導體層 210a 更延伸至溝渠 211 中，且絕緣層 212 覆蓋導體層 210a 的頂部。

【0051】 溝渠式閘極金氧半場效電晶體 200 更包括二個 N 型摻雜區 222、一介電層 224、二個導體插塞 227 及一導體層 228。摻雜區 222 配置於溝渠 211 之兩側的主體層 220 中。介電層 224 配置於絕緣層 212 上並填滿溝渠 211。亦即，介電層 224 配置於導體層 214a 的開口 215 中。導體層 228 配置於介電層 224 上，其中導體層 228 透過導體插塞 227 與主體層 220 電性連接。

【0052】 在第二實施例之溝渠式閘極金氧半場效電晶體 200 中，基底 202 作為汲極，摻雜區 222 作為源極，導體層 214a 作為閘極，導體層 210a 作為遮蔽閘極，且絕緣層 212 作為閘氧化層。特別要注意的是，由於遮蔽閘極（即導體層 210a）的配置，可減少閘極對汲極之電容 C_{gd} 並提高電晶體之崩潰電壓。此外，由於介電層 224 配置於閘極（即導體層 214a）中以減少閘極（即導體層 214a）與遮蔽閘極（即導體層 210a）之間的耦合效應，因而可降低閘極對源極之電容 C_{gs} 。也就是說，本發明第二實施例之結構可以同時減少閘極對汲極之電容 C_{gd} 及閘極對源極之電容 C_{gs} ，以有效地降低切換損失，提升元件效能。

【0053】 第三實施例

【0054】 圖 3A 至 3H 為依據本發明之第三實施例所繪示的一種溝渠式閘極金氧半場效電晶體的製造方法之剖面示意圖。

【0055】 首先，請參照圖 3A，於具有第一導電型之基底 302 上依序形成具有第一導電型之磊晶層 304 及罩幕層 305。基底 302

例如是 N 型矽基底。磊晶層 304 例如是 N 型磊晶層。罩幕層 305 的材料例如是氧化矽、氮化矽或氮氧化矽，且其形成方法包括進行化學氣相沉積製程。接著，以罩幕層 305 為罩幕，進行蝕刻製程，以於磊晶層 304 中形成溝渠 311。接著，於磊晶層 304 及溝渠 311 的表面上形成間隙壁材料層 308。間隙壁材料層 308 的材料例如是氧化矽、氮化矽或氮氧化矽，且其形成方法包括進行化學氣相沉積製程。在此實施例中，罩幕層 305 與間隙壁材料層 308 的材料不同。

【0056】 之後，請參照圖 3B，進行非等向性乾蝕刻製程，移除部分間隙壁材料層 308，以於溝渠 311 的側壁上形成間隙壁 308a。在此實施例中，由於間隙壁材料層 308 對罩幕層 305 的蝕刻選擇比夠高，因此上述非等向性乾蝕刻製程實質上會停在罩幕層 305 的表面上。換言之，罩幕層 305 可保護磊晶層 304 表面，使磊晶層 304 表面免受後續蝕刻製程的破壞。然後，以罩幕層 305 及間隙壁 308a 為罩幕，移除部分磊晶層 304，以於溝渠 311 的下方形成溝渠 309。形成溝渠 309 的方法例如是進行蝕刻製程。之後，移除間隙壁 308a。由於形成溝渠 309 的方法是以間隙壁 308a 為罩幕，因此為一種自對準製程 (self-aligned process)，其中溝渠 309 的寬度小於溝渠 311 的寬度。此外，溝渠 309 配置於溝渠 311 下方，且溝渠 309 及溝渠 311 組成溝渠 307。

【0057】 繼之，請參照圖 3C，於磊晶層 304 及溝渠 307 的表面上順應性地形成絕緣層 310。絕緣層 310 的材料例如為氧化矽，且其形成方法包括進行熱氧化法或化學氣相沉積製程。接著，於絕緣層 310 上形成導體層 312。具體言之，導體層 312 順應性地形成

於磊晶層 304 及溝渠 311 的表面上，並填滿溝渠 309。導體層 312 的材料例如是摻雜多晶矽，且其形成方法包括進行化學氣相沉積製程。然後，於磊晶層 304 上形成絕緣材料層 314，且絕緣材料層 314 填滿溝渠 311。絕緣材料層 314 的材料例如是氧化矽，且其形成方法包括進行化學氣相沉積製程。

【0058】 然後，請參照圖 3D，進行回蝕刻製程，移除部分絕緣材料層 314，以形成填滿溝渠 311 之絕緣層 314a。在一實施例中，回蝕刻製程裸露出導體層 312 的頂面，其可使用時間模式來控制絕緣層 314a 的厚度。在一實施例中，絕緣層 314a 的寬度大致上等於導體層 312 在溝渠 309 中的寬度，如圖 3D 所示。然而，本發明並不以此為限。在另一實施例中，絕緣層 314a 的寬度也可以大於導體層 312 在溝渠 309 中的寬度。

【0059】 接著，請參照圖 3E，移除部分導體層 312，以形成導體層 312a 於絕緣層 314a 的下方。形成導體層 312a 的方法包括以絕緣層 314a 為罩幕，進行非等向性乾蝕刻製程。此外，由於上述方法是以絕緣層 314a 為罩幕，因此為一種自對準製程，其中導體層 312a 位於絕緣層 314a 的正下方。此外，由於絕緣層 314a 的寬度等於或大於導體層 312 在溝渠 309 中的寬度，因此上述蝕刻製程不會移除導體層 312 在溝渠 309 中的部分。

【0060】 然後，請參照圖 3F，移除絕緣層 314a 及部分絕緣層 310，以形成裸露出導體層 312a 上部的絕緣層 310a。形成絕緣層 310a 的方法例如是回蝕刻法，其可使用時間模式來控制絕緣層 310a 的頂面高度。在一實施例中，絕緣層 310a 裸露出導體層 312a 之約 1/8~1/10 的高度。在另一實施例中，絕緣層 310a 僅位於溝渠

309 的表面上。

【0061】 接著，請參照圖 3G，於磊晶層 304 及溝渠 307 之表面上順應性地形成絕緣層 316，且絕緣層 316 覆蓋導體層 312a。絕緣層 316 的材料例如為氧化矽，且其形成方法包括進行熱氧化法或化學氣相沉積製程。在一實施例中，絕緣層 316 的厚度小於絕緣層 310a 的厚度。然而，本發明並不以此為限。在另一實施例中，絕緣層 316 的厚度也可以等於或大於絕緣層 310a 的厚度。接著，於溝渠 311 中填滿導體層 318。形成導體層 318 的方法包括於磊晶層 304 上形成導體材料層(未繪示)，且導體材料層填滿溝渠 311。導體材料層的材料例如是摻雜多晶矽，且其形成方法包括進行化學氣相沉積製程。然後，進行回蝕刻製程，移除部分導體材料層。

【0062】 繼之，請參照圖 3H，於溝渠 311 兩側的磊晶層 304 中分別形成具有第二導電型的二主體層 320。主體層 320 例如是 P 型主體層。之後，於溝渠 311 之兩側的主體層 320 中分別形成具有第一導電型的二摻雜區 322。摻雜區 322 例如是 N 型重摻雜區。之後，於導體層 318 及摻雜區 322 上形成介電層 324。繼之，形成貫穿介電層 324 及摻雜區 322 的二開口 326。接著，於介電層 324 上形成導體層 328，其中導體層 328 填入開口 326 以與主體層 320 電性連接。填入開口 326 之導體層 328 構成導體插塞 327。換言之，導體層 328 透過導體插塞 327 與主體層 320 電性連接。主體層 320、摻雜區 322、導體插塞 327 及導體層 328 的材料及形成方法請參見第一實施例，於此不再贅述。至此，完成第三實施例之溝渠式閘極金氧半場效電晶體 300 的製造。

【0063】 以下，將參照圖 3H 來說明本發明之溝渠式閘極金氧半

場效電晶體 300 的結構。請參照圖 3H，溝渠式閘極金氧半場效電晶體 300 包括 N 型基底 302、N 型磊晶層 304、P 型主體層 320。磊晶層 304 配置在基底 302 上。主體層 320 配置在磊晶層 304 中。此外，磊晶層 304 中具有溝渠 309，主體層 320 中具有溝渠 311，溝渠 309 配置於溝渠 311 下方，且溝渠 309 及溝渠 311 組成溝渠 307。

【0064】 溝渠式閘極金氧半場效電晶體 300 更包括絕緣層 310a、導體層 312a、絕緣層 316 及導體層 318。絕緣層 310a 配置於溝渠 309 的表面上。導體層 312a 填滿溝渠 309。導體層 318 配置於溝渠 311 中。絕緣層 316 配置於導體層 318 與主體層 320 之間以及導體層 318 與導體層 312a 之間。在一實施例中，導體層 312a 更延伸至溝渠 311 中，且絕緣層 316 覆蓋導體層 312a 的頂部。

【0065】 溝渠式閘極金氧半場效電晶體 300 更包括二個 N 型摻雜區 322、一介電層 324、二個導體插塞 327 及一導體層 328。摻雜區 322 配置於溝渠 311 之兩側的主體層 320 中。介電層 324 配置於導體層 318 及摻雜區 322 上。導體層 328 配置於介電層 324 上，其中導體層 328 透過導體插塞 327 與主體層 320 電性連接。

【0066】 在第三實施例之溝渠式閘極金氧半場效電晶體 300 中，基底 302 作為汲極，摻雜區 322 作為源極，導體層 318 作為閘極，導體層 312a 作為遮蔽閘極，且絕緣層 316 作為閘氧化層。特別要注意的是，由於遮蔽閘極（即導體層 312a）的配置，可減少閘極對汲極之電容 C_{gd} 並提高電晶體之崩潰電壓。此外，由於溝渠 309 的寬度小於溝渠 311 的寬度，且絕緣層 310a 的厚度大於絕緣層 316 的厚度，因此遮蔽閘極（即導體層 312a）的寬度小於閘極（即導

體層 318) 的寬度。所以，可以減少閘極 (即導體層 318) 與遮蔽閘極 (即導體層 312a) 之間的耦合效應，因而可降低閘極對源極之電容 C_{gs} 。也就是說，本發明之結構可以同時減少閘極對汲極之電容 C_{gd} 及閘極對源極之電容 C_{gs} ，以有效地降低切換損失，提升元件效能。

【0067】 第四實施例

【0068】 圖 4A 至 4F 為依據本發明之第四實施例所繪示的一種溝渠式閘極金氧半場效電晶體的製造方法之剖面示意圖。

【0069】 首先，請參照圖 4A，於具有第一導電型之基底 402 上形成具有第一導電型之磊晶層 404。基底 402 例如是 N 型矽基底。磊晶層 404 例如是 N 型磊晶層。然後，於磊晶層 404 中形成溝渠 407。形成磊晶層 404 與溝渠 407 的方法請參見第一實施例，於此不再贅述。

【0070】 接著，於磊晶層 404 及溝渠 407 的表面上順應性地形成絕緣層 408。絕緣層 408 的材料例如為氧化矽，且其形成方法包括進行熱氧化法或化學氣相沉積製程。然後，於磊晶層 404 上形成導體材料層 410，且導體材料層 410 填滿溝渠 407。導體材料層 410 的材料例如是摻雜多晶矽，且其形成方法包括進行化學氣相沉積製程。

【0071】 之後，請參照圖 4B，進行回蝕刻製程，移除部分導體材料層 410，以於溝渠 407 中形成導體層 410a。在一實施例中，回蝕刻製程裸露出絕緣層 408 的頂面及部分側壁，其可使用時間模式來控制導體層 410a 的厚度。

【0072】 繼之，請參照圖 4C，移除部分絕緣層 408，以形成裸露

出導體層 410a 上部的絕緣層 408a。形成絕緣層 408a 的方法包括進行回蝕刻法，直到裸露出導體層 410a 之約 1/3 至 2/5 的高度。在一實施例中，可使用時間模式來控制導體層 410a 之裸露出來的高度。在一實施例中，絕緣層 408a 的頂面高度需配合主體層之深度，以此例為約 1/2 的溝渠深度。

【0073】 接下來，請參照圖 4D，進行氧化製程，將未被絕緣層 408a 覆蓋的導體層 410a 上部氧化成絕緣層 412，並留下導體層 410b，且此氧化製程同時於磊晶層 404 的表面及溝渠 407 的側壁上形成絕緣層 414。絕緣層 412 及絕緣層 414 的材料例如是氧化矽。在一實施例中，上述氧化製程將導體層 410a 上部全部氧化，如圖 4D 所示。在另一實施例中（未繪示），上述氧化製程僅將導體層 410a 上部進行部份氧化。此外，在一實施例中，絕緣層 414 的厚度小於絕緣層 408a 的厚度。然而，本發明並不以此為限。在另一實施例中，絕緣層 414 的厚度也可以等於或大於絕緣層 408a 的厚度。

【0074】 然後，請參照圖 4E，於溝渠 407 中形成導體層 416。形成導體層 416 的方法包括於磊晶層 404 上形成導體材料層（未繪示），且導體材料層覆蓋絕緣層 412、絕緣層 414 並填滿溝渠 407。導體材料層的材料例如是摻雜多晶矽，且其形成方法包括進行化學氣相沉積製程。然後，進行回蝕刻製程，移除部分導體材料層。

【0075】 接著，請參照圖 4F，於溝渠 407 兩側的磊晶層 404 中分別形成具有第二導電型的二主體層 420。主體層 420 例如是 P 型主體層。之後，於溝渠 407 之兩側的主體層 420 中分別形成具有第一導電型的二摻雜區 422。摻雜區 422 例如是 N 型重摻雜區。之

後，於導體層 416 及摻雜區 422 上形成介電層 424。繼之，形成貫穿介電層 424 及摻雜區 422 的二開口 426。接著，於介電層 424 上形成導體層 428，其中導體層 428 填入開口 426 以與主體層 420 電性連接。填入開口 426 之導體層 428 構成導體插塞 427。換言之，導體層 428 透過導體插塞 427 與主體層 420 電性連接。主體層 420、摻雜區 422、導體插塞 427 及導體層 428 的材料及形成方法請參見第一實施例，於此不再贅述。至此，完成第四實施例之溝渠式閘極金氧半場效電晶體 400 的製造。

【0076】 以下，將參照圖 4F 來說明本發明之溝渠式閘極金氧半場效電晶體 400 的結構。請參照圖 4F，溝渠式閘極金氧半場效電晶體 400 包括 N 型基底 402、N 型磊晶層 404、P 型主體層 420。磊晶層 204 配置在基底 402 上。主體層 420 配置在磊晶層 404 中。此外，磊晶層 404 中具有溝渠 409，主體層 420 中具有溝渠 411，溝渠 409 配置於溝渠 411 下方，且溝渠 409 及溝渠 411 組成溝渠 407。

【0077】 溝渠式閘極金氧半場效電晶體 400 更包括絕緣層 408a、導體層 410b、絕緣層 412、絕緣層 414 及導體層 416。導體層 410b 配置於溝渠 409 中。絕緣層 408a 配置於導體層 410b 與磊晶層 404 之間。絕緣層 412 配置於溝渠 411 中並覆蓋導體層 410b。亦即，絕緣層 412 的寬度大於或等於導體層 410b 的寬度。此外，導體層 416 配置於溝渠 411 中並覆蓋絕緣層 412。絕緣層 414 配置於導體層 416 與主體層 420 之間。

【0078】 溝渠式閘極金氧半場效電晶體 400 更包括二個 N 型摻雜區 422、一介電層 424、二個導體插塞 427 及一導體層 428。摻雜

區 422 配置於溝渠 411 之兩側的主體層 420 中。介電層 424 配置於磊晶層 404 上並覆蓋導體層 416。導體層 428 配置於介電層 424 上，其中導體層 428 透過導體插塞 427 與主體層 420 電性連接。

【0079】 在第四實施例之溝渠式閘極金氧半場效電晶體 400 中，基底 402 作為汲極，摻雜區 422 作為源極，導體層 416 作為閘極，導體層 410b 作為遮蔽閘極，且絕緣層 414 作為閘氧化層。特別要注意的是，由於遮蔽閘極（即導體層 410b）的配置，可減少閘極對汲極之電容 C_{gd} 並提高電晶體之崩潰電壓。此外，由於介電層 412 配置於閘極（即導體層 416）中以減少閘極（即導體層 416）與遮蔽閘極（即導體層 410b）之間的耦合效應，因而可降低閘極對源極之電容 C_{gs} 。也就是說，本發明之結構可以同時減少閘極對汲極之電容 C_{gd} 及閘極對源極之電容 C_{gs} ，以有效地降低切換損失，提升元件效能。

【0080】 另外，在第一至第四實施例中，是以第一導電型為 N 型，第二導電型為 P 型為例來說明之，但本發明並不以此為限。熟知此技藝者應了解，第一導電型也可以為 P 型，而第二導電型為 N 型。

【0081】 綜上所述，在本發明之溝渠式閘極金氧半場效電晶體中，將遮蔽閘極配置於閘極下方，可減少閘極對汲極之電容 C_{gd} 並提高電晶體之崩潰電壓。此外，絕緣層（或介電層）配置於閘極或遮蔽閘極中可減少閘極與遮蔽閘極之間的耦合效應，因而降低閘極對源極之電容 C_{gs} 。或者，藉由製成上寬下窄之溝渠，使位於第二溝渠之閘極與位於第一溝渠之遮蔽閘極之間的耦合效應減少，亦可降低閘極對源極之電容 C_{gs} 。換言之，本發明之結構可以

同時減少閘極對汲極之電容 C_{gd} 及閘極對源極之電容 C_{gs} ，以有效地降低切換損失，提升元件效能。

【0082】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0083】

100、200、300、400：溝渠式閘極金氧半場效電晶體

102、202、302、402：基底

104、204、304、404：磊晶層

105、305：罩幕層

107、109、111、207、209、211、307、309、311、407、409、
411：溝渠

108、108a、112a、112b、114、208、208a、212、310、310a、
314a、316、408、408a、412、414：絕緣層

110、110a、116、128、210a、214、214a、228、312、312a、
318、328、410a、410b、416、428：導體層

112、314：絕緣材料層

120、220、320、420：主體層

122、222、322、422：摻雜區

124、224、324、424：介電層

126、215、226、326、426：開口

127、227、327、427：導體插塞

210、410：導體材料層

308：間隙壁材料層

308a：間隙壁

申請專利範圍

1. 一種溝渠式閘極金氧半場效電晶體，包括：
 - 具有一第一導電型之一基底；
 - 具有該第一導電型之一磊晶層，配置於該基底上；
 - 具有一第二導電型之一主體層，配置於該磊晶層中，其中該磊晶層中具有一第一溝渠，該主體層中具有一第二溝渠，該第一溝渠配置於該第二溝渠下方，且該第一溝渠的寬度小於該第二溝渠的寬度；
 - 一第一絕緣層，配置於該第一溝渠的表面上；
 - 一第一導體層，填滿該第一溝渠且延伸至該第二溝渠中；
 - 一第二導體層，填滿該第二溝渠；
 - 一第二絕緣層，配置於該第二導體層與該主體層之間以及該第二導體層與該第一導體層之間；
 - 一介電層，配置於該磊晶層上且覆蓋該第二導體層；以及
 - 具有該第一導電型的二摻雜區，分別配置於該第二溝渠之兩側的該主體層中。
2. 如申請專利範圍第1項所述之溝渠式閘極金氧半場效電晶體，其中該第二絕緣層的厚度小於該第一絕緣層的厚度。
3. 如申請專利範圍第1項所述之溝渠式閘極金氧半場效電晶體，其中該第一導體層的頂部為非平坦的。
4. 如申請專利範圍第1項所述之溝渠式閘極金氧半場效電晶體，其中該第一導體層的材料包括摻雜多晶矽。
5. 如申請專利範圍第1項所述之溝渠式閘極金氧半場效電晶體，其中該第二導體層的材料包括摻雜多晶矽。

6. 如申請專利範圍第 1 項所述之溝渠式閘極金氧半場效電晶體，更包括一第三導體層，配置於該介電層上，其中該第三導體層透過二導體插塞與該主體層電性連接。

7. 如申請專利範圍第 6 項所述之溝渠式閘極金氧半場效電晶體，其中該第三導體層的材料包括金屬。

8. 如申請專利範圍第 1 項所述之溝渠式閘極金氧半場效電晶體，其中該第一導電型為 N 型，該第二導電型為 P 型；或該第一導電型為 P 型，該第二導電型為 N 型。

9. 一種溝渠式閘極金氧半場效電晶體，包括：

具有一第一導電型之一基底；

具有該第一導電型之一磊晶層，配置於該基底上；

具有一第二導電型之一主體層，配置於該磊晶層中，其中該磊晶層中具有一第一溝渠，該主體層中具有一第二溝渠，且該第一溝渠配置於該第二溝渠下方；

一第一導體層，至少配置於該第一溝渠中；

一第二導體層，配置於該第二溝渠中且環繞該第一導體層的上部，其中該第二導體層與該第一導體層電性絕緣；

一介電層，配置於該磊晶層上且覆蓋該第二導體層；以及

具有該第一導電型的二摻雜區，分別配置於該第二溝渠之兩側的該主體層中。

10. 如申請專利範圍第 9 項所述之溝渠式閘極金氧半場效電晶體，其中該第一導體層與該磊晶層電性絕緣。

11. 如申請專利範圍第 9 項所述之溝渠式閘極金氧半場效電晶體，其中該第二導體層與該主體層電性絕緣。

12. 如申請專利範圍第 9 項所述之溝渠式閘極金氧半場效電晶體，其中該第一導體層更延伸至該第二溝渠中。

13. 如申請專利範圍第 9 項所述之溝渠式閘極金氧半場效電晶體，其中該第一導體層的材料包括摻雜多晶矽。

14. 如申請專利範圍第 9 項所述之溝渠式閘極金氧半場效電晶體，其中該第二導體層的材料包括摻雜多晶矽。

15. 如申請專利範圍第 9 項所述之溝渠式閘極金氧半場效電晶體，更包括一第三導體層，配置於該介電層上，其中該第三導體層透過二導體插塞與該主體層電性連接。

16. 如申請專利範圍第 15 項所述之溝渠式閘極金氧半場效電晶體，其中該第三導體層的材料包括金屬。

17. 如申請專利範圍第 9 項所述之溝渠式閘極金氧半場效電晶體，其中該第一導電型為 N 型，該第二導電型為 P 型；或該第一導電型為 P 型，該第二導電型為 N 型。

圖式

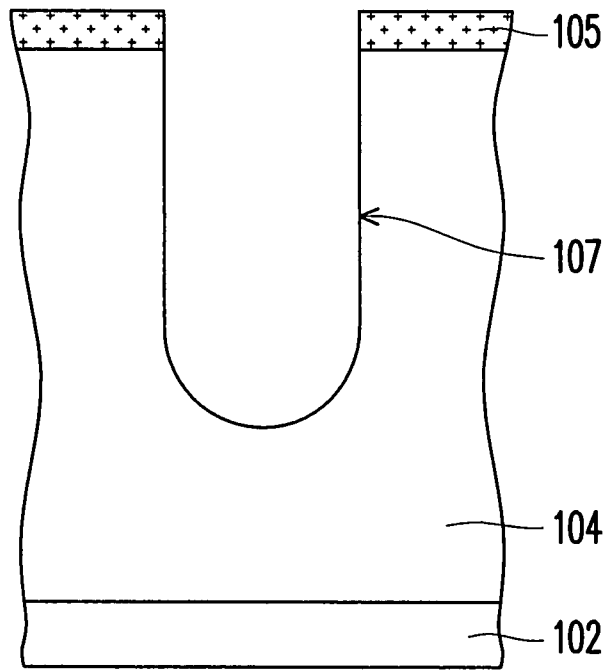


圖 1A

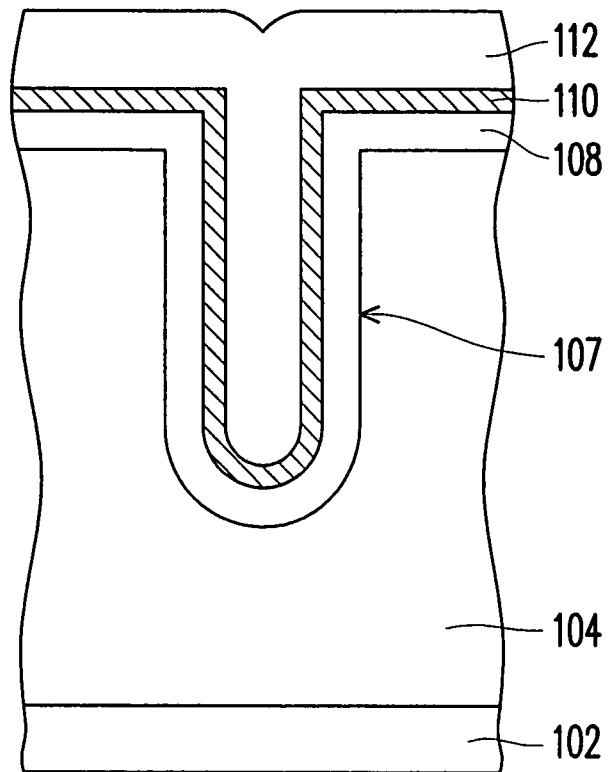


圖 1B

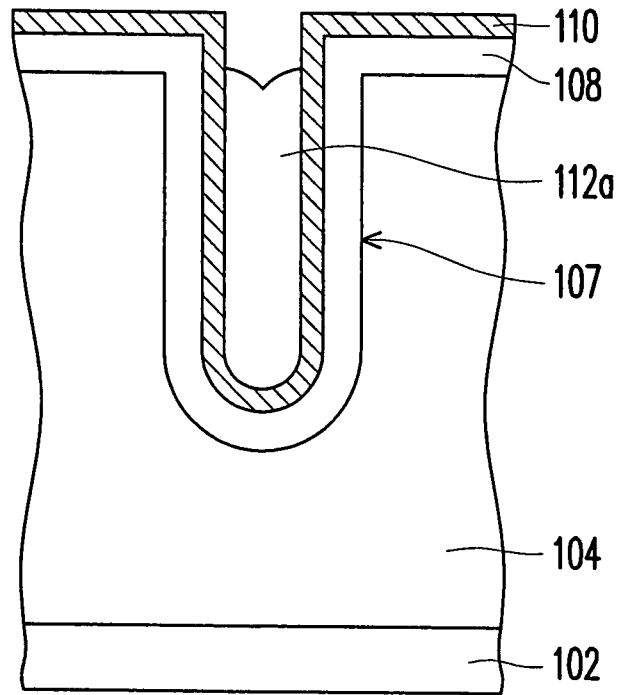


圖 1C

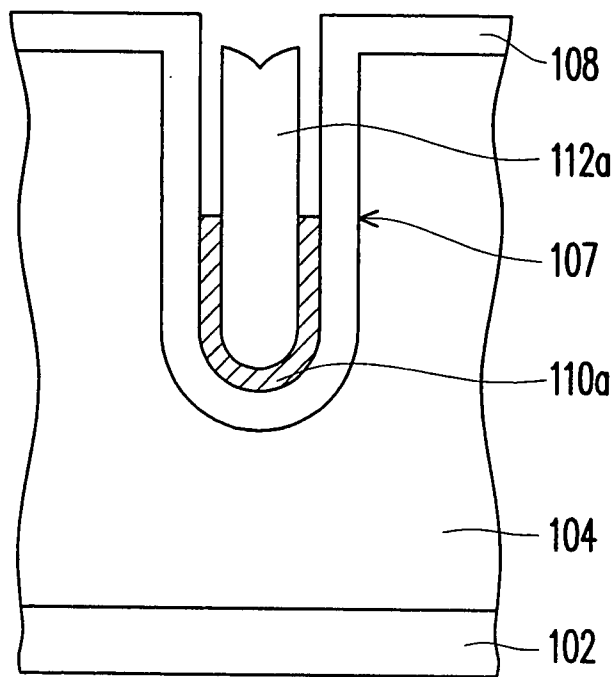


圖 1D

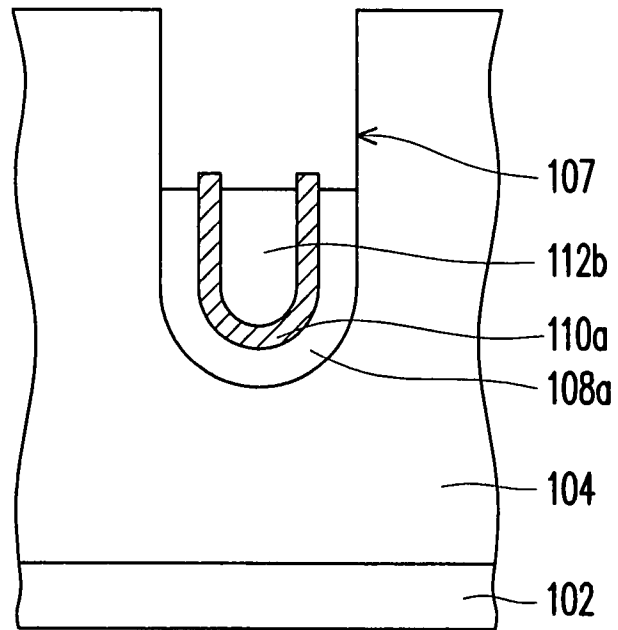


圖 1E

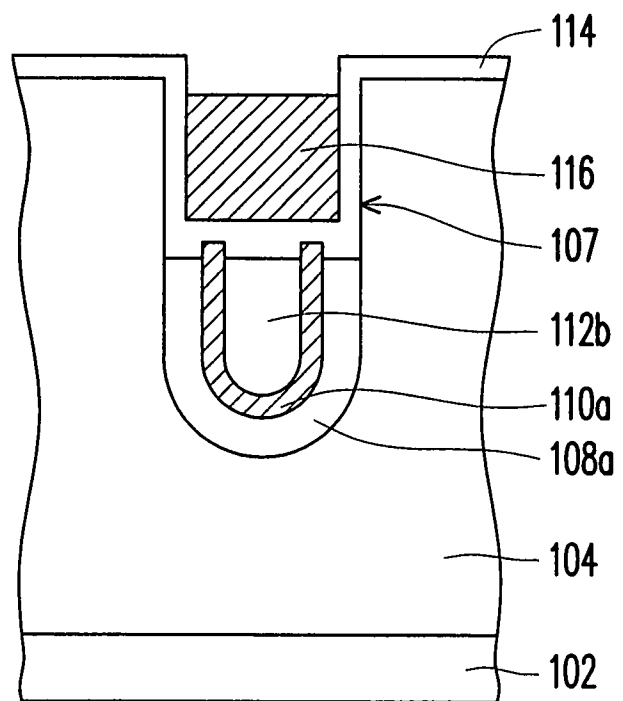


圖 1F

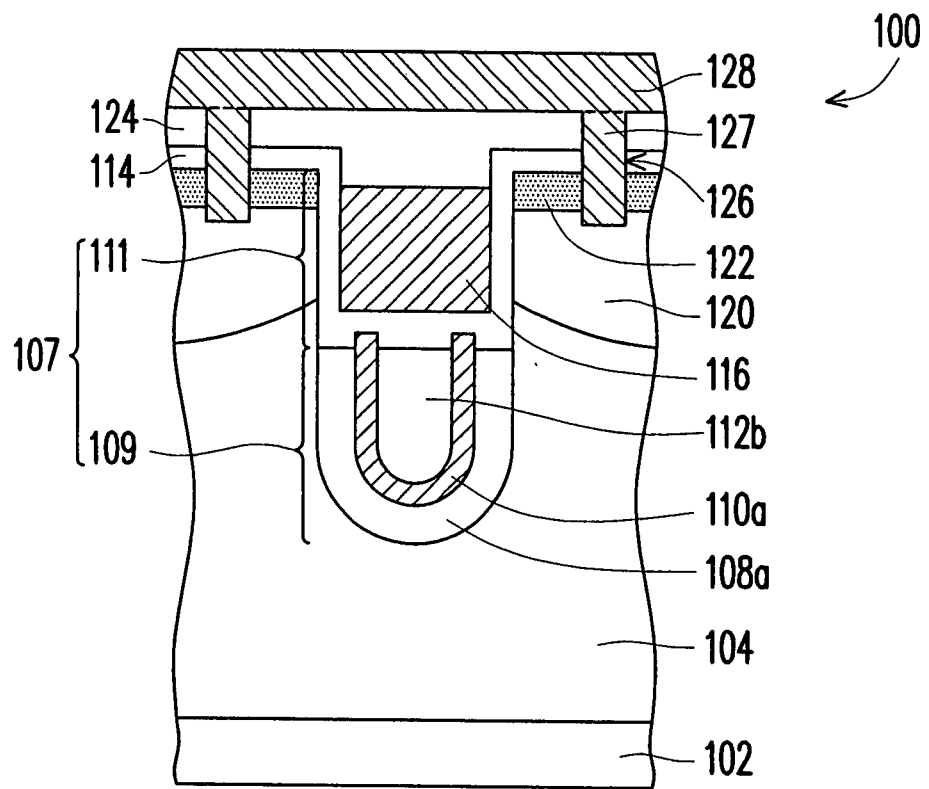


圖 1G

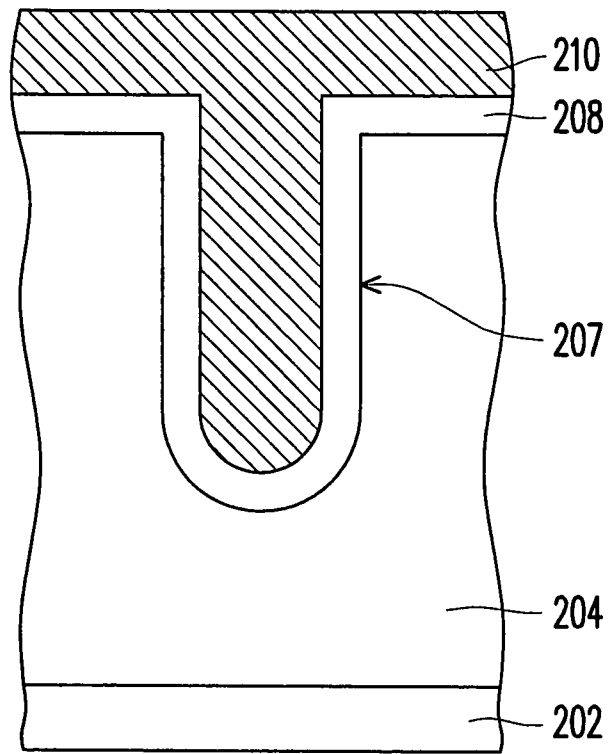


圖 2A

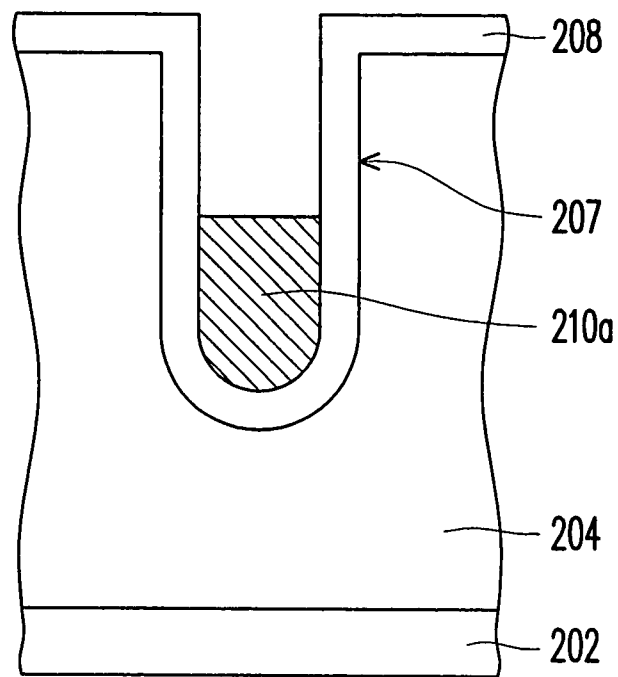


圖 2B

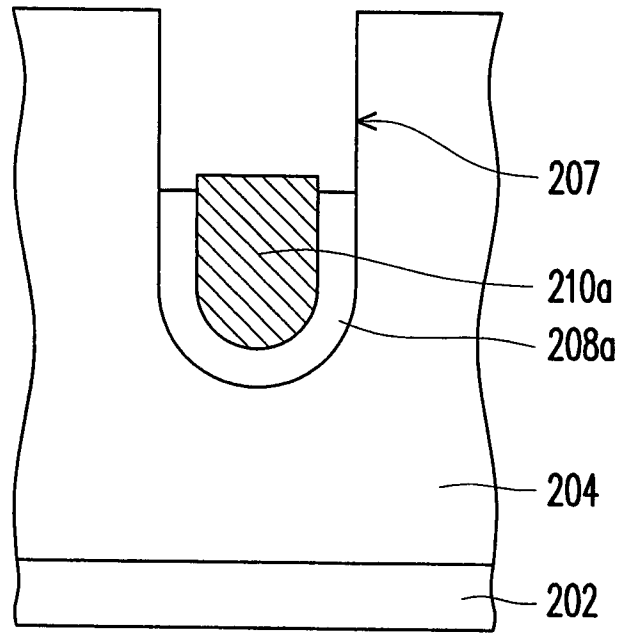


圖 2C

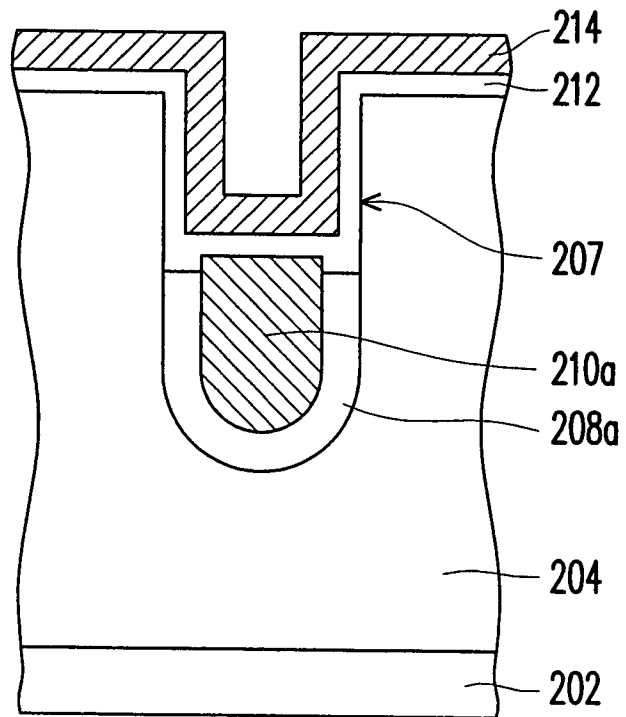


圖 2D

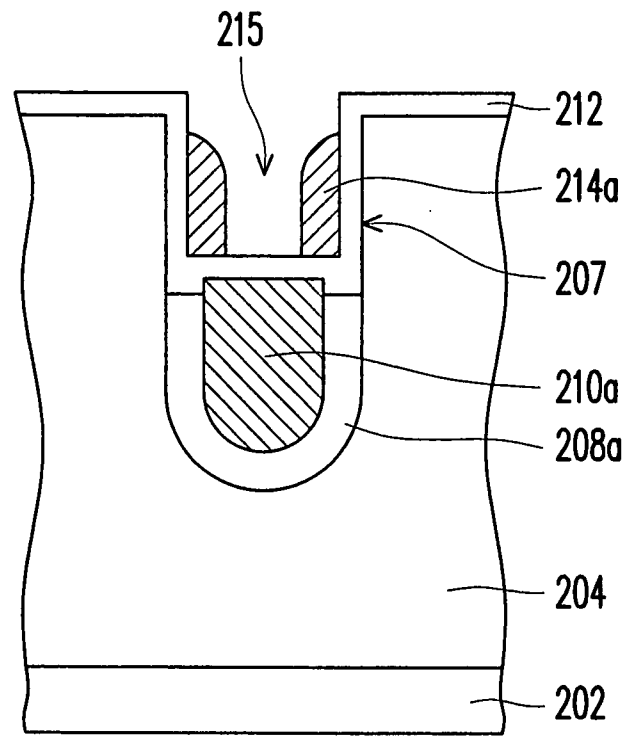


圖 2E

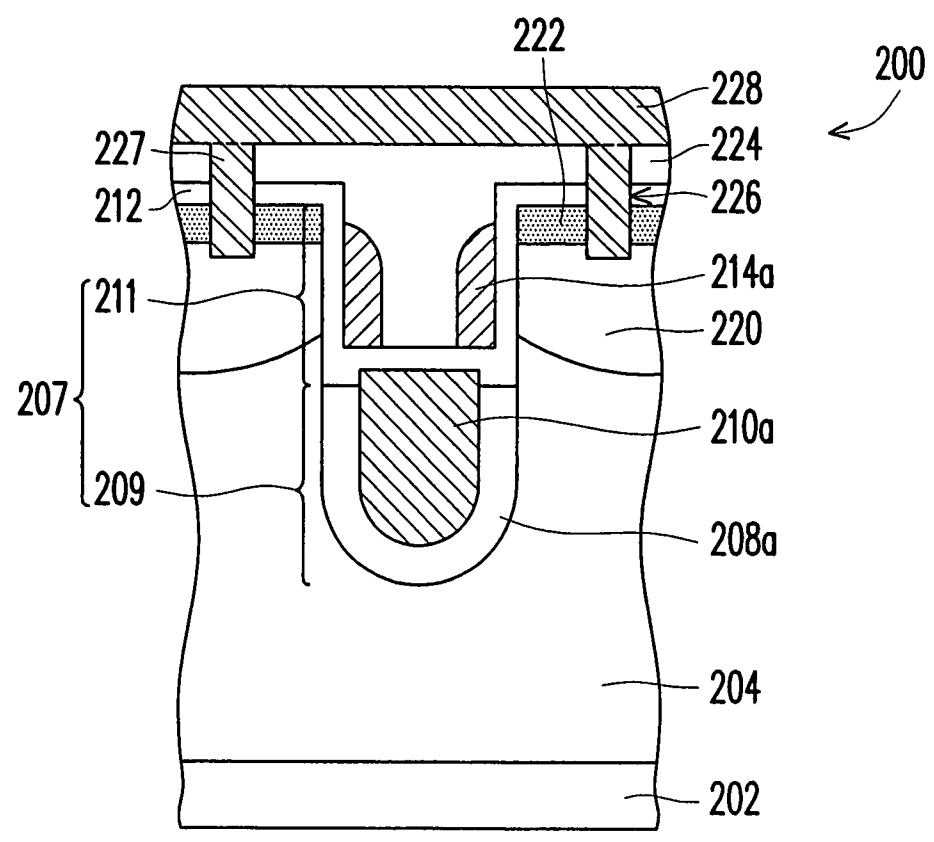


圖 2F



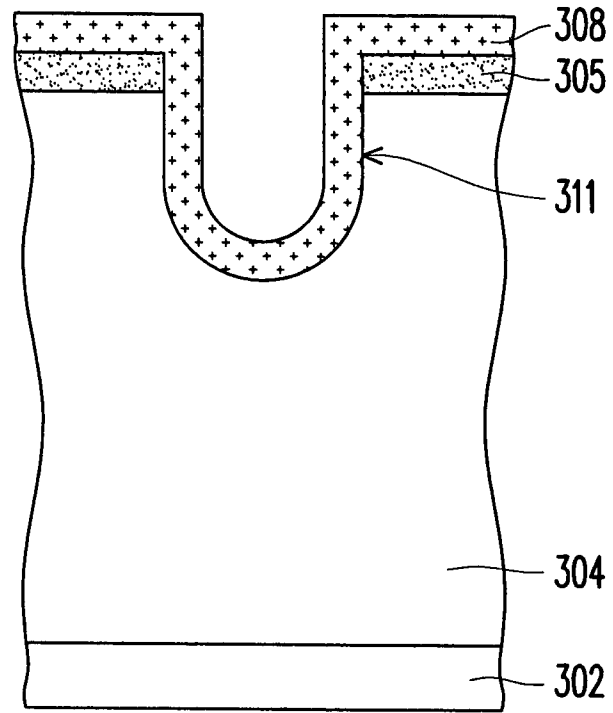


圖 3A

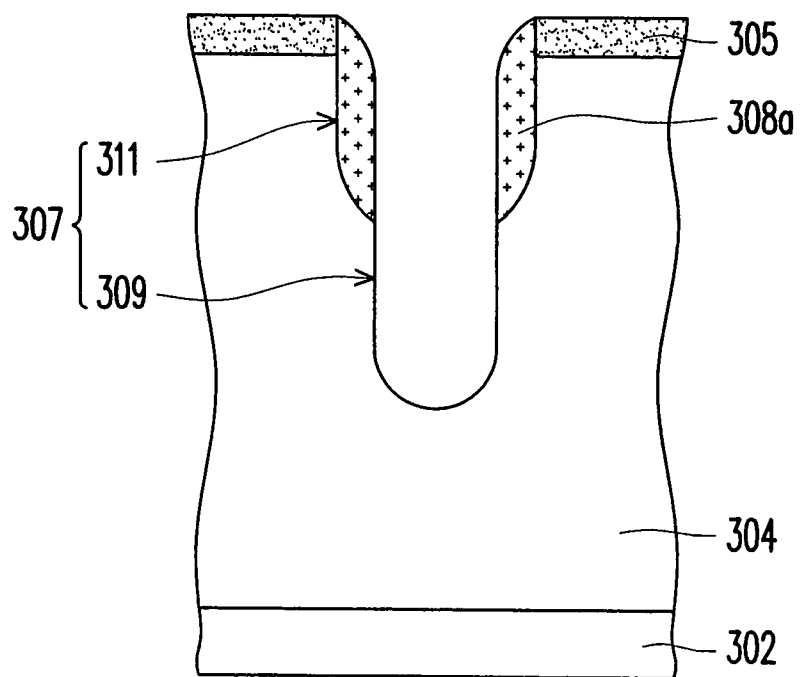


圖 3B

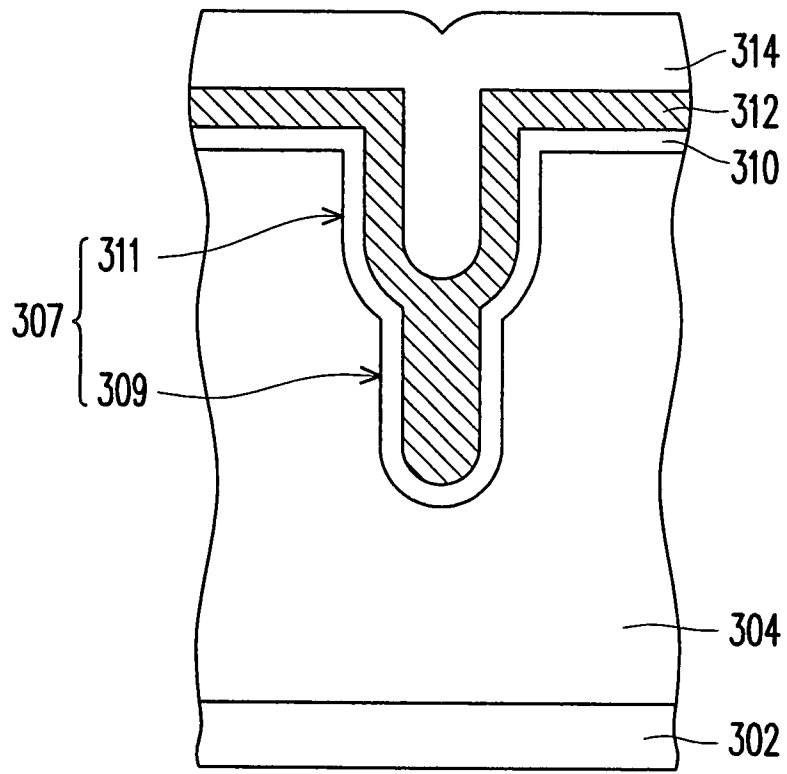


圖 3C

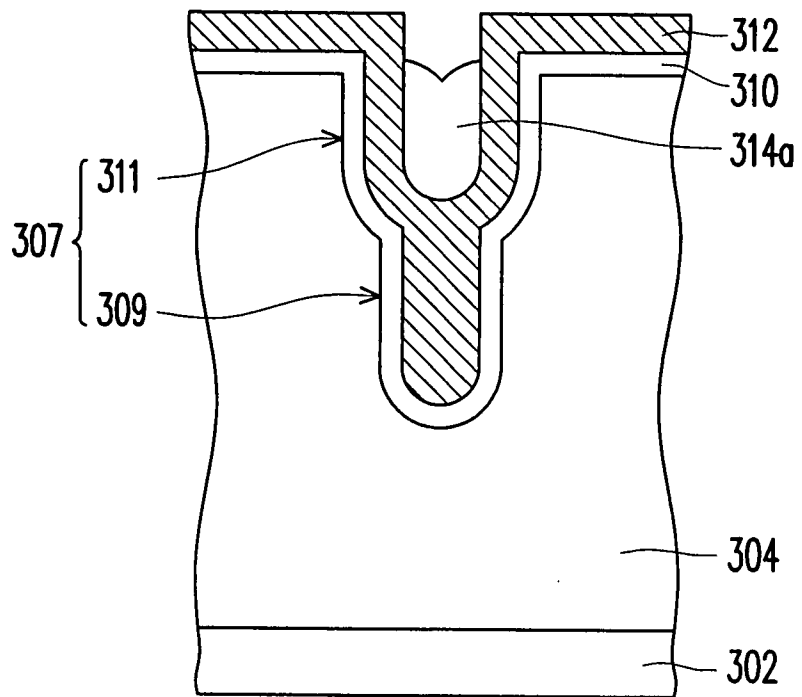


圖 3D

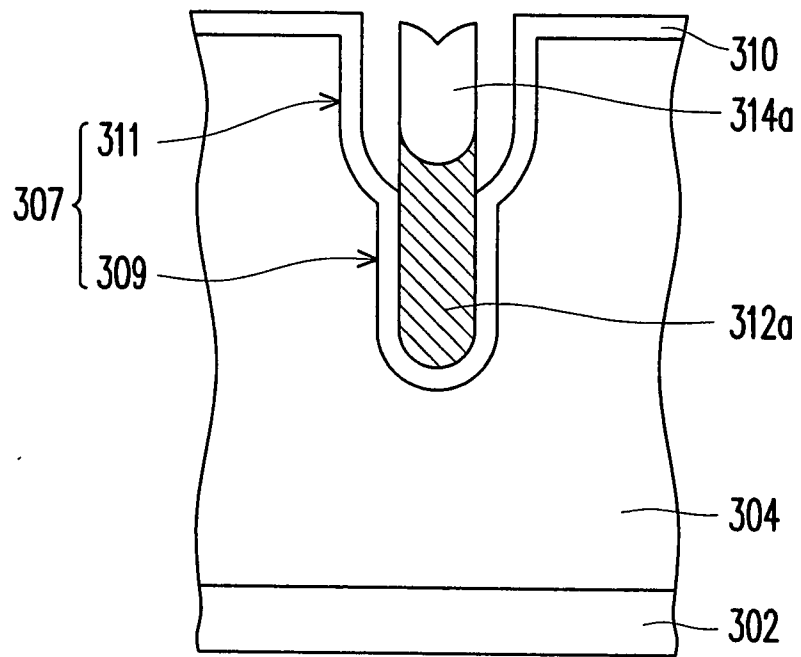


圖 3E

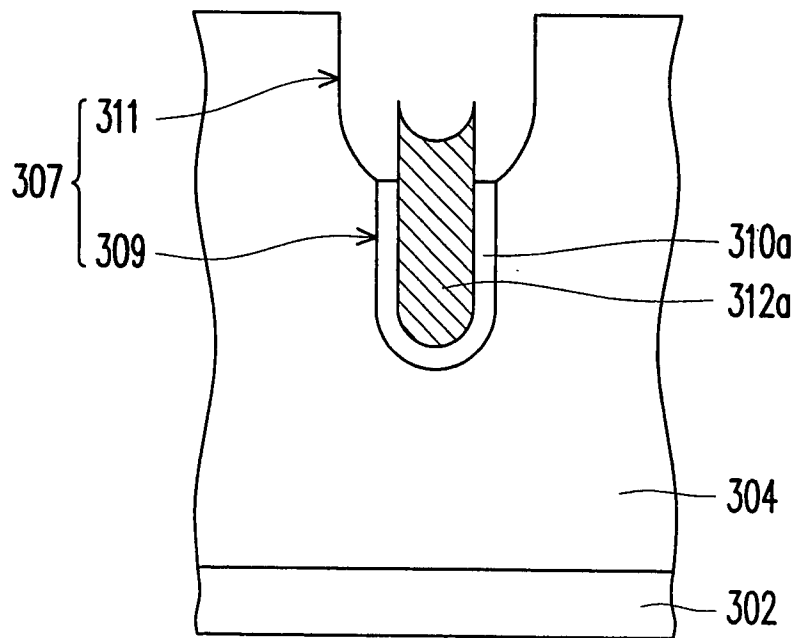


圖 3F

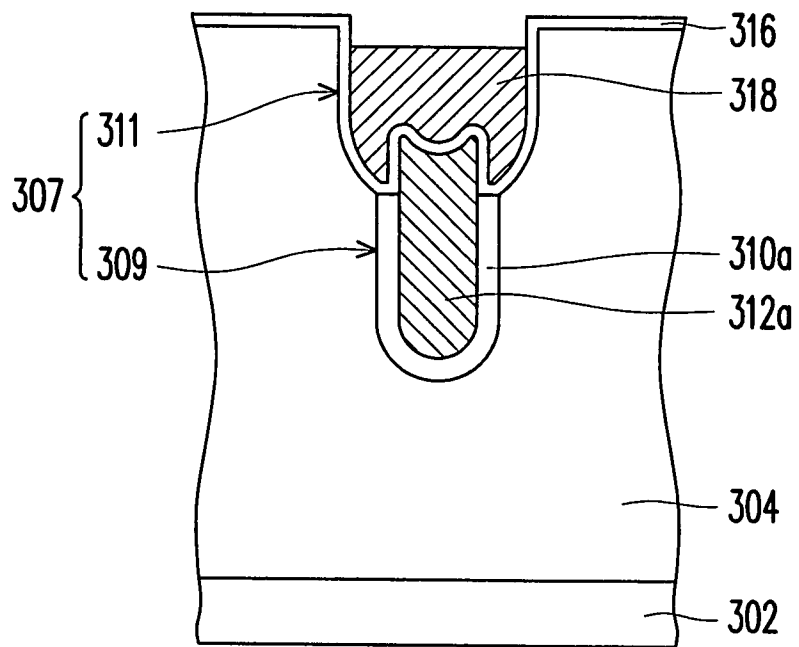


圖 3G

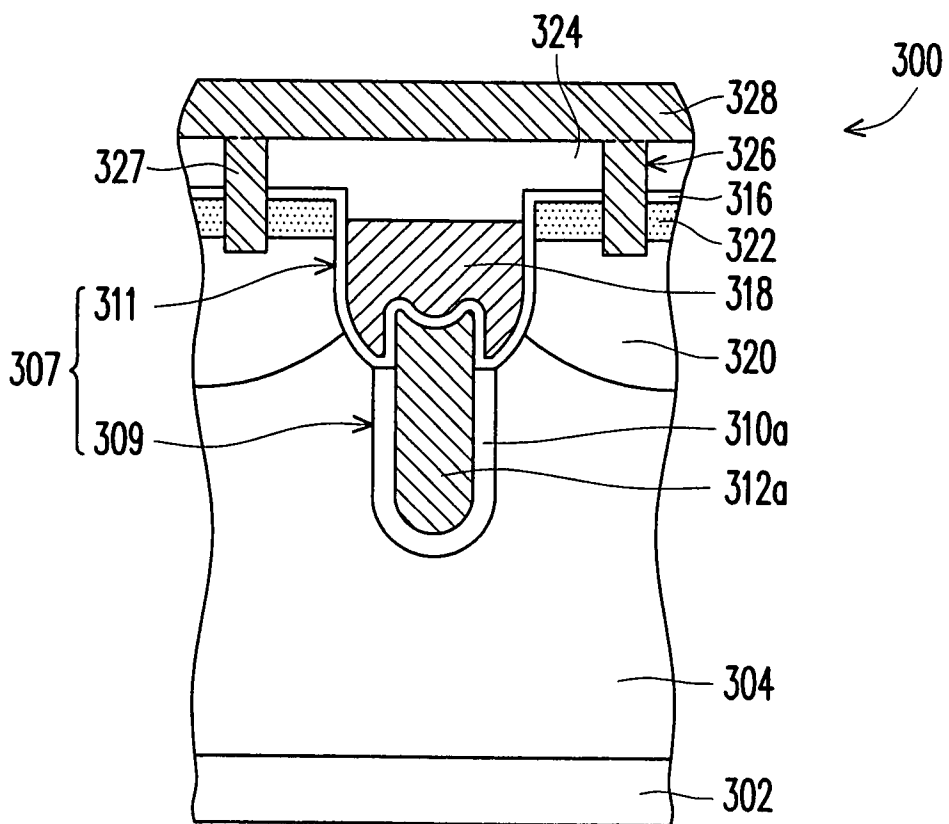


圖 3H



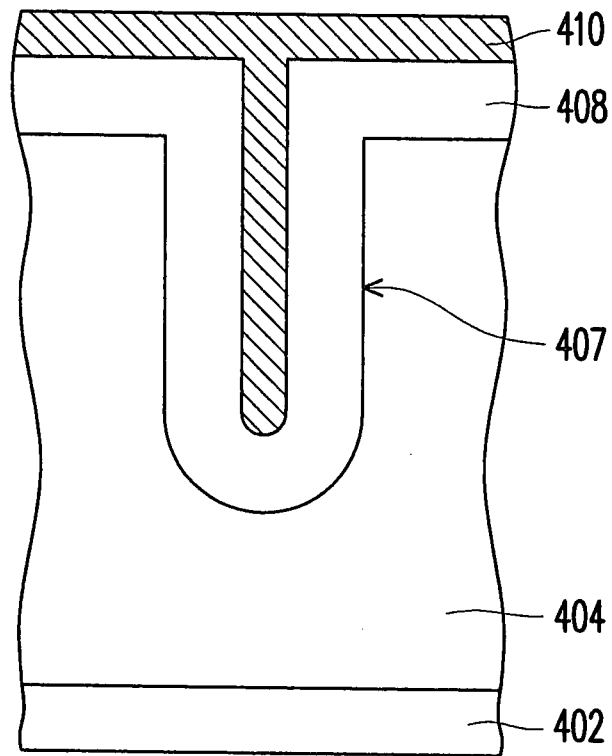


圖 4A

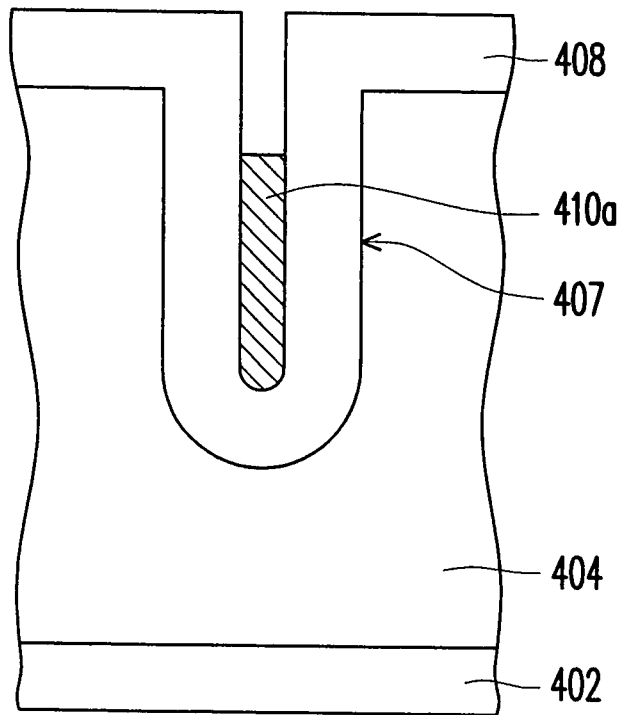


圖 4B

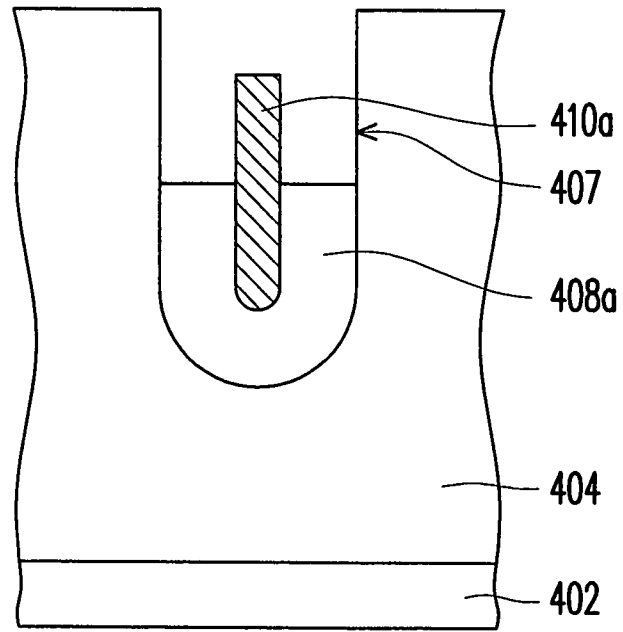


圖 4C

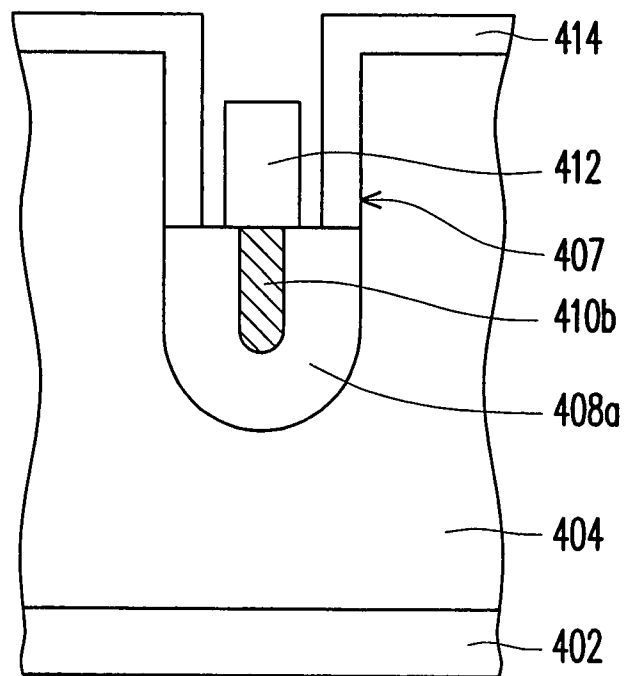


圖 4D

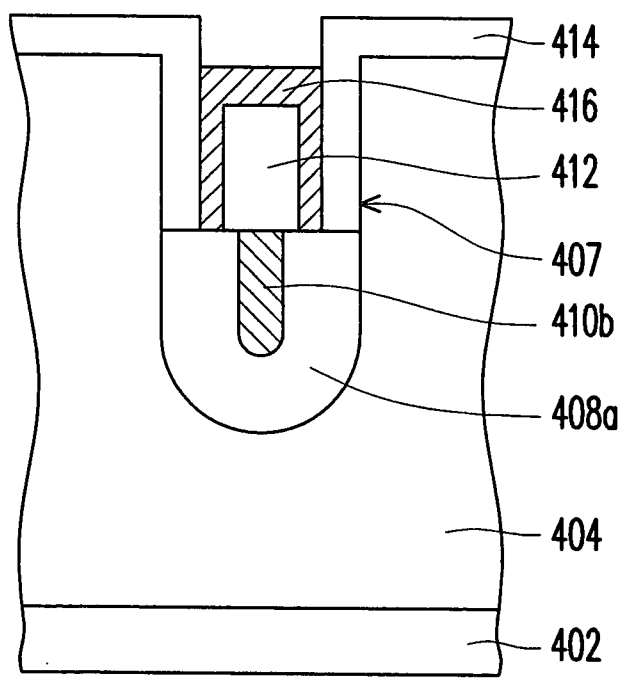


圖 4E

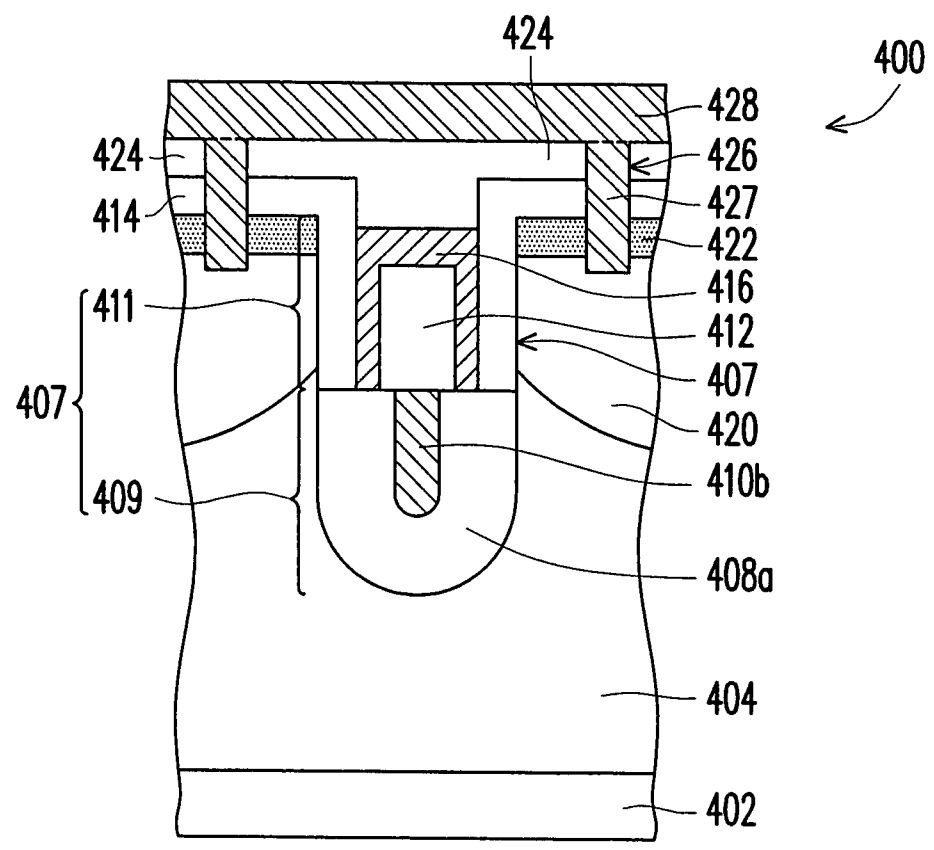


圖 4F