



(12) 发明专利申请

(10) 申请公布号 CN 102210104 A

(43) 申请公布日 2011. 10. 05

(21) 申请号 200980145038. 5

(51) Int. Cl.

(22) 申请日 2009. 11. 13

H03M 1/20(2006. 01)

(30) 优先权数据

12/270, 609 2008. 11. 13 US

(85) PCT申请进入国家阶段日

2011. 05. 11

(86) PCT申请的申请数据

PCT/IB2009/055068 2009. 11. 13

(87) PCT申请的公布数据

W02010/055492 EN 2010. 05. 20

(71) 申请人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

(72) 发明人 米科·沃尔塔力 康斯坦帝诺·帕拉

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 王波波

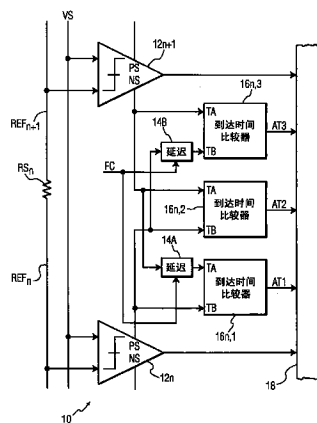
权利要求书 4 页 说明书 11 页 附图 3 页

(54) 发明名称

具有自动反馈校准的时间内插快闪型模数转换器

(57) 摘要

将输入信号与 (2^N-1) 个基准电压进行比较, 以便生成 (2^N-1) 个对应的二进制数值比较信号, 通过可变延迟来对比较信号的至少一个进行延迟, 并且检测已延迟信号与另一个比较信号之间的到达时间差值。基于检测到的到达时间差值, 生成了时间内插信号, 所述时间内插信号对最低有效位量化电平内的多个区段进行编码。基于所述比较信号和时间内插信号生成了 M 位输出数据。检测了 M 位输出数据的代码密度的不均匀性, 并且基于所述检测改变所述延迟。



1. 一种快闪型模数转换器,包括:

快闪型比较器部分,用于将输入信号与 (2^N-1) 个基准电压进行比较,并且生成 (2^N-1) 个对应的二进制数值比较信号,其中相邻的比较信号代表给定的最低有效位量化电平;时间内插编码器,用于检测二进制数值比较信号中的第一比较信号与第二比较信号之间的到达时间差值,并且基于所述差值生成电压内插信号,所述电压内插信号能够对给定的最低有效位量化电平内的多个区段进行编码,并且能够识别哪一个区段与所述输入信号相对应,其中所述时间内插编码器包括至少一个可变延迟单元,用于在检测所述差值之前基于反馈控制信号对所述第一比较信号和所述第二比较信号中的至少一个进行延迟;

解码器,用于基于所述二进制数值比较信号和所述电压内插信号生成代表所述输入信号的 M 位量化的 M 位输出数据,其中 M 是大于 N 的整数;

反馈控制信号生成器,用于生成反馈控制信号,所述生成器包括用于检测 M 位输出数据的代码密度不均匀性的代码密度检测器,其中所述生成器基于检测生成所述控制信号。

2. 根据权利要求 1 所述的快闪型模数转换器,其中所述时间内插编码器基于可变延迟单元的延迟来改变所述区段的宽度。

3. 根据权利要求 1 所述的快闪型模数转换器,其中所述解码器基于 (2^N-1) 个对应的二进制数值比较信号生成 M 位输出数据的 N 位,并且所述 M 位输出数据的 K 位是基于所述电压内插信号,其中所述 K 位中的每一个都代表小于所述给定的最低有效位量化电平的子量化电平。

4. 根据权利要求 3 所述的快闪型模数转换器,

其中在所述给定的最低有效位量化电平中有 2^k 个所述区段,

其中所述 K 位能够编码所述 2^k 个区段的 2^k 个状态,

其中所述反馈控制信号生成器的代码密度检测器包括计数器,用于在能够由 K 位代表的所有状态中出现的均匀性进行计数,并且生成对应的计数结果,以及

其中所述生成器基于所述计数结果生成所述控制信号。

5. 根据权利要求 1 所述的快闪型模数转换器,

其中所述快闪型比较器部分包括:第一信号电平比较器,用于响应于采样时钟将所述输入信号与第一基准电压进行比较,并且在第一延迟时间生成对应的第一比较信号,所述第一延迟时间表示所述输入信号与第一基准电压之间的差值;以及第二信号电平比较器,用于响应于采样时钟将所述输入信号与第二基准电压进行比较,并且在第二延迟时间生成对应的第二比较信号,所述第二延迟时间表示所述输入信号与第二基准电压之间的差值,

其中所述时间内插编码器包括第一到达时间检测器,用于检测所述第一延迟时间和所述第二延迟时间之间的差值,并且基于检测的差值生成所述电压内插信号的第一电压内插信号,所述第一电压内插信号具有二进制状态,所述二进制状态代表所述最低有效位量化电平一半的子量化电平。

6. 根据权利要求 5 所述的快闪型模数转换器,其中所述第二信号电平比较器能够输出实质上与所述第二比较信号同时发生的负的第二比较信号,以及

其中所述时间内插编码器还包括:

可控第一延迟单元,用于接收所述反馈控制信号和负的第二比较信号,并且生成已延迟的负的第二比较信号,所述已延迟的负的第二比较信号基于所述延迟控制信号相对于所

述负的所述第二比较信号具有延迟,以及

第二到达时间检测器,用于检测所述第一延迟时间与已延迟的负的所述第二比较信号的出现之间的差值,以便基于所述检测到的差值生成所述电压内插信号的第二电压内插信号,所述第二电压内插信号具有二进制状态,所述二进制状态代表在所述第二量化电平内的多个子区段中的第一和第二子区段,所述子区段中的每一个都代表大约所述子量化电平的一半。

7. 根据权利要求 6 所述的快闪型模数转换器,其中所述时间内插编码器还包括:

可控第二延迟单元,用于接收所述反馈控制信号和所述第一比较信号,并且生成已延迟的第一比较信号,所述已延迟的第一比较信号基于所述延迟控制信号相对于所述第一比较信号具有延迟,以及

第三到达时间检测器,用于检测所述第二延迟时间与已延迟的第一比较信号的出现之间的差值,以便基于检测到的差值生成所述电压内插信号的第三电压内插信号,所述第三电压内插信号代表第三和第四所述子区段。

8. 根据权利要求 3 所述的快闪型模数转换器,还包括:

多电平反馈控制信号生成器,用于基于所述反馈控制信号生成 $(2^{k-1}-1)$ 个低电平反馈控制信号,以及

其中所述快闪型比较器部分包括:第一信号电平比较器,用于响应于采样时钟将所述输入信号与第一基准电压进行比较,并且在第一延迟时间生成对应的第一比较信号,所述第一延迟时间表示所述输入信号与第一基准电压之间的差值;以及第二信号电平比较器,用于响应于采样时钟将所述输入信号与第二基准电压进行比较,并且在第二延迟时间生成对应的第二比较信号,所述第二延迟时间表示所述输入信号与第二基准电压之间的差值,

其中所述时间内插编码器包括:

第一可控延迟,用于基于所述 $(2^{k-1}-1)$ 个低电平反馈控制信号,同时生成所述第一比较信号的 $(2^{k-1}-1)$ 个不同延迟,

第二可控延迟,用于基于所述 $(2^{k-1}-1)$ 个低电平反馈控制信号,同时生成所述第二比较信号的 $(2^{k-1}-1)$ 个不同延迟,

多电平延迟到达时间检测器,用于检测所述第一延迟时间和所述第二延迟时间之间的差值,用于检测所述第一延迟时间和所述第二比较信号的所述 $(2^{k-1}-1)$ 个不同延迟的每一个的出现之间的差值,以及用于检测所述第二延迟时间和所述第一比较信号的所述 $(2^{k-1}-1)$ 个不同延迟的每一个的出现之间的差值,并且基于所述检测生成 2^{k-1} 个电压内插信号,

其中所述第一比较信号、所述第二比较信号和所述 2^{k-1} 个电压内插信号代表在所述最低有效位量化电平内的 2^k 个区段。

9. 一种快闪型模数转换方法,包括:

将输入信号与 (2^N-1) 个基准电压进行比较;

基于所述比较生成 (2^N-1) 个对应的二进制数值比较信号,其中相邻的比较信号代表给定的最低有效位量化电平;

检测二进制数值比较信号中的第一比较信号与第二比较信号之间的到达时间差值,并且基于所述差值生成第一到达信号,其中所述检测包括在检测所述差值之前对所述第一比

较信号和所述第二比较信号中的至少一个进行延迟；

生成电压内插信号，所述电压内插信号能够对给定的最低有效位量化电平内的多个区段进行编码，并且能够识别哪一个区段与所述输入信号相对应，所述生成基于所述第一到达信号；

基于所述二进制数值比较信号和所述电压内插信号，生成代表所述输入信号的 M 位量化的 M 位输出数据；

检测 M 位输出数据的代码密度不均匀性，并且生成对应的均匀性误差数据；

基于所述均匀性误差数据生成反馈控制信号；以及

基于所述反馈控制信号改变所述延迟。

10. 根据权利要求 9 所述的快闪型模数转换方法，其中所述生成电压内插信号基于所述延迟生成了所述反馈控制信号，以改变所述区段的宽度。

11. 根据权利要求 9 所述的快闪型模数转换方法，其中所述生成 M 位输出数据基于所述电压内插信号生成了所述 M 位输出数据的 K 位。

12. 根据权利要求 11 所述的快闪型模数转换方法，

其中在所述给定的最低有效位量化电平中有 2^k 个所述区段，

其中所述 K 位能够编码所述 2^k 个区段的 2^k 个状态，

其中所述代码密度检测包括在能够由 K 位代表的所有状态中出现的均匀性进行计数，并且生成对应的计数结果，以及

其中所述生成控制信号是基于所述计数结果。

13. 根据权利要求 9 所述的快闪型模数转换方法，

其中将所述输入信号与 (2^N-1) 个基准电压进行比较包括响应于采样时钟将所述输入信号与第一基准电压进行比较，以及基于所述比较在第一延迟时间生成对应的第一比较信号，所述第一延迟时间表示所述输入信号与第一基准电压之间的差值，

响应于采样时钟将所述输入信号与第二基准电压进行比较，并且基于所述比较在第二延迟时间生成对应的第二比较信号，所述第二延迟时间表示所述输入信号与第二基准电压之间的差值，

其中所述时间内插编码包括检测所述第一延迟时间和第二延迟时间之间的差值，以及

基于所述检测的差值，生成所述电压内插信号的第一电压内插信号，所述第一电压内插信号具有二进制状态，所述二进制状态代表所述最低有效位量化电平一半的子量化电平。

14. 根据权利要求 13 所述的快闪型模数转换方法，其中所述时间内插编码还包括：

生成已延迟的第一比较信号，所述已延迟的第一比较信号基于所述反馈控制信号相对于所述第一比较信号具有延迟，

检测第二延迟时间与已延迟的第一比较信号的出现之间的差值，以及

基于检测到的差值，生成所述电压内插信号的第三电压内插信号，所述第三电压内插信号代表第三和第四所述子区段。

15. 根据权利要求 11 所述的快闪型模数转换方法，其中所述生成反馈控制信号包括生成 $(2^{k-1}-1)$ 个低电平反馈控制信号，并且所述方法还包括：

基于所述 $(2^{k-1}-1)$ 个低电平反馈控制信号，同时生成所述第一比较信号的 $(2^{k-1}-1)$ 个

不同延迟；

基于所述 $(2^{k-1}-1)$ 个低电平反馈控制信号,同时生成所述第二比较信号的 $(2^{k-1}-1)$ 个不同延迟;以及

生成 (2^k-1) 个电压内插信号,所述生成基于检测所述第一延迟时间与第二延迟时间之间的差值,

检测所述第一延迟时间和所述第二比较信号的所述 $(2^{k-1}-1)$ 个不同延迟的每一个的出现之间的差值,并且检测所述第二延迟时间和所述第一比较信号的所述 $(2^{k-1}-1)$ 个不同延迟的每一个的出现之间的差值,

其中所述第一比较信号、所述第二比较信号和所述 2^{k-1} 个电压内插信号代表在所述最低有效位量化电平内的 2^k 个区段。

具有自动反馈校准的时间内插快闪型模数转换器

[0001] 本申请是 2007 年 12 月 13 递交的美国专利申请 No. 12/002, 153 的部分接续申请。

技术领域

[0002] 实施例通常涉及模数转换电路, 并且更具体地涉及快闪型模数转换电路。

背景技术

[0003] 在基本形式中, N 位快闪型模数 (A/D) 转换器 (以下称作“ADC”) 具有 (2^N-1) 个比较器, 按主要次序 (cardinal order) 设置用于将相同的输入信号与 (2^N-1) 个等间距基准电压的各个主要次序进行比较。每个比较器和与其相邻的高位和 / 或低位比较器之间的电压间隔典型地是 N 位输出的一个最低有效位 (LSB)。

[0004] 在操作中, 全部 (2^N-1) 个比较器都接收相同的采样时钟 (在采样率下典型地周期性), 并且在每一个时钟脉冲生成宽边输出 (broadside output), 对于所述信号超过基准电压的所有比较器 (如果有的话) 该输出为“1”, 而对于所有具有高基准电压的比较器 (如果有的话) 该输出为“0”。 (2^N-1) 个比较器的宽边输出有时被称作“温度计代码”, 因为它可以显现为类似于液柱温度计, 其中所述液体 (例如水银) 上升到与所述温度相对应的点。

[0005] 解码逻辑对二进制输出的宽边进行解码, 以便生成二进制 N 位数据, 按照 (2^N-1) 个比较器的主要次序, 所述 N 位数据代表生成“1”的比较器哪一个具有最高的基准电压。不同地表述, 如果生成“1”的比较器被认为是温度计柱, 那么所述解码逻辑生成代表所述柱“顶部”比较器的二进制 N 位数据。

[0006] 快闪型 ADC 的一个显著特征是速度。ADC 能够实现高速转换, 因为在基本形式中每一个采样只需要一个时钟。这不同于其他已知的 ADC 结构, 例如使用多个时钟周期来转换信号的连续近似 (SAR) ADC。

[0007] 然而构建现有技术快闪型 ADC 所需的比较器数量与位数指数相关。简而言之, N 位的分辨率需要 (2^N-1) 个比较器。

[0008] 作为例证, 基本的 4 位快闪型 ADC (假定输出“位”是二进制数值) 将输入转换为 16 个电平之一, 并且因此需要 15 个比较器 (0 值不需要比较器)。8 位快闪型 ADC 需要 255 个电压比较器。就当前的 A/D 现有技术而言, 已经实现了 255 个比较器和所有所需支持电路在可接受的尺寸和可接受的功率损耗封装中的经济实施。10 位的实际快闪型 ADC, 意味着在单个时钟中有 10 位, 需要 1023 个比较器。

[0009] 对 (2^N-1) 个比较器的需求造成了许多问题。

[0010] 一个问题就是每一个比较器都需要芯片面积, 并且因此作为粗略估计在分辨率中每增加一位可能需要大概两倍的芯片面积。

[0011] 另一个问题是时钟比较器电路具有各种电容, 并且需要电流对这些电容进行充电和放电。作为粗略估计, 在分辨率中每增加一位可能大约加倍功率损耗。出于本领域普通技术人员公知的原因, 这些功率问题在较高的采样率下可能会明显地显现。

[0012] 由对 (2^N-1) 个比较器的需求带来的另一个问题是, 对于理想的性能 (意味着最大

的采样率与最小的噪声和失真),快闪型 ADC 的输入放大器必须在快的转换频率下传输高电流。其原因是 (2^N-1) 个比较器中的每一个的输入都具有电容。缓冲器的多级、扇出结构可能是不可接受的,因为这样引入了各种失真和带宽减小。出于这个原因,当争取最大速度和精度快闪型 ADC 时,将单个放大器输出与所有信号电平比较器直接相连是优选的。在这种情况下,输入放大器必须有效地驱动 (2^N-1) 个并联电容器的负载。

[0013] 除了结构性开销 (structural overhead) 的上述示例问题 (例如功率损耗以及输入放大器需求) 之外又加剧了上述示例问题的其他问题是对 (2^N-1) 个比较器的现有需求必然引入噪声和线性度问题。基本上,位数的每次加倍都会使连续比较器之间的电压差减半。这样进而减小了对比较器不精确的容忍度,并且增加了比较器对噪声诱发误差的敏感性。此外,针对控制这种比较器精度和噪声问题的电路技术和设计方法,除了直接成本外,通常需要 ADC 成本的让步。

[0014] 已经确定了用于减轻或者改善这类问题一些的方法,并且在某些情况下,有一些可以被使用。然而,全部都有可观的成本。

[0015] 这种方法的一个示例是分级 ADC。在基本形式中,分级 ADC 使用多个步骤序列执行 N 位量化。通常,使用实质上相同数量的信号电平比较器,每一个附加步骤提供分辨率的一位理论增加。然而,分级 ADC 具有成本。降低量化速度是最先的也是最重要的。每一个附加步骤把最大速度减少了一半。由内部采样保持电路延长的“保持”时间带来的失真和噪声是另一个问题。

[0016] 应当理解,除非另有说明或从上下文中明确地表示出其他的意思,术语“X 位快闪型 ADC”意味着在单相时钟的一个周期内将输入信号转换为二进制 X 位采样数据的快闪型 ADC,其中“X”是任意字符。

[0017] 还应当理解,除非另有说明或从上下文中明确地表示出其他的意思,在此使用的术语“X 位快闪型 ADC”包含任何其他例如多于 X 位分辨率的 ADC 的任何 X 位 A/D 部分或者任何等同的 X 位分辨率量化部分。

发明内容

[0018] 除了其他特征和益处外,本发明提供了一种在新颖的结构和设置中的快闪型 ADC,所述快闪型 ADC 只采用与 (2^N-1) 个基准电压相连的 (2^N-1) 个信号电平比较器来生成 M 位数据采样流,其中 M 是大于 N 的整数,每一个 M 位采样只需要与 (2^N-1) 个信号电平比较器相比较一次。

[0019] 除了其他特征和益处外,各种典型实施例提供了一种快闪型 ADC,对于任何给定数量的信号电平比较器和基准电压,所述快闪型 ADC 具有比现有技术快闪型 ADC 可达到的位数还高的分辨率位数。

[0020] 一个实施例提供了一种快闪型模数转换器,包括:快闪型比较器部分,用于将输入信号与 (2^N-1) 个基准电压进行比较,并且生成 (2^N-1) 个对应的二进制数值比较信号,其中相邻的比较信号代表给定的最低有效位量化电平;时间内插编码器,用于检测二进制数值比较信号中的第一比较信号与第二比较信号之间的到达时间差值,并且基于所述差值来生成电压内插信号,所述电压内插信号能够对给定的最低有效位量化电平内的多个区段 (bins) 进行编码,并且能够识别哪一个区段与所述输入信号相对应,其中所述时间内插编

码器包括至少一个可变延迟单元,用于在检测所述差值之前基于控制信号对所述第一比较信号和所述第二比较信号中的至少一个进行延迟;解码器,用于基于所述二进制数值比较信号和所述电压内插信号生成代表所述输入信号的M位量化的M位输出数据,M大于N;以及反馈控制信号生成器,用于生成控制信号,所述生成器包括用于检测M位输出数据代码密度不均匀性的代码密度检测器,其中所述生成器基于检测生成所述控制信号。

[0021] 一个实施例提供了一种快闪型模数转换方法,包括:将输入信号与 (2^N-1) 个基准电压进行比较,并且生成 (2^N-1) 个对应的二进制数值比较信号,其中相邻的比较信号代表给定的最低有效位量化电平;检测二进制数值比较信号中的第一比较信号与第二比较信号之间的到达时间差值,并且基于所述差值生成第一到达信号,其中所述检测包括在检测所述差值之前对所述第一比较信号和所述第二比较信号中的至少一个进行延迟;生成电压内插信号,所述电压内插信号能够对给定的最低有效位量化电平内的多个区段进行编码,并且能够识别哪一个区段与所述输入信号相对应,所述生成基于所述第一到达信号;基于所述二进制数值比较信号和所述电压内插信号生成代表所述输入信号的M位量化的M位输出数据,M大于N;检测M位输出数据的代码密度不均匀性,并且生成对应的均匀性误差数据;以及基于所述均匀性误差数据生成反馈控制信号。

[0022] 根据这些和其他各种典型实施例的一个或者多个方面,所述代码密度校准控制器测量代码密度的均匀性,并且生成所述控制信号用于按照增加均匀性量度的方向改变延迟持续时间。

[0023] 正如在下文中更详细的描述,根据具有基于代码密度检测的可变延迟的各种典型实施例的一个或者多个方面,提供了自动的、基于反馈的线性度校准,所述校准与常规快闪型ADC相比具有K个附加位的分辨率。

[0024] 无需附加的信号电平比较器实现K个附加位的分辨率消除了先前快闪型ADC所固有的显著的性能限制。例如,除了其他益处和特征外,本发明能够在没有实质上增加驱动ADC的输入放大器可见的电容负载增加的情况下实现了附加位的分辨率。

[0025] 本发明的上述优势和特征只是由各种典型实施例提供的一些示例,并非意欲排除性地或者限制可被认识到的可能优势。

[0026] 从在此的描述中可以看出并且可以从包括各种典型实施例中的一个或者多个系统和方法的实践中了解各种典型实施例的这些和其他优势。所述各种典型实施例既可以是已经在此阐释和具体描述的,也可以是由于本领域普通技术人员所理解的任何变化改变了的。

附图说明

[0027] 图1示出了基于信号电平比较器进行量化的示例快闪型ADC部分,所述快闪型ADC具有带有负反馈校准的时间内插子量化。

[0028] 图2示出了对于正确延迟的示例量化电平和密度,利用具有带有负反馈校准的时间内插子量化的快闪型ADC获得,并且示出了延迟中的不期望变化的示例,以及

[0029] 图3示出了根据一个实施例所述的示例负反馈校准的功能框图。

具体实施方式

[0030] 描述了用于实践本发明的某些实施例、特征、方面和阐释性示例。所述描述是本发明的。为了避免混淆新颖的特征和方面，并且为了容易地使本领域普通技术人员对本发明彻底理解，所述描述可能省略了技术人员已知方法和技术的各种细节，当阅读本说明书时，本领域普通技术人员将容易地把所述细节识别为适用于实践所述申请保护的发明。

[0031] 应当理解，具体的示例只用于通过阐释性示例的方式方便对本发明的理解，并且更进一步地本发明不受限于通过附图描述和描绘的具体示例。在阅读本说明书时，本领域普通技术人员可以容易地认识到和实现其他结构和设置。

[0032] 可以单独地和 / 或作为具有某种差异地描述各种实施例和方面。然而，单独的描述和 / 或某种差异的描述不一定意味着所述实施例或者方面互相排斥。例如，在关于一个实施例所描述的具体特征、功能或者特性可以包括在或者适用于其他实施例。

[0033] 所述说明书涉及附图，所述附图形成了本说明书的一部分。

[0034] 应当理解，出现在不同附图中的类似数字提及了在相同或者不同实施例的不同附图之间是，或者可能是，等同的或者实质上等同的功能框或者项目。然而，还应当理解，除非另有说明或从具体的上下文中明确地表示，否则表现不同的不同数字不意味着各个功能或者项目不能是功能性或者结构性等同的。

[0035] 根据各种典型实施例，ADC 只使用与 (2^N-1) 个基准电压的单个比较生成 M 位二进制代码，其中 N 是小于 M 的整数。

[0036] 将描述阐释了一个通用实施例的示例。替代实施例及其变体的阐释性示例将在下文中详细描述。

[0037] 在一个示例中，设置了 (2^N-1) 个信号电平比较器，每一个都与 (2^N-1) 个基准电压其中之一相连。所述 (2^N-1) 个基准电压可以通过例如用在常规的 N 位快闪型 ADC 中的常规的分压器电路生成。相邻信号电平比较器之间的电压差是给定的基准电压 V_{ref} 除以 2^N 。应当理解，该电压差与由常规 N 位快闪型 ADC 的一个最低有效位代表的电压是相同的，所述快闪型 ADC 具有其所需的 (2^N-1) 个基准电压和信号电平比较器。在本说明书中该电压差被称作 NLSB。

[0038] 输入信号通过例如常规的低噪声缓冲放大器与 (2^N-1) 个信号电平比较器中的每一个的“+”输入相连。 (2^N-1) 个信号电平比较器中的每一个还具有与比较器对应的基准电压相连的“-”输入。应当理解，提及信号电平比较器输入的“+”和“-”标记是任意的。当阅读本说明书时，本领域普通技术人员应当理解，指定哪一个输入为“-”，哪一个为“+”，以及信号电平比较器的哪一个信号电平代表哪一个与信号电平比较器的“+”和“-”输入之一相连的输入信号和与“+”和“-”输入中的另一个相连的基准信号的比较结果是设计选择，可以容易地由技术人员利用其所拥有的专有技术做出所述选择，应用于本公开的教义。

[0039] 在一个示例中，采样时钟与所有的信号电平比较器相连。所述采样时钟可以是周期性的，但不一定是周期性的，具有时钟频率和 $1/F = T$ 的时钟周期。

[0040] 响应于确定的采样事件，例如所述时钟的前沿或者后沿， (2^N-1) 个信号电平比较器中的每一个都生成一个比较器信号，在本示例中所述比较器信号是具有两个电平之一的二进制信号，其中一个代表逻辑“0”而另一个代表逻辑“1”。在一个示例中，如果在相对于采样事件的采样时间，所述输入信号小于与所述比较器相关的基准电压，那么生成逻辑“0”，而如果在采样时间所述输入信号大于或者等于与所述比较器相关的基准电压，那么生

成逻辑“1”。在下文中信号电平比较器中的每一个的各个输出都被称作“比较结果信号”。出于把描述集中在能够使本领域普通技术人员实践本发明概念的目的,采样时间将被看作与采样事件同时发生。然而,本领域普通技术人员将常规的专有技术应用于本公开可以容易地识别和调整采样事件(例如采样时钟的上升沿或者下降沿)之间的延迟以及采样时刻。

[0041] 本领域普通技术人员应当理解,当用于描述在采样事件中信号电平比较器的输出关于输入信号和基准信号的规则或者运算时,术语“小于”、“等于”和“大于”不一定受限于其严格的数学意义。本领域普通技术人员所能理解的原因是实际构建的信号电平比较器不能在无限精确的时刻实现严格的数学比较。然而,当阅读本说明书时,技术人员可以将其所拥有的专有技术运用到本说明书并且容易地指定信号电平比较器对于“等于”、“小于”和“大于”的各个特性,足以实践本发明。

[0042] 在下文中将更为详细地描述,出于从信号电平比较器的各个比较结果信号中提取和编码附加信息的目的,以便形成M位最终输出的(M-N)个低位,对于每一个信号电平比较器的比较结果信号,必须生成一个“正”版本和一个“负”版本。应当理解,“正”和“负”表示逻辑上的含义,不一定是电压极性上的含义。将更详细地描述,“正”和“负”比较结果信号可以由信号电平比较器或者通过接收比较结果信号的具体电路生成。

[0043] 在该示例中,来自 (2^N-1) 个信号电平比较器的“正”比较结果信号可以与最终的M位解码器相连,除了其他已经描述的功能所述解码器具有类似于常规快闪型ADC的温度计解码器的N位解码器功能。所述N位解码器输出形成了M位输出的N个高位。

[0044] 如上提及示例所述,来自 (2^N-1) 个信号电平比较器的 (2^N-1) 个“正”比较结果信号可以与N位解码器功能(例如常规快闪型ADC的温度计解码器电路)相连,以便根据各种典型实施例形成快闪型ADC的M位输出的N个高位。

[0045] 每一个采样事件都造成信号电平比较器的堆叠来生成比较结果信号的宽边,在“1”的温度计柱上面形成了一柱“0”。

[0046] 在一个示例中,M位快闪型ADC包括时间内插解码器来提取和编码由在“1”的温度计柱顶部的信号电平比较器生成的“1”和由下一个更高的信号电平比较器生成的“0”之间的相对时间,然后对其进行解码来形成最终M位输出的(M-N)个低位。

[0047] 应当理解,当用于提及柱时,术语“温度计柱”以及术语高的”和“低的”只用于描述一种类似于基于视觉仪器的图像的功能,并且不意味着所述信号电平比较器的任何相对物理定位。

[0048] 在一个示例中,M位快闪型ADC包括至少 (2^N-2) 个低电平时间内插解码器,每一对连续的信号电平比较器都有一个。所述数量可以是 (2^N-2) 个,因为根据示例,对于小于一个NLSB的信号,低电平时间内插解码器可以但不一定被省略,即对于在相对地电位以上但是小于信号电平比较器接收的最小基准电压的信号。

[0049] 在一个示例中,可以构建信号电平生成器中的每一个都生成一个“正”比较结果信号和一个“负”比较结果信号。响应于小于基准电压的输入信号,可以构建所述信号电平比较器生成“正”比较结果信号为“0”并且负比较结果信号为“1”。

[0050] 响应于采样事件(例如采样时钟的上升沿或者下降沿),可以构建所述信号电平比较器生成“1”作为其“正”和“负”比较结果信号的其中之一。

[0051] 可以构建所述信号电平比较器生成“1”，是其“正”和“负”比较结果信号中的一个，以便包括具有相对于采样事件延迟的前沿。所述延迟在下文中被称作“比较采样延迟”。可以构建所述信号电平比较器使得所述比较采样延迟至少在给定的电压范围上与输入信号电压和与信号电平比较器相连的基准电压之间的电压差成比例地变化。优选地，构建所述信号电平比较器以便在至少给定的电压差数值范围上提供电压差和单调的比较采样延迟之间的比例关系。可以构建所述信号电平比较器具有比例关系，所述比例关系可以是但不一定是反比关系。

[0052] 图 1 示出了基于示例信号电平比较器进行量化的示例快闪型 ADC 部分 10，包括利用示例负反馈校准时间内插子量化或解码的示例。

[0053] 参考图 1，将根据特定的任意一对连续的分别标记为 12_n 和 12_{n+1} 的信号电平比较器描述示例时间内插编码器 10。所述连续的信号电平比较器 12_n 和 12_{n+1} 形成了 (2^N-1) 个信号电平比较器堆叠的一部分，根据本发明产生 M 位快闪型 ADC 的 N 个 MSB。

[0054] 应当理解，就标记和参考而言，当在关于图 1 所示的时间内插编码器的某些示例操作中进行描述时，信号电平比较器 12_n 将被称作“电平 n”信号电平比较器。类似地，在关于某些示例操作进行描述时信号电平比较器 12_{n+1} 将被称作“电平 n+1”信号电平比较器。在电压降电阻 RS_n 下方的线 REF_n 处的电压被称作 V_n 。在电压降电阻 RS_n 上方的线 REF_{n+1} 处的电压被称作 V_{n+1} 。假定 V_{n+1} 比 V_n 高一个 NLSB。

[0055] 继续参考图 1，图 1 的示例低电平时间内插编码器 10 包括：信号电平比较器 12_n 和 12_{n+1} 的“正”和“负”，或者互补的输出设置 PS 和 NS；第一可控延迟 (CD) 单元 14A 和第二 CD 单元 14B；以及第一、第二和第三到达时间检测器，分别标记为 $16_{n,1}$ 、 $16_{n,2}$ 和 $16_{n,3}$ ，按描述设置。所述第一和第二可控延迟单元 14A 和 14B 可以是但不一定是电压控制延迟单元。本领域普通技术人员应当理解，标记为“FC”并将在下文中更为详细地描述的信号控制延迟单元 14A 和 14B 必须具有与所述延迟单元的特定实施兼容的格式。

[0056] 如在下文中更为详细地描述的，所述第一和第二可控延迟单元 14A 和 14B 以及三个到达时间比较器 $16_{n,1}$ 、 $16_{n,2}$ 和 $16_{n,3}$ 在采样比较延迟中对信号电平比较器 12_n 和 12_{n+1} 中的每一个都利用了与输入信号电压 VS 距比较器各个基准电压 V_n 和 V_{n+1} 的距离成反比关系。将在下文中更为详细地描述，通过检测来自电平 n 信号电平比较器 12_n 和电平 n+1 比较器 12_{n+1} 的输出的相对生成时间，所述可控延迟单元 14A 和 14B 以及三个到达时间比较器 $16_{n,1}$ 、 $16_{n,2}$ 和 $16_{n,3}$ 将 V_n 和 V_{n+1} 之间的电压间隔分解为 4 个优选地相等的电压区域，并且生成信号 AT1、AT2 和 AT3，对 VS 所位于的区域进行编码。诸如图 1 所示的 18 的解码器利用编码器 10 堆叠中的每一个的 AT1、AT2 和 AT3 来生成分辨率的两个附加位。这是比现有技术快闪型 ADC 可获得的多出的两个位，没有附加的时钟周期和附加的比较器。

[0057] 应当理解，延迟单元（例如图 1 的示例具有两个，14A 和 14B）的数量和到达时间比较器（例如图 1 的示例具有 3 个， $16_{n,1}$ 、 $16_{n,2}$ 和 $16_{n,3}$ ）的数量决定了分辨率附加位的数量。

[0058] 参考图 1 的示例，该示例提供了分辨率的两个附加位（即通过将 V_n 和 V_{n+1} 之间的电压间隔（一个 NSLB）分解为 4 个优选地相等的电压区域），描述了利用第一和第二单元 14A 和 14B 强加的延迟。出于描述示例操作的目的，所述 4 个优选地相等的电压区域可以被称作“1/4NSLB 区段 (bin)”或者“1/4 区段”，并且最靠近 V_n 的区段可被称作“第一”1/4 区段，而最靠近 V_{n+1} 的区段可被称作“第四”1/4 区段。

[0059] 继续参考图 1, 所述第一到达时间检测器单元 $16_{n,1}$ 配置用于在采样事件之后如果其 TA 输入先到达则输出“0”, 如果 TB 输入先到达则输出“1”。类似地配置第二和第三到达时间检测单元 $16_{n,2}$ 和 $16_{n,3}$ 中的每一个。

[0060] 如前所述, 对于图 1 的示例 10, 假定所述比较采样延迟与电压差之间的关系为反比关系。因此, 假定电平 $n+1$ 信号电平比较器 12_{n+1} 的时间延迟特性与电平 n 信号电平比较器 12_n 的时间延迟特性相同, 如果 VS 比 V_{n+1} 更靠近 V_n , 那么在给定的采样事件之后, 电平 $n+1$ 信号电平比较器 12_{n+1} 的负输出 NS 将比电平 n 信号电平比较器 12_n 的正输出 PS 先出现。因此, 如果 VS 比 V_{n+1} 更靠近 V_n (即 VS 在第一 1/4 区段或者第二 1/4 区段中), 没有任何延迟地接收其 TA 和 TB 输入的中间到达时间比较器 $16_{n,2}$ 在接收电平 n 信号电平比较器 12_n 的 PS 输出之前接收电平 $n+1$ 信号电平比较器 12_{n+1} 的 NS 输出。因此, 可以看出 (假定基于 TA 和 TB 生成“0”和“1”的 $16_{n,2}$ 配置如上所述), 只要 VS 比 V_{n+1} 更靠近 V_n (即 VS 在第一 1/4 区段或者第二 1/4 区段中), 中间的时间比较器 $16_{n,2}$ 输出 AT1 为“0”。另一方面, 当 VS 位于 V_n 和 V_{n+1} 之间的中点或者更靠近 V_{n+1} (即 VS 在第三 1/4 区段或者第四 1/4 区段中) 时, 中间的到达时间比较器 $16_{n,2}$ 将在其接收电平 n 信号电平比较器 12_n 的 PS 输出的同时或在其之后接收电平 $n+1$ 信号电平比较器 12_{n+1} 的 NS 输出。因此, 当 VS 在第三 1/4 区段或者第四 1/4 区段中时, 所述第二到达时间比较器 $16_{n,2}$ 输出 AT1 为“1”。

[0061] 容易理解, 所述第二到达时间比较器 $16_{n,2}$ 独自地增加了一个分辨率附加位, 表示 VS 是否在以下区段中: (a) 由第一和第二 1/4 区段组成的低位 1/2 区段; 或者 (b) 由第三和第四 1/4 区段组成的高位 1/2 区段。

[0062] 如上所述, 由于对于所述信号电平比较器 12_n 和 12_{n+1} 中的任一个, 所述比较采样延迟相对于 VS 距比较器的基准电压的距离成反比关系, 随着 VS 从 V_n 增加到 V_{n+1} , 12_n 的比较采样延迟降低而 12_{n+1} 的比较采样延迟增加。同样如上所述, 所述变化不一定是线性的, 但必须是单调的。

[0063] 所述延迟单元 14A 和 14B 以及第一和第三到达时间检测器 $16_{n,1}$ 和 $16_{n,3}$ 还在信号电平比较器 12_n 和 12_{n+1} 的采样比较延迟特性中利用这种反比关系, 根据输入信号电压 VS 距 V_n 和 V_{n+1} 的距离将 VS 分解到 VS 落入哪一个 1/4 区段中。

[0064] 参考图 1, 延迟单元 14A 用于将低位 1/2NSLB 区段分解为第一 1/4 区段和第二 1/4 区段。所述延迟单元 14A 通过延迟来自 $n+1$ 电平信号电平比较器 12_{n+1} 的 NS 来实现这一点, 使得已经延迟的 NS 12_{n+1} 首先到达第一单元到达时间检测器 $16_{n,1}$, 换言之在来自 12_{n+1} 的 PS 输出之前, 但是维持这种到达时间关系直至 VS 达到 V_n 和 V_{n+1} 之间间距的较低一半的平分点为止, 换言之直至 VS 达到 $V_n+1/4(V_{n+1}-V_n)$ 或者 $V_n+1/4NSLB$ 。

[0065] 继续参考图 1, 所述第一到达时间检测器单元 $16_{n,1}$ 配置用于输出 AT1, 如果在其 TB 输入之前接收到其 TA 输入则为“0”, 并且如果其 TB 输入在先则为“1”。因此, 设定所提供的延迟单元 14A 来施加正确的延迟, 当 VS 在第一 1/4 区段中的任何时候, 所述第一到达时间检测器单元 $16_{n,1}$ 的输入 TA 先接收来自 12_{n+1} 的 NS, 并且到达时间检测器单元 $16_{n,1}$ 输出 AT1 为“0”, 而当 VS 在第二 1/4 区段中 (或者在第一和第二 1/4 区段的边界处) 的任何时候, 所述第一到达时间检测器单元 $16_{n,1}$ 的 TB 先接收来自 12_n 的 PS, 并且到达时间检测器单元 $16_{n,1}$ 输出 AT1 为“1”。

[0066] 仍然参考图 1, 以相同的方式设定所述延迟单元 14B, 使得当 VS 在第三 1/4 区段中

的任何时候,所述第三到达时间检测器单元 $16_{n,3}$ 的 TA 先接收来自 12_n 的 PS,并且到达时间检测器单元 $16_{n,3}$ 输出 AT2 为“0”,而当 VS 在第四 1/4 区段中(或者在第三和第四 1/4 区段的边界处)的任何时候,所述第三到达时间检测器单元 $16_{n,3}$ 的输入 TB 先接收来自 12_{n+1} 的 NS,并且到达时间检测器单元 $16_{n,3}$ 输出 AT2 为“1”。

[0067] 参考图 1,如上所述的示例时间内插编码器 10 中的每一个都生成标记为 AT1、AT2 和 AT3 的三个附加代码信号,所述代码信号根据 4 个 1/4 区段区域对输入信号 VS 相对于 V_{n+1} 和 V_n 之间的一个 NLSB 电压间距的位置进行编码。除了对由信号电平比较器堆叠(包括比较器 12_n 和 12_{n+1})生成的 1 的温度计柱进行解码以生成 M 位的 N 个最高有效位外,解码器 18 还将由 AT1、AT2 和 AT3 代表的这 4 个位置解码成 M 位的两个最低有效位。

[0068] 如上所述,由第一延迟单元 14A 强加的延迟必须是,当 VS 在第一 1/4 区段中的任何时候,所述第一到达时间检测器单元 $16_{n,1}$ 的 TA 先接收来自电平 $n+1$ 信号电平比较器 12_{n+1} 的 NS,但是当 VS 在第二 1/4 区段中(或者在第一和第二 1/4 区段的边界处)的任何时候,所述第一到达时间检测器单元 $16_{n,1}$ 的 TB 先接收来自 n 电平信号电平比较器 12_n 的 PS。因此,只有当 14A 的延迟是正确的时,所述到达时间检测器单元 $16_{n,1}$ 才能精确地输出 AT1,也就是当 VS 在第一 1/4 区段中时为“0”,并且当 VS 在第二 1/4 区段中(或者在第一和第二 1/4 区段的边界处)时为“1”。同样地,由第二延迟单元 14B 强加的延迟必须是,当 VS 在第三 1/4 区段中的任何时候,所述第三到达时间检测器单元 $16_{n,3}$ 的 TA 先接收来自 12_n 的 PS,而当 VS 在第四 1/4 区段中(或者在第三和第四 1/4 区段的边界处)的任何时候,所述第三到达时间检测器单元 $16_{n,3}$ 的 TB 先接收来自 12_{n+1} 的 NS。因此,只有当 14A 的延迟是正确的时,所述第三到达时间检测器单元 $16_{n,3}$ 才能当 VS 在第三 1/4 区段中时精确地输出 AT3 为“0”,而当 VS 在第四 1/4 区段中(或者在第三和第四 1/4 区段的边界处)的任何时候输出 AT3 为“1”。

[0069] 参考图 1,容易理解所述控制信号 FC 的操作。基本上,所述控制信号 FC 改变了所述第一到达时间比较器 $16_{n,1}$ 将 AT1 从“0”改变至“1”的 VS 的位置以及所述第三到达时间比较器 $16_{n,3}$ 将 AT3 从“0”改变至“1”的 VS 的位置。换言之,FC 改变了低位 1/2 区段(由 AT2 定义)的实际“平分”点,所述点进而定义了第一和第二 1/4 区段,并且改变了高位 1/2 区段(由 AT2 定义)的实际“平分”点,所述点进而定义了第三和第四 1/4 区段。

[0070] 出于把描述集中在能够使本领域普通技术人员实践本发明的概念上的目的,可以假定所有信号电平比较器 12 具有相同的比较采样延迟与 VS 和比较器的基准电压之间差值之间的关系。同样地,出于相同的目的,可以假定所有可控延迟单元(例如 N 个编码器 10 中任何一个的 14A 和 14B)对于 FC 具有相同的延迟特性。因此,可以假定所有可控延迟单元由一个 FC 信号供给。然而,本领域普通技术人员当阅读本公开时容易理解,本领域普通技术人员可以将其所拥有的专有技术运用到本说明书并且容易地指定可控延迟单元均匀性和/或比较采样延迟和 VS 之间关系的均匀性的可接受的统计,并且能够识别以及能够运用手段来补偿例如附加的单独延迟单元(未示出)。

[0071] 本领域普通技术人员应当理解,具有 CD 单元 14A 和 14B,与第一和第三到达时间比较器 $16_{n,1}$ 和 $16_{n,3}$ 相结合,将 V_n 和 V_{n+1} 之间的高位和低位 1/2 区段中的每一个都平分分为两个 1/4 区段的图 1 的示例 10 只是一个示例。可以增加附加的 CD 和到达时间比较器 16_n 来进一步将 4 个区域中的每一个再次划分为两个较小区域(每一个是前一个宽度的一半),

并且如果需要,再次将所述较小区域划分为两个更小的区域。每一次划分都增加了分辨率的另一个位。可以理解,对于分辨率的 K 个附加位的通用的代表模式是给电平 n 比较器 12_n 输出提供 $(2^{K-1}-1)$ 个名义上不同的延迟,并且给电平 $n+1$ 比较器 12_{n+1} 输出提供 $(2^{K-1}-1)$ 个名义上不同的延迟。不同地表述,对于延迟的每一个不同长度,必须提供两个延迟单元,其中一个用于延迟电平 n 比较器 12_n 输出,另一个用于延迟电平 $n+1$ 比较器 12_{n+1} 输出的负输出(例如 NS)。在图 1 的示例 10 中, K 等于 2,并且因此只需要一个延迟长度,因为 CD 14A 和 14B 中的每一个都强加了 $1/4$ 位的相同延迟。

[0072] 不同的延迟不一定对于不同的元件需要不同的结构种类,假如可以在整个范围上控制一种结构。然而必须理解,“FC”对于延迟长度中的每一个都必须是不同的。作为阐释性示例,如果 K 为 3,那么将有一组两个延迟元件(未示出)来移位内插电平(例如电平 n 比较器 12_n 的 PS 输出和电平 $n+1$ 比较器 12_{n+1} 的 NS 输出之间相差 $1/8$ NLSB,一组两个延迟单元用于执行 $1/4$ NLSB 移位,并且一组两个延迟单元用于执行 $3/8$ NLSB 移位)。

[0073] 如上所述,每一组(总共为 $2^{K-1}-1$)这种延迟元件需要自己的反馈信号(与 FC 可比拟)和诸如 DAC 40 之类的相关模块(block)。此外,监测区段宽度(bin width)以便控制所述延迟单元来实现均匀的代码密度可能需要图 3 所示示例的替代品。

[0074] 另一个指导方针是总延迟时间不能大于采样周期 T 。还有一个是在精确地生成用来维持均匀的位密度的不同控制电压中由可能性开销所引起的限制,将在下文中更为详细地描述。

[0075] 如上参考诸如图 1 的具体示例所述,诸如 CD 14A 和 14B 的所述延迟单元有效地确定了中点的位置以及因此确定了电压域中的内插 ADC 量化电平。如果由例如 CD 14A 和 14B 提供的所述延迟太长或者太短,所述量化中点则不在实际的电压平分点。因此,所述电压区段(voltage bin)将不具有均匀的宽度。

[0076] 各种典型实施例提供了新颖的反馈校准,所述反馈校准包括自动地调节所述延迟,例如控制信号 FC 驱动 CD 14A 和 14B,以便驱动量化中点来提供均匀的区段宽度。

[0077] 根据各种典型实施例,根据一个方面通过采用代码密度的检测,统计地分析了静态 ADC 误差,或者换言之所述量化电平从其理想位置的偏移。一个示例包括代码密度的检测,所述检测包括为每一个可能的数字输出代码值创造一个区段并且收集在某段时间内出现该代码落入对应区段中的次数。

[0078] 本领域普通技术人员应当理解,所述时间优选地为足够长,以便在每一个区段中获得统计上显著的命中次数。就具体的时间长度而言,本领域普通技术人员可以通过一种对于给定的应用适合的并且足够的方式,基于阅读本公开并且将其所拥有的常规专有技术运用到所公开的主题中来容易地确定它。

[0079] 根据各种典型实施例,执行在相邻区段中命中次数的比较,生成了表示对应的量化电平之间间距的相对宽度的信息。理想地,所述量化电平均匀地间隔并且所述区段具有几乎相等的命中次数。

[0080] 应当理解,由各种实现方式表现出的所述校准可以提供可能带有由输入信号统计的不均匀性造成的限制的量化校准。作为示例,即使 ADC 具有完美的校准和线性度,只有 ADC 的输入信号具有均匀的电压分布,在整个 ADC 输出代码范围上的代码密度就可以是平坦的。这不适用于大多数现实世界的信号。然而,大多数信号在只跨越几个区段的小局部

比例尺中产生相对均匀的代码密度。

[0081] 诸如直流 (DC) 信号、与观察期相比频率相对较低的信号或者具有非常小振幅的信号之类的例外能够被识别。然而,不认为这些与本发明的实际应用或者其概念的理解相关。因此,出于把描述集中在能够使本领域普通技术人员实践本发明的新颖概念上的目的,假定所述代码密度几乎是局部平坦的来描述实施例。

[0082] 图 2 示出了对于正确延迟的示例量化电平和密度,利用具有带有负反馈校准的时间内插子量化的快闪型 ADC 获得,并且示出了延迟中的示例不期望变化。参考图 2,202A 示出了当所述延迟是正确的时所获得的量化电平。202A 示出了可以由例如根据或者等同于图 1 的示例 10 所述的三个电路的堆叠实现的量化状态。应当理解,本发明的典型实施例自动地驱动系统状态至 202A 所表述的状态。

[0083] 参考图 2,当所述延迟是正确的时,标记为 204B 的所述代码密度是平坦的。为了阐释由太长或者太短的延迟造成的代码密度,选择了一个 4 个区段的范围,开始自标记为 BIN_00 的比较器区段并且结束于标记为 BIN_11 的与电平 3 内插器相关的区段,诸如图 1 的 AT3。在 202B 可以看出,太短的延迟使得与所述比较器(例如图 1 的信号电平比较器 12_n)和第三内插器(例如图 1 的 AT3)相关联的最外面的两个区段(BIN_00 和 BIN_11)较高,并且使得与第一和第二内插器(例如 AT1 和 AT2)相关联的中间的两个区段(BIN_01 和 BIN_10)较低。

[0084] 仍然参考图 2,在 202C 和 204C,可以看出当所述延迟太长时,发生相反的情况。

[0085] 除了其他特征和益处外,各种典型实施例提供了诸如图 1 的 CD 14A 和 14B 的可变延迟单元,并且将这些可变延迟单元包括在具有检测的负反馈回路中,所述检测生成表示不均匀性的误差并且反馈所述误差来按照减轻所述误差的方向驱动所述可变延迟单元。

[0086] 根据一个方面,着眼于局部代码密度,所述局部代码密度可以是两个外侧区段中的组合命中次数相对于两个中间区段中的组合命中次数,调整所述延迟直至区段的高度都相同为止。

[0087] 根据一个方面,在 ADC 输出代码落入一组 4 个中的外侧区段其中之一的每一个时刻,数字计数器递增,而在所述采样落入中间区段其中之一的每一个时刻,数字计数器递减。除了其他特征和益处外,这个方面提供了单个计数器来监测对于整个 ADC 内侧区段和外侧区段之间的平衡。可以理解,这个方面提供了这一点是因为当所述延迟是正确的(区段高度相等)时计数器输出平均而言是零。

[0088] 图 3 示出了根据一个实施例所述的一个示例负反馈校准 30 的功能框图。图 3 的示例 30 包括根据任何一个已公开的 M 位快闪型 ADC 实施例的快闪型 ADC 32,诸如图 1 的示例 10 结构、模 -4 事件探测器 34、计数器递增/递减单元 36、计数器 38、数字/模拟转换器(DAC)40 和除以 L(divide-by-L) 复位单元 42 的组合。

[0089] 参考图 3,根据一个方面,模 -4 事件探测器 34 检测 ADC 32 的二进制输出的操作,并且在一个示例中,如果是如图 2 中项目 204A 所示的二进制 1 或者二进制 0 采样,所述采样在诸如 BIN_00 或者 BIN_11 的外侧区段中并且计数器 36 递增。如果是二进制 2 或者二进制 3 采样,则在诸如 BIN_01 或者 BIN_10 的内侧区段中并且计数器 36 递减。

[0090] 反馈所述计数器 36 的输出来控制所述延迟,例如图 1 的 CD 14A 和 14B。所述时钟分频器(除以 L)42 确定了收集信号统计期间的的时间间隔。在该时段末期,计数器输出由

DAC 40 采样,并且计数器 38 被复位,新的间隔开始。在延迟单元具有数字控制的实施中,所述 DAC 被寄存器级取代。

[0091] 如果诸如 14A 和 14B 的延迟具有数字控制,那么计数器 36 输出可以直接用来(图 3 中未示出)控制这种延迟。在替代实施例中,诸如 14A 和 14B 的 CD 具有模拟控制电压,诸如图 1 的 FC,利用诸如 $\Delta - \Sigma$ 结构 DAC 的慢速 D/A 转换器 (DAC) 40 可以生成所述模拟控制电压。

[0092] 尽管已经详细地描述了各种典型实施例,尤其提及了其中的某些典型方面,但是应当理解,本发明能够有其他实施例并且其细节能够在各种明显的方面有变化。

[0093] 例如,在某些应用中,通过只着眼于 ADC 输出代码范围中间的区段的子集,例如从范围的 1/4 到范围的 3/4 的区段,可以获得更高质量的代码密度统计。由于在许多应用中,所述信号统计就概率密度而言通常集中在那个范围,所述代码密度更均匀,因而更均匀的每区段命中密度。

[0094] 另一个示例变体是,对于在非限定性输入信号(相对于振幅密度)诸如 DC 的环境中性能的可控性,所述变体可以包括活动检测器(未示出),所述检测器暂停所述延迟数值更新(例如已更新的 FC 数值的生成)直至再次检测到所述信号是活跃的为止。

[0095] 本领域普通技术人员容易理解,当维持在本发明的精神和范围内的同时,可以使各种变化和修改有效。因此,前述的公开、说明书和附图只用于阐释的目的,而不以任何形式限制本发明。本发明只受限于权利要求。

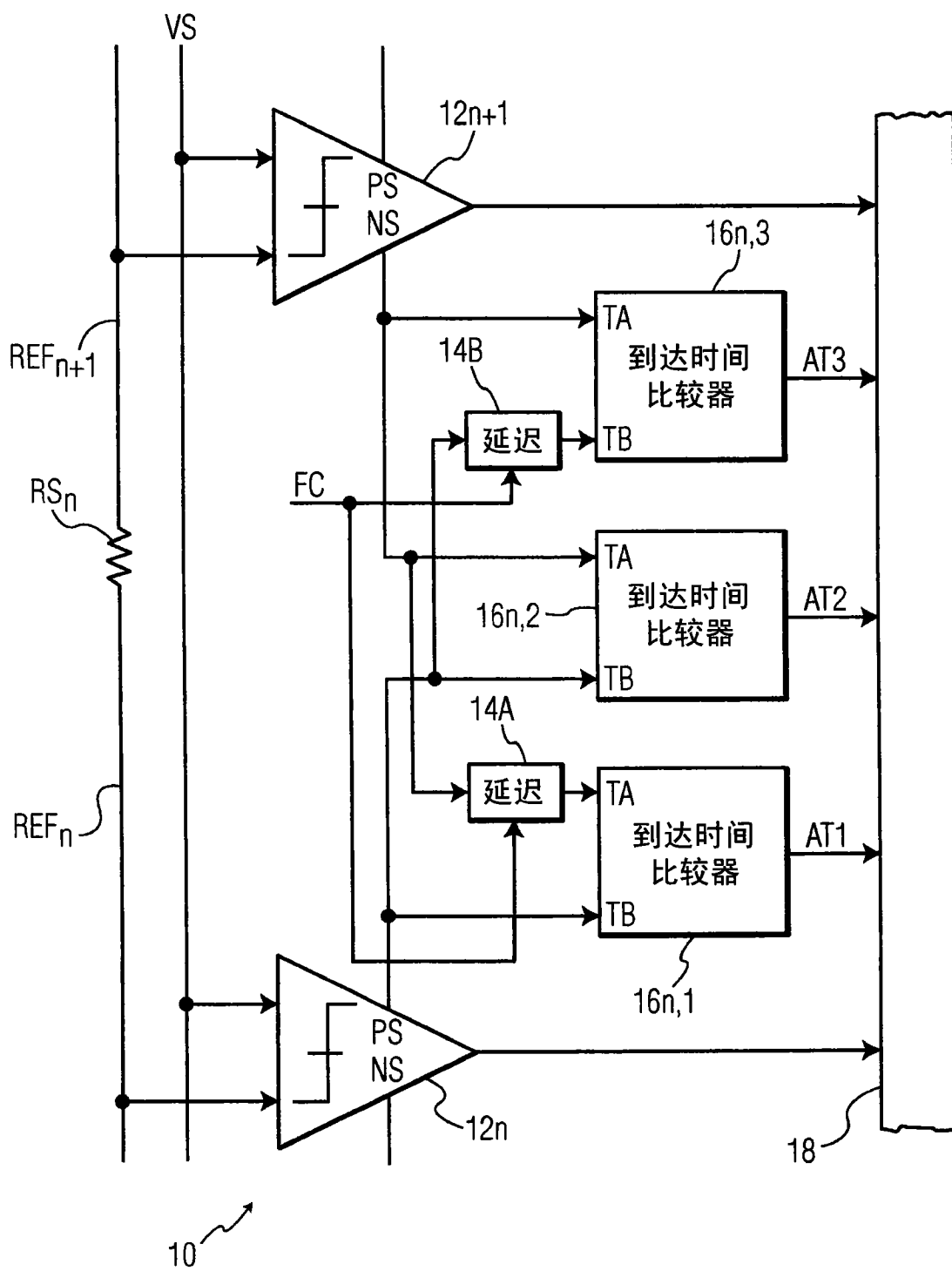


图 1

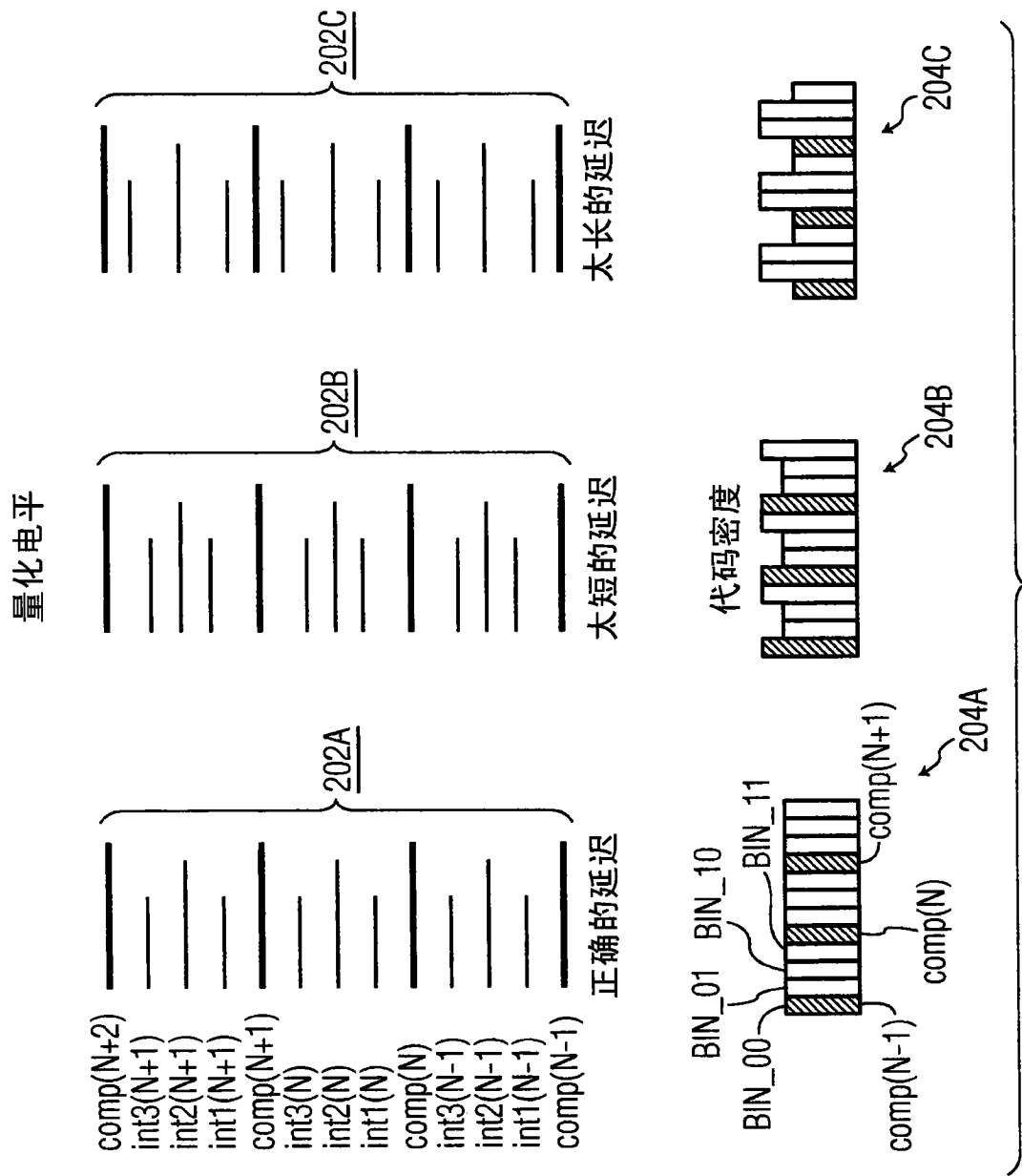


图 2

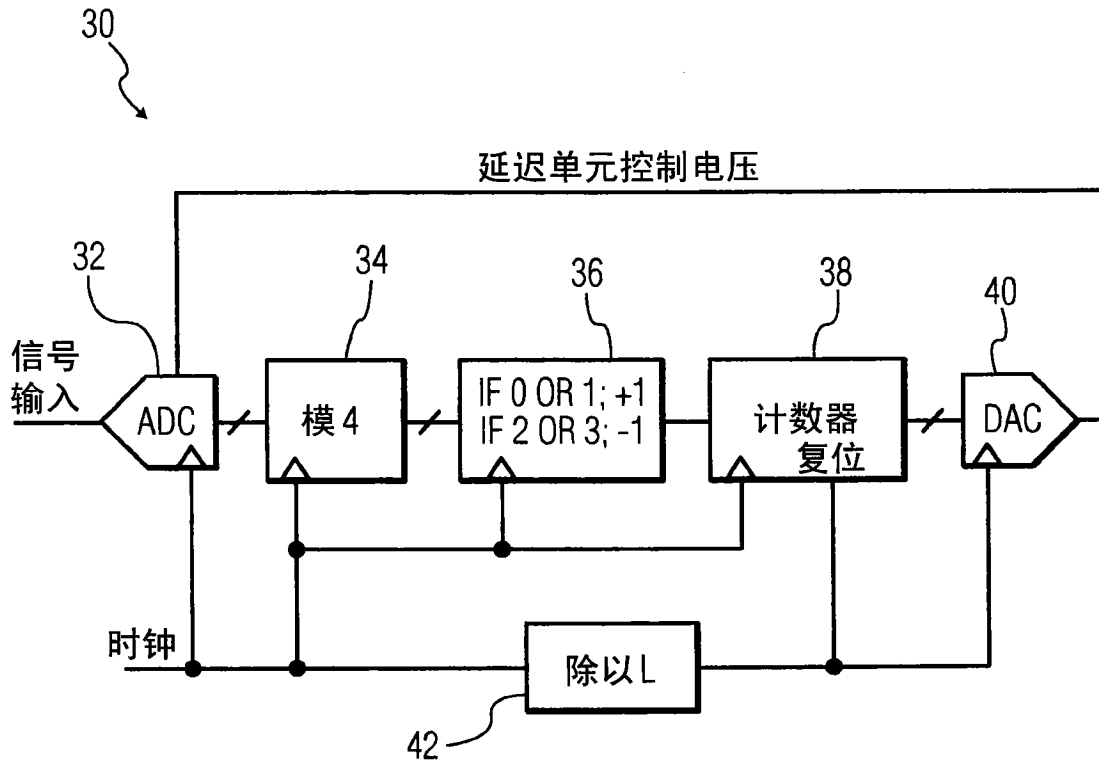


图 3