



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I436211 B

(45) 公告日：中華民國 103 (2014) 年 05 月 01 日

(21) 申請案號：100140030

(22) 申請日：中華民國 100 (2011) 年 11 月 02 日

(51) Int. Cl. : G06F12/02 (2006.01)

(71) 申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)

苗栗縣竹南鎮群義路 1 號

(72) 發明人：朱健華 CHU, CHIEN HUA (TW)

(74) 代理人：詹銘文；葉璟宗

(56) 參考文獻：

TW 200951715A

TW 201007735A

TW 201122810A

US 2009/0070654A1

審查人員：梁中明

申請專利範圍項數：23 項 圖式數：10 共 0 頁

(54) 名稱

區塊管理方法、記憶體控制器與記憶體儲存裝置

BLOCK MANAGEMENT METHOD, MEMORY CONTROLLER AND MEMORY STORAGE DEVICE THEREOF

(57) 摘要

一種區塊管理方法、記憶體控制器與記憶體儲存裝置。此方法用以管理記憶體儲存裝置中可複寫式非揮發性記憶體模組的多個實體區塊。此方法包括維護錯誤資訊對應表以記錄上述實體區塊中錯誤可修正實體區塊與錯誤可修正實體區塊所對應的錯誤位元數。此方法還包括依據錯誤資訊對應表中的錯誤可修正實體區塊及其所對應的錯誤位元數來選擇用以寫入資料的實體區塊。據此可以提升記憶體儲存裝置的資料穩定性。

A block management method for managing physical blocks of a rewritable non-volatile memory module, and a memory controller and a memory storage device using the same are provided. The method includes maintaining an error information table for recording at least one error correctable physical block among the physical blocks and a number of error bit corresponding to the error correctable physical block. The method further includes selecting one of the at least one error correctable physical block for programming data according to the at least one error correctable physical block and the number of error bit thereof recorded in the error information table.

S610 ~ S640 . . .

本發明之一實施例所述之區塊管理方法的各步驟

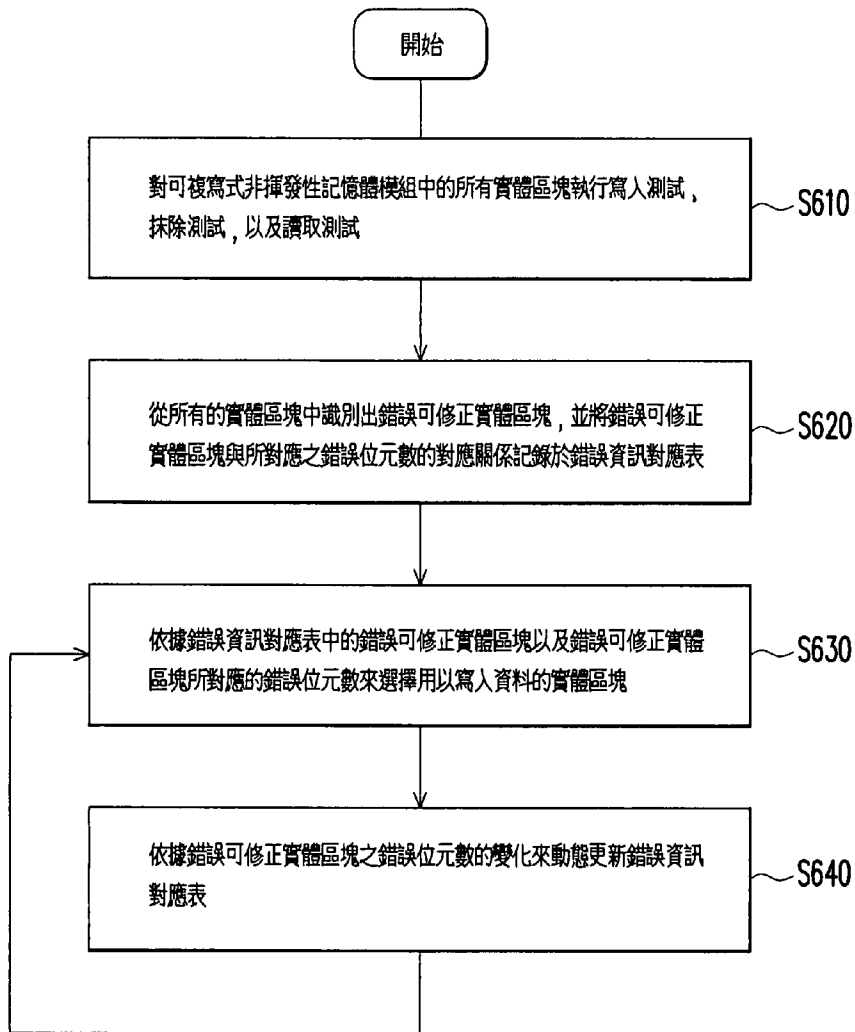


圖 6

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100(4003)0

※申請日：100.11.2

※IPC 分類：G06F 12/02 (2006.01)

一、發明名稱：

區塊管理方法、記憶體控制器與記憶體儲存裝置 /
BLOCK MANAGEMENT METHOD, MEMORY
CONTROLLER AND MEMORY STORAGE DEVICE
THEREOF

二、中文發明摘要：

一種區塊管理方法、記憶體控制器與記憶體儲存裝置。此方法用以管理記憶體儲存裝置中可複寫式非揮發性記憶體模組的多個實體區塊。此方法包括維護錯誤資訊對應表以記錄上述實體區塊中錯誤可修正實體區塊與錯誤可修正實體區塊所對應的錯誤位元數。此方法還包括依據錯誤資訊對應表中的錯誤可修正實體區塊及其所對應的錯誤位元數來選擇用以寫入資料的實體區塊。據此可以提升記憶體儲存裝置的資料穩定性。

三、英文發明摘要：

A block management method for managing physical blocks of a rewritable non-volatile memory module, and a memory controller and a memory storage device using the

same are provided. The method includes maintaining an error information table for recording at least one error correctable physical block among the physical blocks and a number of error bit corresponding to the error correctable physical block. The method further includes selecting one of the at least one error correctable physical block for programming data according to the at least one error correctable physical block and the number of error bit thereof recorded in the error information table.

四、指定代表圖：

(一) 本案之指定代表圖：圖 6

(二) 本代表圖之元件符號簡單說明：

S610~S640：本發明之一實施例所述之區塊管理方法的各步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種區塊管理方法，且特別是有關於一種管理可複寫式非揮發性記憶體模組之實體區塊的方法，以及使用此方法的記憶體控制器與記憶體儲存裝置。

【先前技術】

可複寫式非揮發性記憶體（rewritable non-volatile memory）具有資料非揮發性、省電、體積小與無機械結構等特性，故被廣泛地應用於各種電子裝置。可複寫式非揮發性記憶體具有多個實體區塊（physical block），且每一實體區塊具有多個實體頁面（physical page）。其中，實體區塊為資料抹除之最小單位，而實體頁面則是資料寫入的最小單位。

當使用可複寫式非揮發性記憶體的儲存裝置（以下稱為記憶體儲存裝置）被製造完成而進行第一次格式化（亦稱為開卡）時，記憶體儲存裝置的記憶體控制器會對可複寫式非揮發性記憶體的所有實體區塊進行磁碟掃描以識別出正常及損毀的實體區塊。記憶體控制器會將正常的實體區塊優先分組至資料區與閒置區並且將剩餘的實體區塊分組至取代區。其中，資料區的實體區塊是用以儲存來自主機系統的資料，閒置區的實體區塊是用以輪替資料區中的實體區塊，而取代區的實體區塊則是用以在記憶體儲存裝置運作過程中取代發生損壞的實體區塊。

一般來說，正常的實體區塊亦會有不同的使用壽命，因此在使用記憶體儲存裝置的過程中，倘若實體區塊之間的使用壽命差距過大，則容易造成資料不穩定的情況。

【發明內容】

有鑑於此，本發明提供一種區塊管理方法、記憶體控制器與記憶體儲存裝置，能減少因可複寫式非揮發性記憶體模組中實體區塊之壽命差距過大而造成資料不穩定的現象。

本發明提出一種區塊管理方法，用以管理可複寫式非揮發性記憶體模組中的多個實體區塊。此方法包括維護錯誤資訊對應表以記錄上述實體區塊中至少一錯誤可修正實體區塊以及錯誤可修正實體區塊所對應的錯誤位元數。此方法還包括依據錯誤資訊對應表中的錯誤可修正實體區塊以及錯誤可修正實體區塊所對應的錯誤位元數來選擇用以寫入資料的實體區塊。

在本發明之一範例實施例中，其中維護錯誤資訊對應表以記錄錯誤可修正實體區塊以及錯誤可修正實體區塊所對應之錯誤位元數的步驟包括對所有實體區塊執行寫入測試、抹除測試，以及讀取測試，進而在上述實體區塊中識別出錯誤可修正實體區塊，並且將錯誤可修正實體區塊與所對應之錯誤位元數的對應關係記錄於錯誤資訊對應表。其中，錯誤可修正實體區塊係通過寫入測試與抹除測試，且經過讀取測試所產生的錯誤位元數小於或等於錯誤位元數門檻值的實體區塊。

在本發明之一範例實施例中，其中在對實體區塊執行寫入測試、抹除測試，以及讀取測試的步驟之後，此方法更包括在所有實體區塊中識別出至少一錯誤不可修正實體區塊，並且將上述錯誤不可修正實體區塊記錄在錯誤資訊對應表。其中，錯誤不可修正實體區塊是未通過寫入測試及/或抹除測試的實體區塊，或是通過寫入測試與抹除測試但對應的錯誤位元數大於錯誤位元數門檻值的實體區塊。

在本發明之一範例實施例中，其中維護錯誤資訊對應表以記錄錯誤可修正實體區塊以及錯誤可修正實體區塊所對應之錯誤位元數的步驟包括對所有實體區塊執行資料寫入操作以及資料讀取操作，並在上述實體區塊中識別出錯誤可修正實體區塊，以及將錯誤可修正實體區塊與所對應之錯誤位元數的對應關係記錄於錯誤資訊對應表。其中，錯誤可修正實體區塊係上述實體區塊中經過資料讀取操作所產生的錯誤位元數小於或等於錯誤位元數門檻值的實體區塊。

在本發明之一範例實施例中，其中維護錯誤資訊對應表以記錄錯誤可修正實體區塊以及錯誤可修正實體區塊所對應之錯誤位元數的步驟包括在使用可複寫式非揮發性記憶體模組的過程中，依據錯誤可修正實體區塊所對應之錯誤位元數的變化來動態更新錯誤資訊對應表。

在本發明之一範例實施例中，其中依據錯誤資訊對應表中的錯誤可修正實體區塊以及錯誤可修正實體區塊所對應的錯誤位元數選擇用以寫入資料的實體區塊的步驟包括

查詢錯誤資訊對應表來取得錯誤可修正實體區塊的錯誤位元數，並據以將所有錯誤可修正實體區塊分為至少一區塊佇列，其中各區塊佇列分別對應一區塊使用率。每當要將一資料寫入可複寫式非揮發性記憶體模組時，根據上述區塊佇列的區塊使用率選擇實體區塊來寫入資料。

在本發明之一範例實施例中，其中查詢錯誤資訊對應表來取得錯誤可修正實體區塊的錯誤位元數，並據以將所有錯誤可修正實體區塊分為至少一區塊佇列的步驟更包括在所有的錯誤可修正實體區塊中，僅將所對應之錯誤位元數小於或等於特定預設值的錯誤可修正實體區塊分為上述區塊佇列。

在本發明之一範例實施例中，此區塊管理方法更包括根據錯誤資訊對應表決定已使用的實體區塊在被抹除後是否要加入區塊佇列。

在本發明之一範例實施例中，其中錯誤可修正實體區塊所對應的錯誤位元數係小於或等於錯誤位元數門檻值。

從另一觀點來看，本發明提出一種記憶體控制器，用於管理記憶體儲存裝置中的可複寫式非揮發性記憶體模組。此記憶體控制器包括主機系統介面、記憶體介面，以及記憶體管理電路。主機系統介面用以耦接至主機系統。記憶體介面用以耦接可複寫式非揮發性記憶體模組，此可複寫式非揮發性記憶體模組包括多個實體區塊。記憶體管理電路耦接至主機系統介面與記憶體介面，記憶體管理電路用以維護錯誤資訊對應表以記錄上述實體區塊中至少一

錯誤可修正實體區塊以及錯誤可修正實體區塊所對應的錯誤位元數，並且依據錯誤資訊對應表中的錯誤可修正實體區塊以及錯誤可修正實體區塊所對應的錯誤位元數來選擇用以寫入資料的實體區塊。

在本發明之一範例實施例中，其中記憶體管理電路對所有實體區塊執行資料寫入操作以及資料讀取操作，並在上述實體區塊中識別出錯誤可修正實體區塊，以及將錯誤可修正實體區塊與所對應之錯誤位元數的對應關係記錄於錯誤資訊對應表。其中，錯誤可修正實體區塊係上述實體區塊中經過資料讀取操作所產生的錯誤位元數小於或等於錯誤位元數門檻值的實體區塊。

在本發明之一範例實施例中，其中在使用可複寫式非揮發性記憶體模組的過程中，記憶體管理電路依據錯誤可修正實體區塊所對應之錯誤位元數的變化來動態更新錯誤資訊對應表。

在本發明之一範例實施例中，其中記憶體管理電路查詢錯誤資訊對應表來取得錯誤可修正實體區塊的錯誤位元數，並據以將所有錯誤可修正實體區塊分為至少一區塊佇列，其中各區塊佇列分別對應一區塊使用率。當要將一資料寫入可複寫式非揮發性記憶體模組時，記憶體管理電路根據上述區塊佇列的區塊使用率選擇實體區塊來寫入資料。

在本發明之一範例實施例中，其中記憶體管理電路更用以在所有錯誤可修正實體區塊中，僅將所對應之錯誤位元數小於或等於特定預設值的錯誤可修正實體區塊分為至少一區塊佇列。

在本發明之一範例實施例中，其中記憶體管理電路根據錯誤資訊對應表決定已使用的實體區塊在被抹除後是否要加入區塊佇列。

在本發明之一範例實施例中，其中錯誤可修正實體區塊所對應的錯誤位元數係小於或等於錯誤位元數門檻值。

從又一觀點來看，本發明提出一種記憶體儲存裝置，包括可複寫式非揮發性記憶體模組、連接器以及記憶體控制器。可複寫式非揮發性記憶體模組包括多個實體區塊。連接器用以耦接主機系統。記憶體控制器耦接至可複寫式非揮發性記憶體模組與連接器，記憶體控制器用以維護錯誤資訊對應表以記錄上述實體區塊中至少一錯誤可修正實體區塊以及錯誤可修正實體區塊所對應的錯誤位元數，並且依據錯誤資訊對應表中的錯誤可修正實體區塊以及錯誤可修正實體區塊所對應的錯誤位元數來選擇用以寫入資料的實體區塊。

在本發明之一範例實施例中，其中記憶體控制器對所有實體區塊執行資料寫入操作以及資料讀取操作，並在上述實體區塊中識別出錯誤可修正實體區塊，以及將錯誤可修正實體區塊與所對應之錯誤位元數的對應關係記錄於錯誤資訊對應表。其中，錯誤可修正實體區塊係上述實體區

塊中經過資料讀取操作所產生的錯誤位元數小於或等於錯誤位元數門檻值的實體區塊。

在本發明之一範例實施例中，其中在使用可複寫式非揮發性記憶體模組的過程中，記憶體控制器依據錯誤可修正實體區塊所對應之錯誤位元數的變化來動態更新錯誤資訊對應表。

在本發明之一範例實施例中，其中記憶體控制器查詢錯誤資訊對應表來取得錯誤可修正實體區塊的錯誤位元數，並據以將上述錯誤可修正實體區塊分為至少一區塊佇列，其中各區塊佇列分別對應一區塊使用率。當要將一資料寫入可複寫式非揮發性記憶體模組時，記憶體控制器根據上述區塊佇列的區塊使用率選擇實體區塊來寫入資料。

在本發明之一範例實施例中，其中記憶體控制器更用以在所有錯誤可修正實體區塊中，僅將所對應之錯誤位元數小於或等於特定預設值的錯誤可修正實體區塊分為至少一區塊佇列。

在本發明之一範例實施例中，其中記憶體控制器根據錯誤資訊對應表決定已使用的實體區塊在被抹除後是否要加入區塊佇列。

在本發明之一範例實施例中，其中錯誤可修正實體區塊所對應的錯誤位元數係小於或等於錯誤位元數門檻值。

基於上述，本發明係依據各實體區塊是否通過寫入測試與抹除測試以及其錯誤位元數來對實體區塊進行管理。進一步來說，本發明是依照實體區塊的錯誤位元數來決定是否使用該實體區塊來寫入資料。據此，能讓可複寫式非

揮發性記憶體模組中的實體區塊使用壽命更為平均，從而增加資料穩定性。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

一般而言，記憶體儲存裝置（亦稱，記憶體儲存系統）包括可複寫式非揮發性記憶體模組與控制器（亦稱，控制電路）。通常記憶體儲存裝置會與主機系統一起使用，以使主機系統可將資料寫入至記憶體儲存裝置或從記憶體儲存裝置中讀取資料。另外，亦有記憶體儲存裝置是包括嵌入式記憶體與可執行於主機系統上以實質地作為此嵌入式記憶體之控制器的軟體。一般來說在記憶體儲存裝置出廠時，可複寫式非揮發性記憶體模組便包括正常的實體區塊與損壞的實體區塊（亦稱，壞實體區塊），而各正常實體區塊隨著其讀取資料錯誤率的不同會有相異的使用壽命。本發明便是基於上述觀點而提出的一種區塊管理方法、記憶體控制器與記憶體儲存裝置，藉由平均實體區塊的使用壽命來增加資料的正確性。

圖 1A 是根據本發明一範例實施例所繪示之使用記憶體儲存裝置之主機系統的示意圖。

主機系統 1000 包括電腦 1100 與輸入/輸出（Input/Output, I/O）裝置 1106。電腦 1100 包括微處理器 1102、隨機存取記憶體（Random Access Memory, RAM）1104、系統匯流排 1108 以及資料傳輸介面 1110。輸入/輸

出裝置 1106 包括如圖 1B 所示的滑鼠 1202、鍵盤 1204、顯示器 1206 與印表機 1208。必須瞭解的是，圖 1B 所示的裝置非限制輸入/輸出裝置 1106，輸入/輸出裝置 1106 可更包括其他裝置。

在本發明範例實施例中，記憶體儲存裝置 100 是透過資料傳輸介面 1110 與主機系統 1000 的其他元件耦接。藉由微處理器 1102、隨機存取記憶體 1104 以及輸入/輸出裝置 1106 的運作，主機系統 1000 可將資料寫入至記憶體儲存裝置 100，或從記憶體儲存裝置 100 中讀取資料。例如，記憶體儲存裝置 100 可以是如圖 1B 所示的記憶卡 1214、隨身碟 1212、或固態硬碟 (Solid State Drive, SSD) 1216。

一般而言，主機系統 1000 為可儲存資料的任意系統。雖然在本範例實施例中主機系統 1000 是以電腦系統來作說明，然而，在本發明另一範例實施例中，主機系統 1000 亦可以是手機、數位相機、攝影機、通訊裝置、音訊播放器或視訊播放器等系統。例如，在主機系統為數位相機 1310 時，記憶體儲存裝置則為其所使用的安全數位 (Secure Digital, SD) 卡 1312、多媒體記憶 (Multimedia Card, MMC) 卡 1314、記憶棒 (Memory Stick) 1316、小型快閃 (Compact Flash, CF) 卡 1318 或嵌入式儲存裝置 1320 (如圖 1C 所示)。嵌入式儲存裝置 1320 包括嵌入式多媒體卡 (Embedded MMC, eMMC)。值得一提的是，嵌入式多媒體卡是直接耦接於主機系統的基板上。

圖 2 是繪示圖 1A 所示之記憶體儲存裝置 100 的方塊圖。請參照圖 2，記憶體儲存裝置 100 包括連接器 102、記憶體控制器 104 與可複寫式非揮發性記憶體模組 106。

連接器 102 耦接至記憶體控制器 104，並且用以耦接主機系統 1000。在本範例實施例中，連接器 102 所支援的傳輸介面種類為序列先進附件（Serial Advanced Technology Attachment，SATA）介面。然而在其他範例實施例中，連接器 102 的傳輸介面種類也可以是通用序列匯流排（Universal Serial Bus，USB）介面、多媒體儲存卡（Multimedia Card，MMC）介面、平行先進附件（Parallel Advanced Technology Attachment，PATA）介面、電氣和電子工程師協會（Institute of Electrical and Electronic Engineers，IEEE）1394 介面、高速周邊零件連接介面（Peripheral Component Interconnect Express，PCI Express）介面、安全數位（Secure Digital，SD）介面、記憶棒（Memory Stick，MS）介面、小型快閃（Compact Flash，CF）介面，或整合驅動電子（Integrated Drive Electronics，IDE）介面等任何適用的介面，在此並不加以限制。

記憶體控制器 104 會執行以硬體型式或軟體型式實作的多個邏輯閘或控制指令，並根據主機系統 1000 的指令在可複寫式非揮發性記憶體模組 106 中進行資料的寫入、讀取與抹除等運作。其中，記憶體控制器 104 更特別用以根據本範例實施例之區塊管理方法而依照錯誤位元數來對可複寫式非揮發性記憶體模組 106 中的實體區塊進行使用與

否的管理。本範例實施例之區塊管理方法將於後配合圖示再作說明。

可複寫式非揮發性記憶體模組 106 耦接至記憶體控制器 104。可複寫式非揮發性記憶體模組 106 包括多個實體區塊，且每一實體區塊包括多個實體頁面。舉例來說，可複寫式非揮發性記憶體模組 106 為多階記憶胞（Multi Level Cell，MLC）NAND 快閃記憶體模組，但本發明不限於此，可複寫式非揮發性記憶體模組 106 也可以是單階記憶胞（Single Level Cell，SLC）NAND 快閃記憶體模組、其他快閃記憶體模組或任何具有相同特性的記憶體模組。

圖 3 是根據本發明一範例實施例所繪示的記憶體控制器的概要方塊圖。請參照圖 3，記憶體控制器 104 包括主機系統介面 1041、記憶體管理電路 1043，以及記憶體介面 1045。

主機系統介面 1041 耦接至記憶體管理電路 1043，並透過連接器 102 以耦接主機系統 1000。主機系統介面 1041 係用以接收與識別主機系統 1000 所傳送的指令與資料。據此，主機系統 1000 所傳送的指令與資料會透過主機系統介面 1041 而傳送至記憶體管理電路 1043。在本範例實施例中，主機系統介面 1041 對應連接器 102 而為 SATA 介面，而在其他範例實施例中，主機系統介面 1041 也可以是 USB 介面、MMC 介面、PATA 介面、IEEE 1394 介面、PCI Express 介面、SD 介面、MS 介面、CF 介面、IDE 介面或符合其他介面標準的介面。

記憶體管理電路 1043 係用以控制記憶體控制器 104 的整體運作。具體來說，記憶體管理電路 1043 具有多個控制指令，在記憶體儲存裝置 100 運作時，上述控制指令會被執行以實現本範例實施例之區塊管理方法。

在一範例實施例中，記憶體管理電路 1043 的控制指令是以韌體型式來實作。例如，記憶體管理電路 1043 具有微處理器單元（未繪示）與唯讀記憶體（未繪示），且上述控制指令是被燒錄在唯讀記憶體中。當記憶體儲存裝置 100 運作時，上述控制指令會由微處理器單元來執行以完成本範例實施例之區塊管理方法。

在本發明另一範例實施例中，記憶體管理電路 1043 的控制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組 106 的特定區域（例如，可複寫式非揮發性記憶體模組 106 中專用於存放系統資料的系統區）中。此外，記憶體管理電路 1043 具有微處理器單元（未繪示）、唯讀記憶體（未繪示）及隨機存取記憶體（未繪示）。其中，唯讀記憶體具有驅動碼段，並且當記憶體控制器 104 被致能時，微處理器單元會先執行此驅動碼段來將儲存於可複寫式非揮發性記憶體模組 106 中之控制指令載入至記憶體管理電路 1043 的隨機存取記憶體中。之後，微處理器單元會運轉上述控制指令以執行本範例實施例之區塊管理方法。此外，在本發明另一範例實施例中，記憶體管理電路 1043 的控制指令亦可以一硬體型式來實作。

記憶體介面 1045 耦接至記憶體管理電路 1043，以使

記憶體控制器 104 與可複寫式非揮發性記憶體模組 106 相耦接。據此，記憶體控制器 104 可對可複寫式非揮發性記憶體模組 106 進行相關運作。也就是說，欲寫入至可複寫式非揮發性記憶體模組 106 的資料會經由記憶體介面 1045 轉換為可複寫式非揮發性記憶體模組 106 所能接受的格式。

在本發明之另一範例實施例中，記憶體控制器 104 還包括錯誤檢查與校正電路 3002。錯誤檢查與校正電路 3002 耦接至記憶體管理電路 1043，用以執行錯誤檢查與校正程序以確保資料的正確性。具體而言，當記憶體管理電路 1043 接收到來自主機系統 1000 的寫入指令時，錯誤檢查與校正電路 3002 會為對應此寫入指令的資料產生對應的錯誤檢查與校正碼（Error Checking and Correcting Code，ECC Code），且記憶體管理電路 1043 會將對應此寫入指令的資料與對應的錯誤檢查與校正碼寫入至可複寫式非揮發性記憶體模組 106。之後當記憶體管理電路 1043 從可複寫式非揮發性記憶體模組 106 中讀取資料時，會同時讀取此資料對應的錯誤檢查與校正碼，且錯誤檢查與校正電路 3002 會依據此錯誤檢查與校正碼對所讀取的資料執行錯誤檢查與校正程序，以識別該筆資料是否存在錯誤位元。

在本發明之另一範例實施例中，記憶體控制器 104 還包括緩衝記憶體 3004。緩衝記憶體 3004 可以是靜態隨機存取記憶體（Static Random Access Memory，SRAM）、或動態隨機存取記憶體（Dynamic Random Access

Memory, DRAM) 等，本發明並不加以限制。緩衝記憶體 3004 耦接至記憶體管理電路 1043，用以暫存來自於主機系統 1000 的資料，或暫存來自於可複寫式非揮發性記憶體模組 106 的資料。

在本發明又一範例實施例中，記憶體控制器 104 還包括電源管理電路 3006。電源管理電路 3006 耦接至記憶體管理電路 1043，用以控制記憶體儲存裝置 100 的電源。

圖 4 是根據本發明之一範例實施例所繪示之管理可複寫式非揮發性記憶體模組之實體區塊的示意圖。

請參照圖 4，本範例實施例之可複寫式非揮發性記憶體模組 106 包括實體區塊 410(0)~410(N)，且每一實體區塊包括數個實體頁面。記憶體控制器 104 中的記憶體管理電路 1043 會將實體區塊 410(0)~410(N)邏輯地分組為資料區 502、閒置區 504、系統區 506 與取代區 508。其中，圖 4 所標示的 F、S、R 與 N 為正整數，代表各區配置的實體區塊數量，其可由記憶體儲存裝置 100 的製造商依據所使用之可複寫式非揮發性記憶體模組 106 的容量來設定。

邏輯上屬於資料區 502 與閒置區 504 的實體區塊是用以儲存來自於主機系統 1000 的資料。具體來說，資料區 502 的實體區塊是被視為已儲存資料的實體區塊，而閒置區 504 的實體區塊是用以寫入新資料的實體區塊。換句話說，閒置區 504 的實體區塊為空或可使用的實體區塊（無記錄資料或標記為已沒用的無效資料）。當從主機系統 1000 接收到寫入指令與欲寫入之資料時，記憶體管理電路

1043 會從閒置區 504 中提取實體區塊，並且將資料寫入至所提取的實體區塊中，以替換資料區 502 的實體區塊。或者，當需要對一邏輯區塊執行資料合併程序時，記憶體管理電路 1043 會從閒置區 504 提取實體區塊並將資料寫入其中，以替換原先映射此邏輯區塊的實體區塊。

邏輯上屬於系統區 506 的實體區塊是用以記錄系統資料。舉例來說，系統資料包括關於可複寫式非揮發性記憶體模組 106 的製造商與型號、可複寫式非揮發性記憶體模組 106 的實體區塊數、每一實體區塊的實體頁面數等等。

邏輯上屬於取代區 508 的實體區塊是用以在資料區 502、閒置區 504 或系統區 506 中的實體區塊損毀時，取代損壞的實體區塊。具體而言，在記憶體儲存裝置 100 運作期間，倘若取代區 508 中仍存有正常之實體區塊且資料區 502 的實體區塊損壞時，記憶體管理電路 1043 會從取代區 508 中提取正常的實體區塊來更換資料區 502 中損壞的實體區塊。也因此，在記憶體儲存裝置 100 的運作過程中，資料區 502、閒置區 504、系統區 506 與取代區 508 的實體區塊會動態地變動。例如，用以輪替儲存資料的實體區塊會變動地屬於資料區 502 或閒置區 504。

為了讓主機系統 1000 能對可複寫式非揮發性記憶體模組 106 進行存取，記憶體管理電路 1043 會配置數個邏輯區塊 610(0)~610(L)以映射資料區 502 中的實體區塊 410(0)~410(F-1)。其中每一邏輯區塊包括多個邏輯頁面，而邏輯區塊 610(0)~610(L)中的邏輯頁面會依序映射實體區塊 410(0)~410(F-1)中的實體頁面。

詳言之，記憶體管理電路 1043 將所配置的邏輯區塊 610(0)~610(L)提供給主機系統 1000，並維護邏輯區塊-實體區塊映射表（logical block-physical block mapping table）以記錄邏輯區塊 610(0)~610(L)與實體區塊 410(0)~410(F-1)的映射關係。因此，當主機系統 1000 欲存取一邏輯存取位址時，記憶體管理電路 1043 會將此邏輯存取位址轉換為對應的邏輯區塊的邏輯頁面，再透過邏輯區塊-實體區塊映射表找到其所映射的實體頁面來進行存取。

在本範例實施例中，當記憶體儲存裝置 100 被製造完成而進行第一次格式化（亦稱為開卡）時，記憶體控制器 104 中的記憶體管理電路 1043 會對可複寫式非揮發性記憶體模組 106 的所有實體區塊進行寫入測試、抹除測試，以及讀取測試。針對所有通過寫入測試與抹除測試的實體區塊，倘若其經過讀取測試而產生的錯誤位元數小於或等於錯誤位元數門檻值，則該些實體區塊將被記憶體管理電路 1043 識別為錯誤可修正實體區塊（亦即，其中的錯誤位元可被錯誤檢查與校正電路 3002 校正）。一般來說，記憶體管理電路 1043 在開卡程序中會優先將錯誤可修正實體區塊分組至資料區 502 與閒置區 504。錯誤位元數門檻值的大小與可複寫式非揮發性記憶體模組 106 的規格有關。舉例而言，倘若錯誤位元數門檻值為 48，表示錯誤檢查與校正電路 3002 具有檢查與校正 48 個錯誤位元的能力。亦即，一旦所讀取之資料有超過 48 個錯誤位元，該筆資料便無法被錯誤檢查與校正電路 3002 校正。然而必須了解的是，本發明並不對錯誤位元數門檻值的大小加以限制。

除此之外，記憶體管理電路 1043 會將有通過寫入測試與抹除測試，但在經過讀取測試所產生的錯誤位元數大於錯誤位元數門檻值的實體區塊，以及未通過寫入測試及/或抹除測試的實體區塊都識別為錯誤不可修正實體區塊。

在本範例實施例中，記憶體管理電路 1043 會將各錯誤可修正實體區塊與其錯誤位元數的對應關係記錄於一錯誤資訊對應表。

在另一範例實施例中，記憶體管理電路 1043 可僅對可複寫式非揮發性記憶體模組 106 的所有實體區塊進行寫入測試及讀取測試來取得錯誤位元數，並據以建立錯誤資訊對應表。

在又一範例實施例中，記憶體管理電路 1043 也可在記憶體儲存裝置 100 的運行中藉由資料寫入及讀取來建立錯誤資訊對應表。

圖 5A 是根據本發明之一範例實施例所繪示之錯誤資訊對應表的示意圖。如圖 5A 之錯誤資訊對應表 700 所示，假設錯誤位元數門檻值為 48，記憶體管理電路 1043 將以 0 至 48 個錯誤位元為鍵值建立 49 個欄位，以分別記錄所對應之錯誤位元數以及符合該欄位之鍵值的錯誤可修正實體區塊的實體區塊位址。此外，記憶體管理電路 1043 會在錯誤資訊對應表 700 建立一不可用實體區塊欄位，以記錄所有錯誤不可修正實體區塊的實體區塊位址。舉例來說，參照錯誤資訊對應表 700 可得知實體區塊位址為 PBA(k) 以及 PBA(l) 的錯誤可修正實體區塊具有 1 個錯誤位元、實體區

塊位址為 PBA(a)以及 PBA(b)的錯誤可修正實體區塊具有 48 個錯誤位元，且實體區塊位址為 PBA(c)以及 PBA(d)的實體區塊則屬於錯誤不可修正實體區塊。

圖 5B 是根據本發明之另一範例實施例所繪示之錯誤資訊對應表的示意圖。假設錯誤位元數門檻值為 48，圖 5B 之錯誤資訊對應表 800 包括 50 個分表（例如，分表 800-0、800-1、800-2、800-(N-1)、800-N）以分別記錄所對應之錯誤位元數為 0 至 48 之錯誤可修正實體區塊的實體區塊位址以及錯誤不可修正實體區塊的實體區塊位址。在本範例實施例中，分表 800-0 是用以記錄所有具有 0 個錯誤位元之錯誤可修正實體區塊的實體區塊位址（例如，實體區塊位址 PBA(i)、PBA(j)）、分表 800-1 是用以記錄所有具有 1 個錯誤位元之錯誤可修正實體區塊的實體區塊位址（例如，實體區塊位址 PBA(k)、PBA(l)），而分表 800-N 則是用以記錄所有錯誤不可修正實體區塊的實體區塊位址（例如，實體區塊位址 PBA(c)、PBA(d)）。

必須特別說明的是，圖 5A、5B 僅是為了說明而舉出的範例，本發明並不對記憶體管理電路 1043 如何實作錯誤資訊對應表加以限制。且標示在圖 5A、5B 中的各實體區塊位址也僅是為了方便說明，與其所對應之實體區塊實際在可複寫式非揮發性記憶體模組 106 是否相鄰無關。

記憶體管理電路 1043 會將進行開卡程序後首次建立完成的錯誤資訊對應表儲存在可複寫式非揮發性記憶體模組 106 中的某一錯誤可修正實體區塊（例如，被區分為系

統區 506 的錯誤可修正實體區塊)。爾後，在主機系統 100 對記憶體儲存裝置 100 進行存取時，記憶體管理電路 1043 會由系統區 506 將錯誤資訊對應表讀回緩衝記憶體 3004，並利用錯誤資訊對應表來依據各錯誤可修正實體區塊的錯誤位元數去選擇用以寫入資料的實體區塊。基本上，記憶體管理電路 1043 會較常使用所對應之錯誤位元數較少的錯誤可修正實體區塊。

進一步來說，在記憶體儲存裝置 100 被使用的期間，記憶體管理電路 1043 會查詢錯誤資訊對應表來取得各錯誤可修正實體區塊的錯誤位元數，並據以將所有錯誤可修正實體區塊分為多個區塊佇列。其中各區塊佇列分別對應一區塊使用率，且所對應之錯誤位元數越少的區塊佇列的區塊使用率越高。

在一範例實施例中，記憶體管理電路 1043 是直接依據錯誤位元數的數值將所有錯誤可修正實體區塊分為數個區塊佇列。例如，記憶體管理電路 1043 將所對應之錯誤位元數為 0 的所有錯誤可修正實體區塊分為同一個區塊佇列，並將所對應之錯誤位元數為 1 的所有錯誤可修正實體區塊分為同一個區塊佇列，以此類推。

在另一範例實施例中，記憶體管理電路 1043 會依據錯誤檢查與校正電路 3002 能校正之錯誤位元數的上限（即，錯誤位元數門檻值）定義數個錯誤位元數區間，並將所對應之錯誤位元數屬於相同錯誤位元數區間的所有錯誤可修正實體區塊分為同一區塊佇列。舉例來說，假設錯

誤位元數門檻值為 48，本範例實施例之記憶體管理電路 1043 會將對應之錯誤位元數為 0 的所有錯誤可修正實體區塊分為第一區塊佇列、將對應之錯誤位元數介於 1 至 20 位元的錯誤可修正實體區塊分為第二區塊佇列、將對應之錯誤位元數介於 21 至 40 位元的錯誤可修正實體區塊分為第三區塊佇列，以及將對應之錯誤位元數介於 41 至 48 位元的錯誤可修正實體區塊分為第四區塊佇列。

然而必須說明的是，本發明並不對區塊佇列的數量以及劃分規則加以限定。

每當要將一資料寫入可複寫式非揮發性記憶體模組 106 時，記憶體管理電路 1043 根據各區塊佇列的區塊使用率選擇一區塊佇列，並利用所選之區塊佇列中的錯誤可修正實體區塊來寫入資料。舉例來說，假設記憶體管理電路 1043 將所有的錯誤可修正實體區塊分為 4 個區塊佇列（以下稱第一、第二、第三，以及第四區塊佇列），且這 4 個區塊佇列分別對應的區塊使用率為 70%、15%、10%，以及 5%。那麼在 100 次寫入資料的操作中，記憶體管理電路 1043 會有 70 次從第一區塊佇列取得用以寫入資料的錯誤可修正實體區塊、有 15 次從第二區塊佇列取得用以寫入資料的錯誤可修正實體區塊、有 10 次從第三區塊佇列取得用以寫入資料的錯誤可修正實體區塊，並且有 5 次從第四區塊佇列取得用以寫入資料的錯誤可修正實體區塊。

在另一範例實施例中，為了提供更佳的資料穩定性，對於所有的錯誤可修正實體區塊，記憶體管理電路 1043

僅會將所對應之錯誤位元數小於或等於特定預設值的錯誤可修正實體區塊分為數個區塊佇列。舉例來說，假設特定預設值為 40 且錯誤位元數門檻值為 48，對於所對應之錯誤位元數大於 40 位元的所有錯誤可修正實體區塊，即便其錯誤位元數並未超過錯誤檢查與校正電路 3002 能校正之錯誤位元數上限，記憶體管理電路 1043 仍不會將其分入任何區塊佇列。亦即，在有資料需要被寫入可複寫式非揮發性記憶體模組 106 時，記憶體管理電路 1043 並不會使用所對應之錯誤位元數大於特定預設值的錯誤可修正實體區塊來寫入資料。如此一來可避免該些錯誤可修正實體區塊因已有較高的錯誤位元數，而在此次寫入資料時發生錯誤位元數激增且超過錯誤位元數門檻值的情況。

必須特別說明的是，在使用可複寫式非揮發性記憶體模組 106 的過程中，記憶體管理電路 1043 會依據各錯誤可修正實體區塊之錯誤位元數的變化來動態更新錯誤資訊對應表。亦即，記憶體管理電路 1043 將使錯誤資訊對應表能反映每一錯誤可修正實體區塊目前的錯誤位元數。而一旦有錯誤可修正實體區塊的錯誤位元數變為大於錯誤位元數門檻值，記憶體管理電路 1043 則重新將此錯誤可修正實體區塊識別為錯誤不可修正實體區塊，並將其記錄在錯誤資訊對應表（例如，記錄在圖 5A 所示之不可用實體區塊欄位，或圖 5B 所示之不可用實體區塊分表 800-N）。

當需要抹除某個已使用之實體區塊中的資料時，記憶體管理電路 1043 也會根據錯誤資訊對應表決定此實體區

塊在被抹除後是否要加入區塊佇列。具體來說，記憶體管理電路 1043 會查找錯誤資訊對應表以取得此實體區塊的錯誤位元數，再根據區塊佇列的劃分規則來判斷具有此錯誤位元數的實體區塊是否可被分入任何區塊佇列。舉例來說，假設記憶體管理電路 1043 定義有三個區塊佇列，其中第一區塊佇列包括錯誤位元數為 0 的錯誤可修正實體區塊、第二區塊佇列包括錯誤位元數介於 1 至 20 位元的錯誤可修正實體區塊，且第三區塊佇列包括錯誤位元數介於 21 至 40 位元的錯誤可修正實體區塊。若在查找錯誤資訊對應表取得即將執行抹除程序的實體區塊的錯誤位元數為 25 個位元，那麼在抹除其中的資料後，記憶體管理電路 1043 會將該實體區塊記錄在第三區塊佇列中。而倘若在查找錯誤資訊對應表取得此實體區塊的錯誤位元數為 45 位元，那麼在抹除其中的資料後該實體區塊將不會被加入任何區塊佇列。

圖 6 是根據本發明之一範例實施例所繪示之區塊管理方法的流程圖。

請參閱圖 6，在記憶體儲存裝置 100 被製造完成而進行開卡程序時，首先如步驟 S610 所示，記憶體控制器 104 中的記憶體管理電路 1043 對可複寫式非揮發性記憶體模組 106 中的所有實體區塊執行寫入測試、抹除測試，以及讀取測試。

接著在步驟 S620 中，記憶體管理電路 1043 從所有的實體區塊中識別出錯誤可修正實體區塊，並將錯誤可修正

實體區塊與所對應之錯誤位元數的對應關係記錄於錯誤資訊對應表。其中，錯誤可修正實體區塊是指通過寫入測試與抹除測試，且經過讀取測試所產生的錯誤位元數小於或等於錯誤位元數門檻值的實體區塊。

接著如步驟 S630 所示，記憶體管理電路 1043 依據錯誤資訊對應表中的錯誤可修正實體區塊以及錯誤可修正實體區塊所對應的錯誤位元數來選擇用以寫入資料的實體區塊。在本範例實施例中，所對應之錯誤位元數較低的實體區塊會具有較高的使用率。並且如步驟 S640 所示，記憶體管理電路 1043 依據錯誤可修正實體區塊之錯誤位元數的變化來動態更新錯誤資訊對應表。

在使用可複寫式非揮發性記憶體模組 106 的過程中，記憶體管理電路 1043 會反覆執行步驟 S630 及 S640 的動作來維護錯誤資訊對應表，以確保錯誤資訊對應表記錄的是各錯誤可修正實體區塊目前的錯誤位元數，而記憶體管理電路 1043 係根據錯誤資訊對應表所記錄之錯誤可修正實體區塊與錯誤位元數的對應關係來決定如何使用錯誤可修正實體區塊。

圖 7 是根據本發明之另一範例實施例所繪示之區塊管理方法的流程圖。在本範例實施例中，記憶體管理電路 1043 可在記憶體儲存裝置 100 出廠前藉由測試操作來維護錯誤資訊對應表，亦可在記憶體儲存裝置 100 運行中藉由資料寫入及讀取操作來建立錯誤資訊對應表。

詳細地說，在記憶體儲存裝置 100 被製造完成後，如

步驟 S710 所示，在記憶體儲存裝置 100 出廠前，記憶體管理電路 1043 於開卡程序時對可複寫式非揮發性記憶體模組 106 中的所有實體區塊執行寫入測試、抹除測試，以及讀取測試，以從中識別出錯誤可修正實體區塊，並據以維護錯誤資訊對應表。亦即，記憶體管理電路 1043 將錯誤可修正實體區塊與所對應之錯誤位元數的對應關係記錄在錯誤資訊對應表。

爾後如步驟 S720 所示，在記憶體儲存裝置 100 出廠後，記憶體管理電路 1043 對可複寫式非揮發性記憶體模組 106 中的所有實體區塊執行資料寫入操作以及資料讀取操作，進而在上述實體區塊中識別出錯誤可修正實體區塊，並據以維護錯誤資訊對應表。具體來說，記憶體管理電路 1043 會從實體區塊中找出經過資料讀取操作而產生的錯誤位元數小於或等於錯誤位元數門檻值的實體區塊以識別為錯誤可修正實體區塊，並將錯誤可修正實體區塊與所對應之錯誤位元數的對應關係記錄於錯誤資訊對應表。

接下來如步驟 S730 所示，記憶體管理電路 1043 依據錯誤資訊對應表中的錯誤可修正實體區塊以及錯誤可修正實體區塊所對應的錯誤位元數來選擇用以寫入資料的實體區塊。並如步驟 S740 所示，記憶體管理電路 1043 依據錯誤可修正實體區塊之錯誤位元數的變化來動態更新錯誤資訊對應表。

綜上所述，本發明所述之區塊管理方法、記憶體控制器與記憶體儲存裝置會維護一錯誤資訊對應表以記錄每一

錯誤可修正實體區塊所對應的錯誤位元數，並根據各實體區塊的錯誤位元數來選擇要利用哪個實體區塊來寫入資料。以上述方式對實體區塊進行管理不僅能平均可複寫式非揮發性記憶體模組中的各實體區塊的使用壽命，還能增加記憶體儲存裝置中的資料穩定性。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 是根據本發明一範例實施例繪示之使用記憶體儲存裝置的主機系統的示意圖。

圖 1B 是根據本發明範例實施例所繪示的電腦、輸入/輸出裝置與記憶體儲存裝置的示意圖。

圖 1C 是根據本發明另一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

圖 2 是繪示圖 1A 所示的記憶體儲存裝置的概要方塊圖。

圖 3 是根據本發明一範例實施例繪示之記憶體控制器的概要方塊圖。

圖 4 是根據本發明之一範例實施例所繪示之管理實體區塊的示意圖。

圖 5A、5B 是根據本發明之一範例實施例所繪示之錯誤資訊對應表的示意圖。

圖 6 是根據本發明之一範例實施例所繪示之區塊管理方法的流程圖。

圖 7 是根據本發明之另一範例實施例所繪示之區塊管理方法的流程圖。

【主要元件符號說明】

- 1000：主機系統
- 1100：電腦
- 1102：微處理器
- 1104：隨機存取記憶體
- 1106：輸入/輸出裝置
- 1108：系統匯流排
- 1110：資料傳輸介面
- 1202：滑鼠
- 1204：鍵盤
- 1206：顯示器
- 1208：印表機
- 1212：隨身碟
- 1214：記憶卡
- 1216：固態硬碟
- 1310：數位相機
- 1312：SD 卡
- 1314：MMC 卡
- 1316：記憶棒
- 1318：CF 卡

- 1320：嵌入式儲存裝置
- 100：記憶體儲存裝置
- 102：連接器
- 104：記憶體控制器
- 106：可複寫式非揮發性記憶體模組
- 1041：主機系統介面
- 1043：記憶體管理電路
- 1045：記憶體介面
- 3002：錯誤檢查與校正電路
- 3004：緩衝記憶體
- 3006：電源管理電路
- 410(0)~410(N)：實體區塊
- 502：資料區
- 504：閒置區
- 506：系統區
- 508：取代區
- 610(0)~610(L)：邏輯區塊
- 700、800：錯誤資訊對應表
- PBA(i)、PBA(j)、PBA(k)、PBA(l)、PBA(m)、PBA(n)、
PBA(a)、PBA(b)、PBA(c)、PBA(d)：實體區塊位址
- 800-0、800-1、800-2、800-(N-1)、800-N：分表
- S610~S640：本發明之一實施例所述之區塊管理方法
的各步驟
- S710~S740：本發明之另一實施例所述之區塊管理方
法的各步驟

七、申請專利範圍：

1. 一種區塊管理方法，用以管理一可複寫式非揮發性記憶體模組中的多個實體區塊，該方法包括：

記錄該些實體區塊中多個錯誤可修正實體區塊以及每一該些錯誤可修正實體區塊所對應的一錯誤位元數；

依據每一該些錯誤可修正實體區塊所對應的該錯誤位元數，將該些錯誤可修正實體區塊分為多個群組；

選擇該些群組的其中之一；以及

從所選擇的該群組中，選擇用以寫入資料的實體區塊。

2. 如申請專利範圍第 1 項所述之區塊管理方法，其中記錄該些錯誤可修正實體區塊以及每一該些錯誤可修正實體區塊所對應的該錯誤位元數的步驟包括：

對該些實體區塊執行一寫入測試、一抹除測試，以及一讀取測試；

在該些實體區塊中識別出該些錯誤可修正實體區塊，其中該些錯誤可修正實體區塊係通過該寫入測試與該抹除測試，且經過該讀取測試所產生的該錯誤位元數小於或等於一錯誤位元數門檻值的實體區塊；以及

將每一該些錯誤可修正實體區塊與所對應之該錯誤位元數的對應關係記錄於一錯誤資訊對應表。

3. 如申請專利範圍第 2 項所述之區塊管理方法，其中在對該些實體區塊執行該寫入測試、該抹除測試，以及該讀取測試的步驟之後，該方法更包括：

在該些實體區塊中識別出至少一錯誤不可修正實體區塊，其中該至少一錯誤不可修正實體區塊是未通過該寫入測試及/或該抹除測試的實體區塊，或是通過該寫入測試與該抹除測試但對應的該錯誤位元數大於該錯誤位元數門檻值的實體區塊；以及

將該至少一錯誤不可修正實體區塊記錄在該錯誤資訊對應表。

4. 如申請專利範圍第 1 項所述之區塊管理方法，其中記錄該些錯誤可修正實體區塊以及每一該些錯誤可修正實體區塊所對應的該錯誤位元數的步驟包括：

對該些實體區塊執行一資料寫入操作以及一資料讀取操作；

在該些實體區塊中識別出該些錯誤可修正實體區塊，其中該些錯誤可修正實體區塊係該些實體區塊經過該資料讀取操作所產生的該錯誤位元數小於或等於一錯誤位元數門檻值的實體區塊；以及

將每一該些錯誤可修正實體區塊與所對應之該錯誤位元數的對應關係記錄於一錯誤資訊對應表。

5. 如申請專利範圍第 1 項所述之區塊管理方法，其中記錄該些錯誤可修正實體區塊以及每一該些錯誤可修正實體區塊所對應的該錯誤位元數的步驟包括：

在使用該可複寫式非揮發性記憶體模組的過程中，依據每一該些錯誤可修正實體區塊所對應之該錯誤位元數的變化來動態更新一錯誤資訊對應表。

6. 如申請專利範圍第 1 項所述之區塊管理方法，其中將該些錯誤可修正實體區塊分為多個群組的步驟包括：

查詢一錯誤資訊對應表來取得每一該些錯誤可修正實體區塊的該錯誤位元數，並據以將該些錯誤可修正實體區塊分為多個區塊佇列，其中每一該些區塊佇列分別對應一區塊使用率，

其中選擇該些群組的其中之一的步驟包括：

當要將一資料寫入該可複寫式非揮發性記憶體模組時，根據每一該些區塊佇列的該區塊使用率選擇該些區塊佇列的其中之一來寫入該資料。

7. 如申請專利範圍第 6 項所述之區塊管理方法，其中將該些錯誤可修正實體區塊分為該些群組的步驟更包括：

在該些錯誤可修正實體區塊中，僅將所對應之該錯誤位元數小於或等於一特定預設值的錯誤可修正實體區塊分為該些區塊佇列。

8. 如申請專利範圍第 6 項所述之區塊管理方法，更包括：

根據一錯誤資訊對應表決定一已使用的實體區塊在被抹除後是否要加入該些區塊佇列。

9. 如申請專利範圍第 1 項所述之區塊管理方法，其中每一該些錯誤可修正實體區塊所對應的該錯誤位元數係小於或等於一錯誤位元數門檻值。

10. 一種記憶體控制器，用於管理一記憶體儲存裝置中的一可複寫式非揮發性記憶體模組，該記憶體控制器包

括：

一主機系統介面，用以耦接一主機系統；

一記憶體介面，用以耦接該可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組包括多個實體區塊；以及

一記憶體管理電路，耦接至該主機系統介面與該記憶體介面，該記憶體管理電路用以記錄該些實體區塊中多個錯誤可修正實體區塊以及每一該些錯誤可修正實體區塊所對應的一錯誤位元數，並將該些錯誤可修正實體區塊分為多個群組，

其中，該記憶體管理電路用以選擇該些群組的其中之一，並從所選擇的該群組中選擇用以寫入資料的實體區塊。

11. 如申請專利範圍第 10 項所述之記憶體控制器，其中該記憶體管理電路對該些實體區塊執行一資料寫入操作以及一資料讀取操作，並在該些實體區塊中識別出該些錯誤可修正實體區塊，且將每一該些錯誤可修正實體區塊與所對應之該錯誤位元數的對應關係記錄於一錯誤資訊對應表，其中該些錯誤可修正實體區塊係該些實體區塊經過該資料讀取操作所產生的該錯誤位元數小於或等於一錯誤位元數門檻值的實體區塊。

12. 如申請專利範圍第 10 項所述之記憶體控制器，其中在使用該可複寫式非揮發性記憶體模組的過程中，該記憶體管理電路依據每一該些錯誤可修正實體區塊所對應之該錯誤位元數的變化來動態更新一錯誤資訊對應表。

13. 如申請專利範圍第 10 項所述之記憶體控制器，其

中該記憶體管理電路查詢一錯誤資訊對應表來取得每一該些錯誤可修正實體區塊的該錯誤位元數，並據以將該些錯誤可修正實體區塊分為多個區塊佇列，其中每一該些區塊佇列分別對應一區塊使用率，

當要將一資料寫入該可複寫式非揮發性記憶體模組時，該記憶體管理電路根據每一該些區塊佇列的該區塊使用率選擇該些區塊佇列的其中之一來寫入該資料。

14. 如申請專利範圍第 13 項所述之記憶體控制器，其中該記憶體管理電路更用以在該些錯誤可修正實體區塊中，僅將所對應之該錯誤位元數小於或等於一特定預設值的錯誤可修正實體區塊分為該些區塊佇列。

15. 如申請專利範圍第 13 項所述之記憶體控制器，其中該記憶體管理電路根據一錯誤資訊對應表決定一已使用的實體區塊在被抹除後是否要加入該些區塊佇列。

16. 如申請專利範圍第 10 項所述之記憶體控制器，其中每一該些錯誤可修正實體區塊所對應的該錯誤位元數係小於或等於一錯誤位元數門檻值。

17. 一種記憶體儲存裝置，包括：

一可複寫式非揮發性記憶體模組，包括多個實體區塊；

一連接器，用以耦接一主機系統；以及

一記憶體控制器，耦接至該可複寫式非揮發性記憶體模組與該連接器，該記憶體控制器用以記錄該些實體區塊中多個錯誤可修正實體區塊以及每一該些錯誤可修正實體區塊所對應的一錯誤位元數，並且依據每一該些錯誤可修

正實體區塊所對應的該錯誤位元數來將該些錯誤可修正實體區塊分為多個群組，

其中，該記憶體控制器用以選擇該些群組的其中之一，並從所選擇的該群組中選擇用以寫入資料的實體區塊。

18. 如申請專利範圍第 17 項所述之記憶體儲存裝置，其中該記憶體控制器對該些實體區塊執行一資料寫入操作以及一資料讀取操作，並在該些實體區塊中識別出該些錯誤可修正實體區塊，且將每一該些錯誤可修正實體區塊與所對應之該錯誤位元數的對應關係記錄於一錯誤資訊對應表，其中該些錯誤可修正實體區塊係該些實體區塊經過該資料讀取操作所產生的該錯誤位元數小於或等於一錯誤位元數門檻值的實體區塊。

19. 如申請專利範圍第 17 項所述之記憶體儲存裝置，其中在使用該可複寫式非揮發性記憶體模組的過程中，該記憶體控制器依據每一該些錯誤可修正實體區塊所對應之該錯誤位元數的變化來動態更新一錯誤資訊對應表。

20. 如申請專利範圍第 17 項所述之記憶體儲存裝置，其中該記憶體控制器查詢一錯誤資訊對應表來取得每一該些錯誤可修正實體區塊的該錯誤位元數，並據以將該些錯誤可修正實體區塊分為多個區塊佇列，其中每一該些區塊佇列分別對應一區塊使用率，

當要將一資料寫入該可複寫式非揮發性記憶體模組時，該記憶體控制器根據每一該些區塊佇列的該區塊使用

率選擇該些區塊佇列的其中之一來寫入該資料。

21. 如申請專利範圍第 20 項所述之記憶體儲存裝置，其中該記憶體控制器更用以在該些錯誤可修正實體區塊中，僅將所對應之該錯誤位元數小於或等於一特定預設值的錯誤可修正實體區塊分為該些區塊佇列。

22. 如申請專利範圍第 20 項所述之記憶體儲存裝置，其中該記憶體控制器根據一錯誤資訊對應表決定一已使用的實體區塊在被抹除後是否要加入該些區塊佇列。

23. 如申請專利範圍第 17 項所述之記憶體儲存裝置，其中每一該些錯誤可修正實體區塊所對應的該錯誤位元數係小於或等於一錯誤位元數門檻值。

八、圖式：

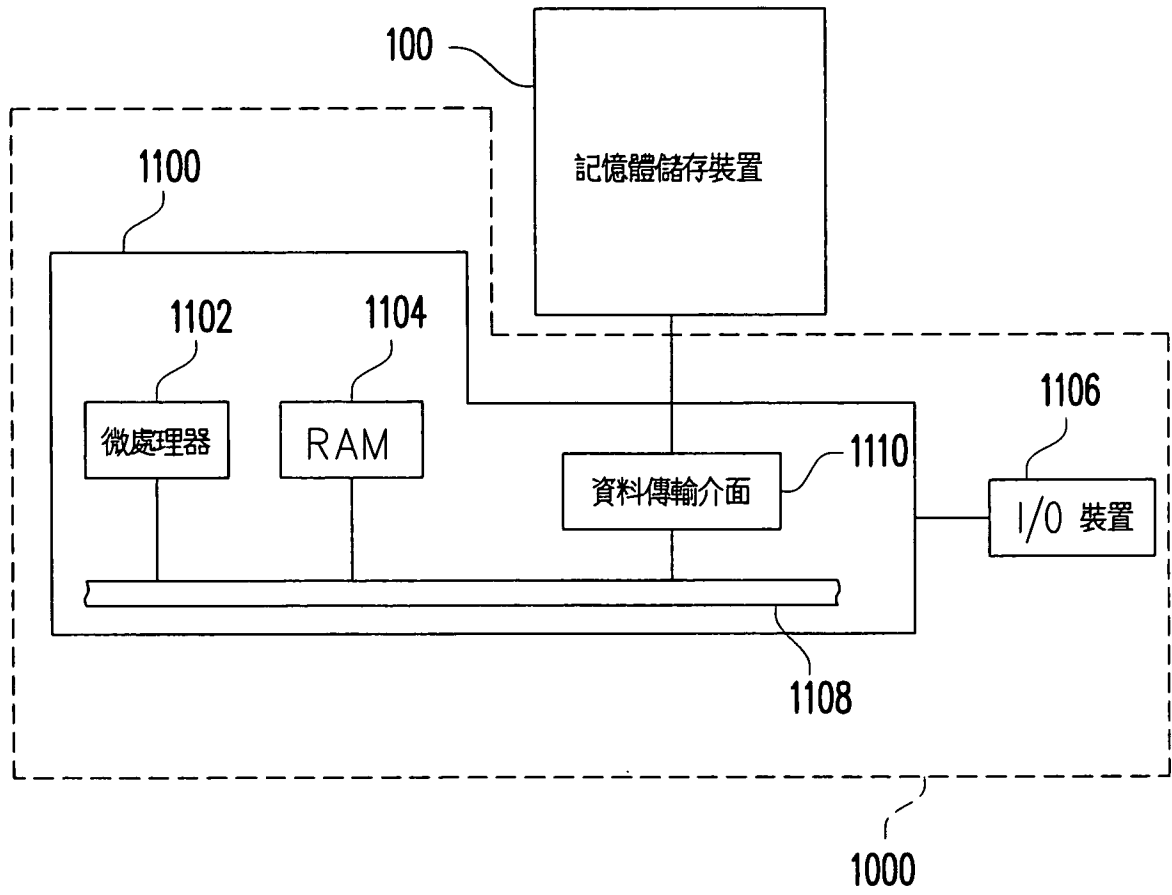


圖 1A

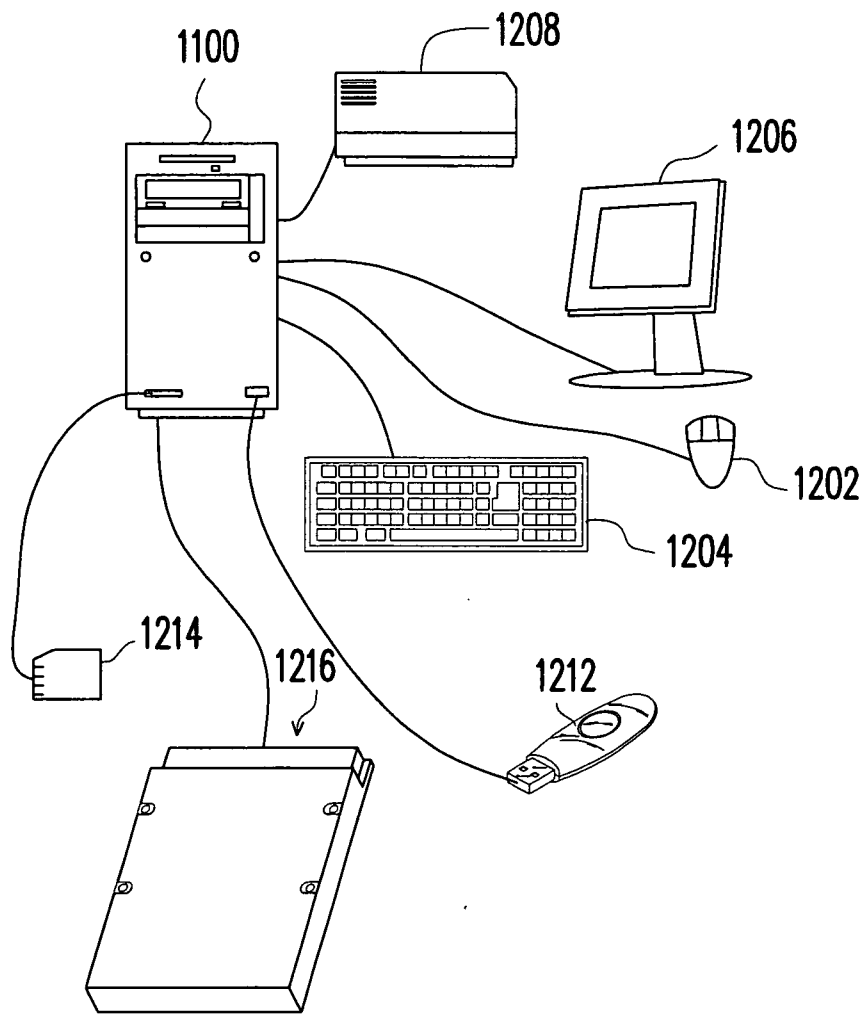


圖 1B

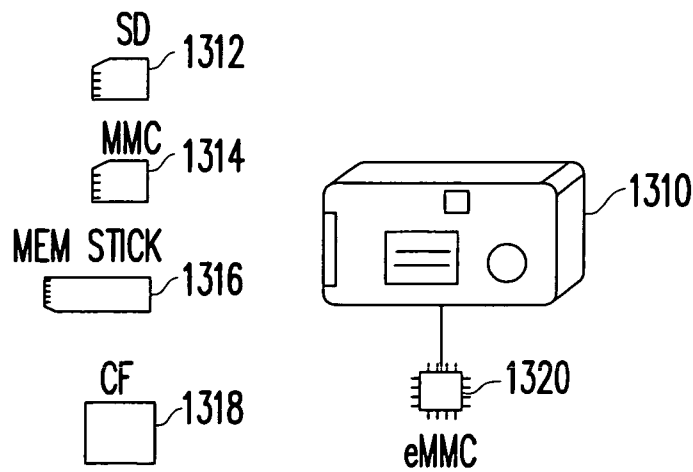


圖 1C

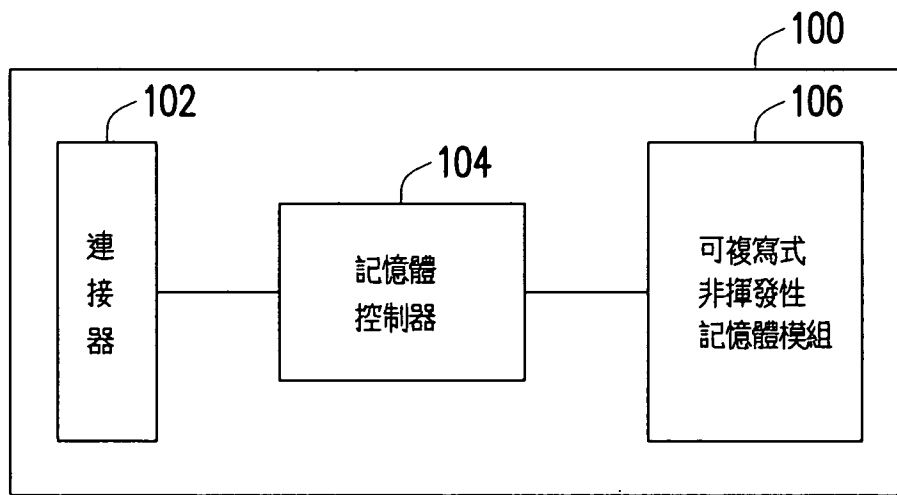


圖 2

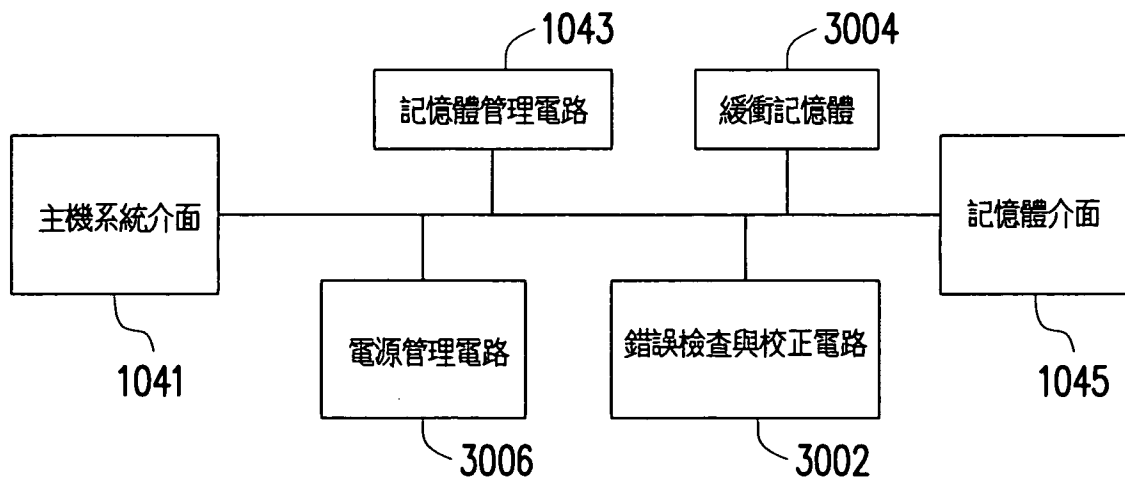


圖 3

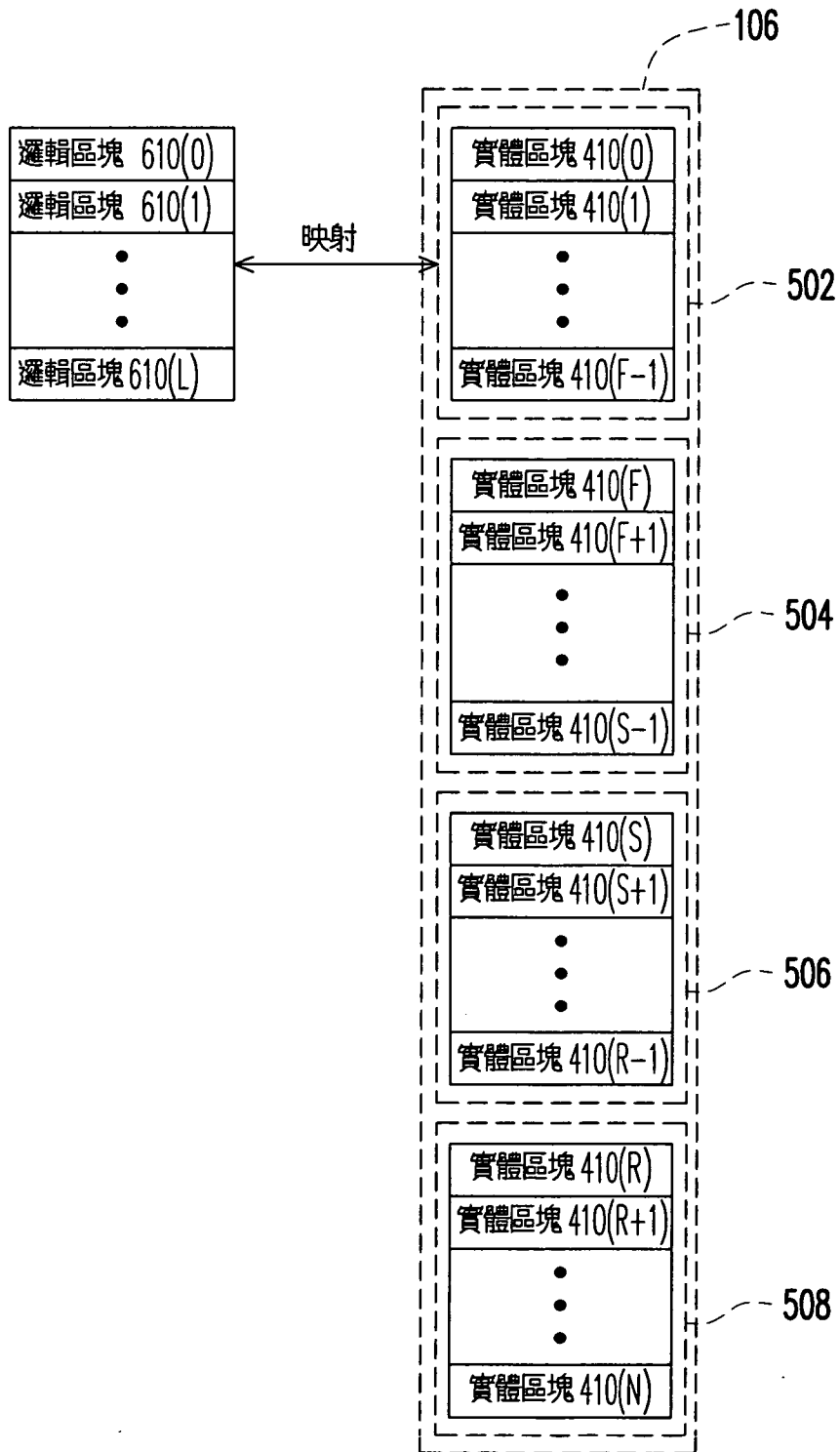


圖 4

0個錯誤位元	PBA(i)	• • • • •	PBA(j)
1個錯誤位元	PBA(k)	• • • • •	PBA(l)
2個錯誤位元	PBA(m)	• • • • •	PBA(n)
•		•	
•		•	
•		•	
48個錯誤位元	PBA(a)	• • • • •	PBA(b)
不可用實體區塊	PBA(c)	• • • • •	PBA(d)

700

圖 5A

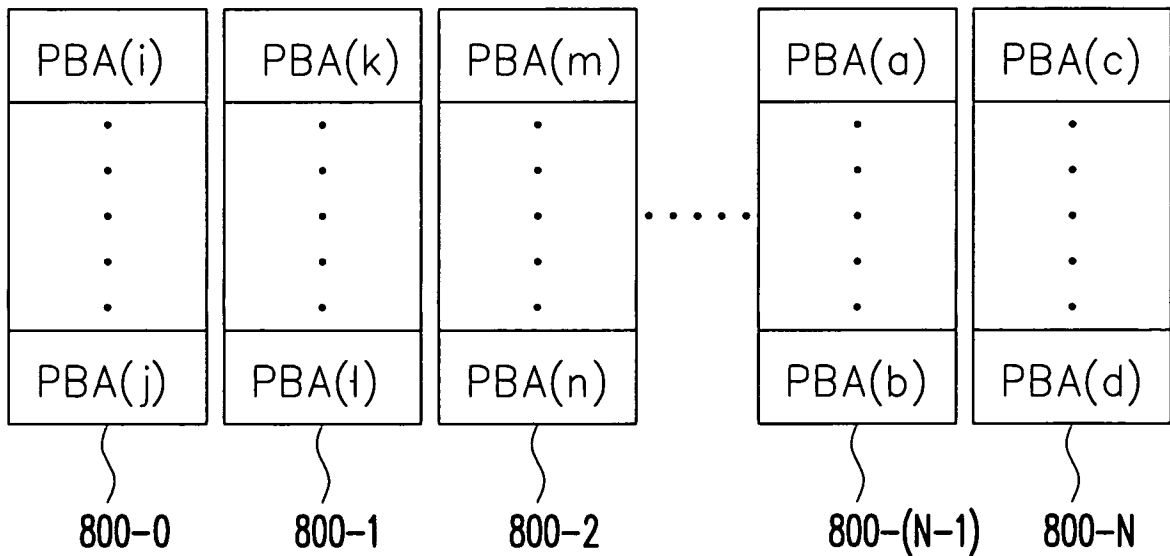


圖 5B

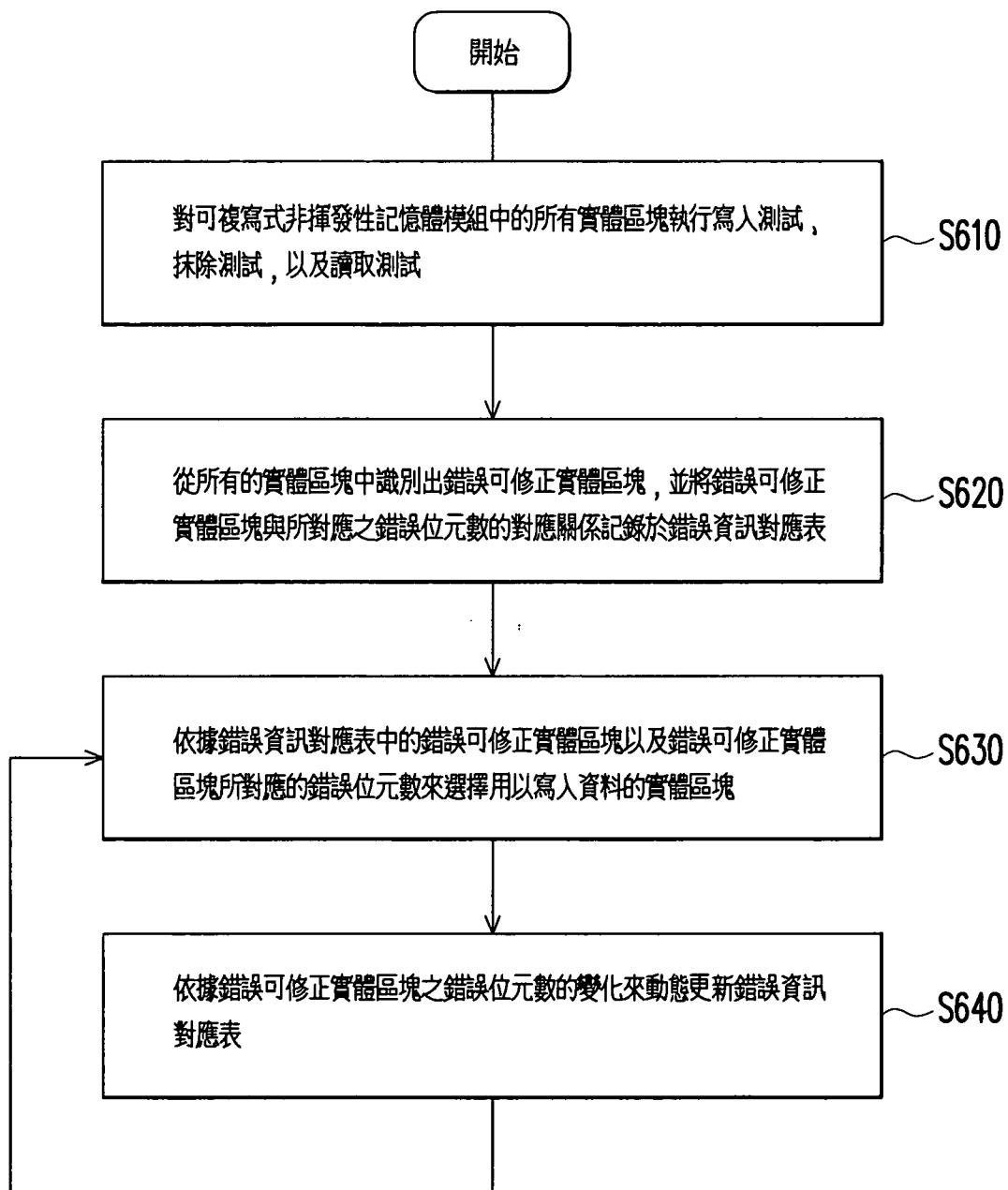


圖 6

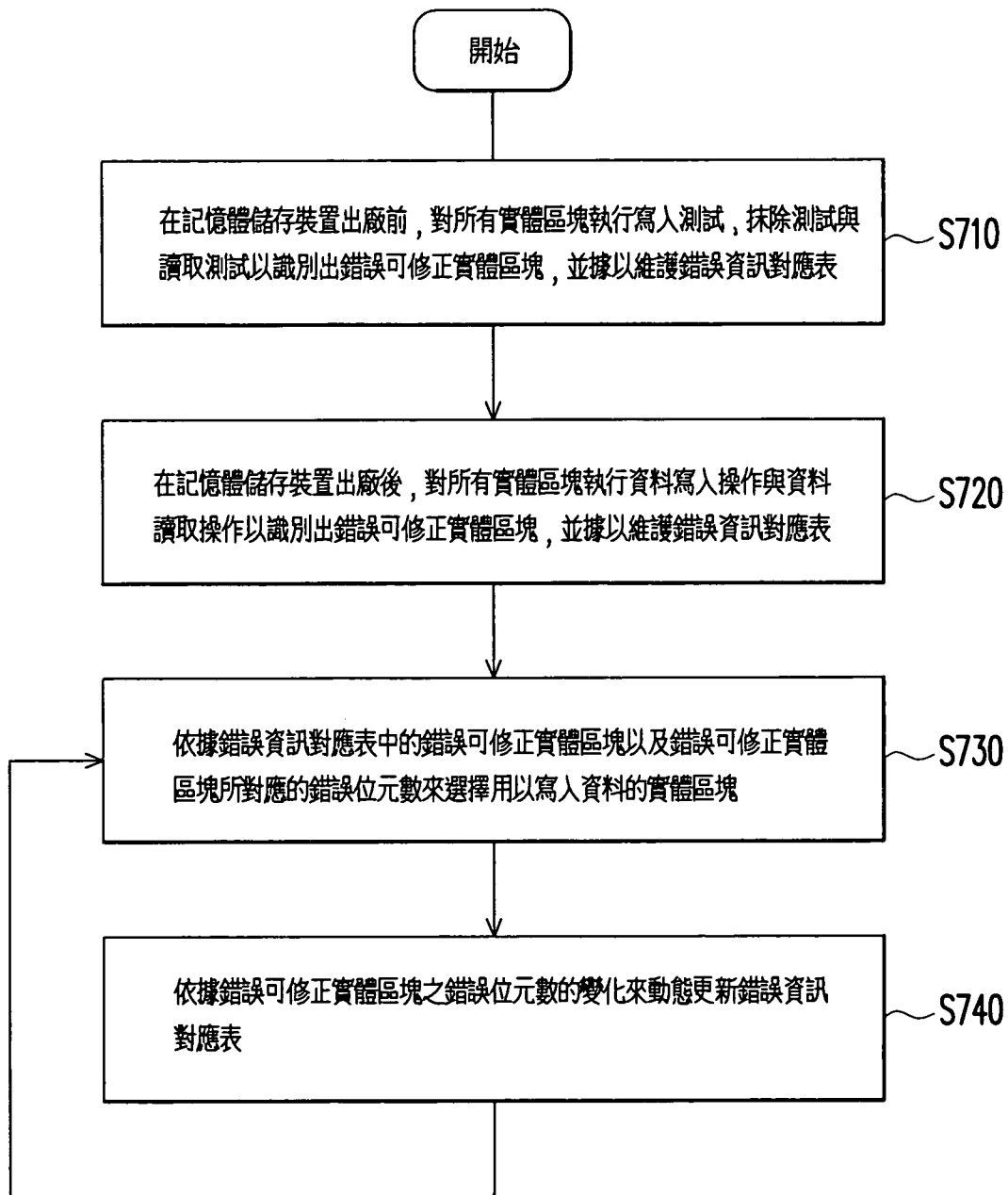


圖 7