

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H02P 5/04	(11) 공개번호 특2001-0005219	(43) 공개일자 2001년01월 15일
(21) 출원번호 10-1999-0026022		
(22) 출원일자 1999년06월30일		
(71) 출원인 페어차일드코리아반도체 주식회사 김덕중		
(72) 발명자 이영식		
(74) 대리인 김원호, 이원일		

심사청구 : 없음

(54) 3상 비엘디시 모터 구동회로

요약

본 발명은 3상 비엘디시 모터 구동회로에 관한 것으로, 3상 비엘디시 모터, 3상 비엘디시 모터의 회전자의 코일에서 발생하는 각 상의 역기전력을 입력받아 모터의 중성점의 전압을 비교하여 비교 결과를 출력하는 비교부, 비교부의 출력 전압에서 발생하는 다이오드 펄스 파형을 제거하는 마스크 회로, 마스크 회로의 출력 신호를 입력받아 각 상의 출력 신호의 위상을 전기적인 각으로 지연시키는 위상 전이 회로, 위상 전이 회로의 출력 신호를 입력받아 상기 구동용 인버터 회로를 제어하는 정류 및 드라이버 회로, 스위치의 스위칭 동작을 통해 모터를 구동하는 스위칭부를 포함한다. 본 발명은 홀센서나 리졸버 같은 위치 검출 센서를 사용하지 않고 회전자의 위치를 검출할 수 있다.

대표도

도1

색인어

비엘디시 모터, 인버터 회로, 역기전력

명세서

도면의 간단한 설명

- 도1은 본 발명의 3상 비엘디시 모터 구동회로를 나타내는 도면이고,
- 도2는 본 발명의 실시예에 따른 3상 비엘디시 모터의 역기전력 파형을 나타내는 도면이고,
- 도3은 스위칭부에 흐르는 전류의 흐름을 나타내는 도면이고,
- 도4는 도1의 비교부를 나타내는 도면이고,
- 도5는 도4의 비교부의 입출력 파형을 나타내는 도면이고,
- 도6은 도1의 마스크 회로를 나타내는 도면이고,
- 도7은 도6의 마스크 회로의 입출력 파형을 나타내는 도면이고,
- 도8은 도1의 위상 전이 회로를 나타내는 도면이고,
- 도9는 도8의 위상 전이 회로의 입출력 파형을 나타내는 도면이고,
- 도10은 도1의 전이 및 드라이버 회로의 출력결과를 나타내는 도면이고,
- 도11은 본 발명의 3상 비엘디시 모터 구동회로의 각 부분 출력파형을 나타내는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 3상 비엘디시(BrushLess Direct Current: BLDC) 모터 구동 회로에 관한 것으로, 특히 위치

검출 센서를 사용하지 않는 비엘디시 모터의 구동 회로에 관한 것이다.

통상 비엘디시 모터의 고정자(stator)는 코일에 전류를 흘려 형성하는 전기자(armature)를 사용하고, 회전자(rotator)는 N극과 S극이 반복되어 형성된 영구자석을 사용한다. 비엘디시 모터가 연속적으로 회전하기 위해서는 비엘디시 모터의 연속적인 회전자계의 형성을 해야 한다. 연속적인 회전자계를 형성하기 위해서는 전기자의 각 상의 코일에 흐르는 전류의 정류(Commutation)를 적절한 시점에 해야 하는데, 적절한 정류를 위해서는 회전자의 위치를 인식해야 한다. 여기서 정류(Commutation)란 회전자가 회전할 수 있도록 모터 고정자 코일의 전류 방향을 바꾸어 주는 것을 말한다.

따라서, 회전자의 위치를 인식하기 위한 장치가 필요한데, 종래에는 이러한 회전자 위치 인식장치로는 홀센서(Hall Sensor)나 리졸버(Resolver)소자 등이 이용되었다.

그러나, 이와 같이 홀센서나 리졸버 등의 소자를 사용하는 경우에는 제조 원가가 상승하고, 구동 회로가 복잡해지며 장시간 사용할 때 파손되는 등의 문제점이 있다.

발명이 이루고자하는 기술적 과제

본 발명은 이와 같은 문제점을 해결하기 위한 것으로서, 위치 검출 센서 없는 3상 비엘디시 모터 구동 회로를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명의 3상 비엘디시 모터 구동 회로는 3상 비엘디시 모터, 비교부, 마스크 회로, 위상 전이 회로, 정류 및 드라이버 회로, 스위칭부를 포함한다.

비교부는 3상 비엘디시 모터의 회전자에 의해 발생하는 역기전력을 3상 비엘디시 모터의 중성점의 전압과 비교하여 출력한다.

마스크 회로는 비교부의 출력 파형에 포함된 다이오드 펄스 파형을 제거한다.

위상 전이 회로는 마스크 회로의 출력을 전기적인 각으로 30° 지연시킨다.

정류 및 드라이버 회로는 위상 전이 회로의 출력에 의해 모터를 제어하는 신호를 발생시킨다.

스위칭부는 정류 및 드라이버 회로의 제어 신호에 따라 전류의 흐름을 바꾼다.

3상 비엘디시 모터에서는 역기전력이 클 때 모터의 토크가 크므로, 역기전력이 가장 큰 상의 코일에 전류를 흘려주어야 가장 효율적으로 모터를 구동할 수 있다. 따라서, 3상 비엘디시 모터에서는 각 상의 역기전력 분포 곡선의 제로 크로스 포인트(Zero Cross Point)로 부터 일반적으로 30° 정도 위상이 지연된 지점에서 정류 시켜주는 게 바람직하다.

이하에서는 본 발명의 실시예를 도면을 참조하여 상세히 설명한다.

도1은 본 발명의 3상 비엘디시 모터의 구동회로를 나타내는 도면이다.

본 발명의 3상 비엘디시 모터 구동 회로는 3상 비엘디시 모터(100)의 회전자 코일에 발생하는 역기전력을 3상 비엘디시 모터(100)의 중성점의 전압(VN)과 비교하여 출력하는 비교부(200)와, 비교부(200)의 출력 파형에 포함된 다이오드 펄스 파형을 제거하는 마스크 회로(300)와, 마스크 회로(300)의 출력을 30° 지연시키는 위상 전이 회로(400)와, 위상 전이 회로(400)의 출력에 의해 3상 비엘디시 모터(100)를 제어하는 신호를 발생시키는 전이 및 드라이버 회로(500)와, 전이 및 드라이버 회로(500)의 제어 신호에 의해 전류의 흐름을 바꾸는 스위칭부(600)를 포함한다.

도2는 본 발명의 실시예에 따른 3상 비엘디시 모터의 역기전력 파형을 나타내는 도면이고, 도3은 스위칭부에 흐르는 전류의 흐름을 나타내는 도면이다.

도3에서, 스위칭부(600)의 스위치(S1 ~ S6)는 MOS펄스의 드레인과 다이오드의 캐소드가 연결되고 스위치(S1 ~ S6)의 소오스와 다이오드의 애노드가 연결된 구조이다. 스위칭부(600)는 스위치(S1)와 스위치(S4)가 직렬 연결되고 스위치(S3)와 스위치(S6)가 직렬 연결되고 스위치(S5)와 스위치(S2)가 직렬 연결되며, 스위치(S1,S3,S5)가 공통으로 직류전원의 양극과 연결되며 스위치(S2,S4,S6)가 공통으로 직류전원의 음극에 연결되어 접지되며, 스위치(S1)와 스위치(S4)의 연결점이 3상 비엘디시 모터(100)의 U상에 연결되고 스위치(S3)와 스위치(S6)의 연결점이 3상 비엘디시 모터(100)의 V상에 연결되고 스위치(S5)와 스위치(S2)의 연결점이 3상 비엘디시 모터(100)의 W상에 연결된다.

도4는 도1의 비교부를 나타내는 도면이고, 도5는 도4의 비교부의 입출력 파형을 나타내는 도면이다.

도4에서, 비교부(200)는 U상에 발생하는 역기전력(VU)을 비교기(COMP1)의 (+)단자에 입력받고 3상 비엘디시 모터의 중성점의 전압(VN)을 (-)단자에 입력받아 비교하는 비교기(COMP1), V상에 발생하는 역기전력(VV)을 비교기(COMP2)의 (+)단자에 입력받고 3상 비엘디시 모터의 중성점의 전압(VN)을 (-)단자에 입력받아 비교하는 비교기(COMP2), W상에 발생하는 역기전력(VW)을 비교기(COMP3)의 (+)단자에 입력받고 3상 비엘디시 모터의 중성점의 전압(VN)을 (-)단자에 입력받아 비교하는 비교기(COMP3)를 포함한다.

도6은 도1의 마스크 회로를 나타내는 도면이고, 도7은 도6의 마스크 회로의 입출력 파형을 나타내는 도면이다.

도6에서, 마스크 회로(300)는 비교부(200)의 각 상의 출력 신호(VU_C,VV_C,VW_C)를 입력단에 입력받고 클럭펄스(CLK)를 클럭펄스 입력단에 입력받고 리셋 신호(Reset)를 클리어 입력단(CLR)에 입력받는 플립플롭(DFF1,DFF2,DFF3)으로 구성된 제1 플립플롭부(310), 정류 및 드라이버 회로(500)의 제어에 의한 정류에 의해 전류가 흐르지 않는 상에서의 역기전력만을 검출하는 검출부(320), 검출부(320)의 각 상의 출

력 신호를 입력단에 입력받고 특정한 펄스(ZC_SAMP)를 클럭펄스 입력단에 입력받고 주파수 생성기 신호(FG)로부터 만들어진 신호(ZC_MASK)를 인버터(INV1) 입력단에 입력받고 인버터(INV1)에 의해 반전된 출력 신호를 인에이블 신호 입력단(ENA)에 입력받고 리셋 신호(Reset)를 클리어 입력단(CLR)에 입력받아 다이오드 펄스 파형을 제거하는 플립플롭으로(DFF4,DFF5,DFF6) 구성된 제2 플립플롭부(330), 제2 플립플롭부(330)의 각 상의 출력 신호를 입력단에 입력받고 클럭펄스(CLK)를 클럭펄스 입력단에 입력받고 리셋 신호(Reset)를 클리어 입력단(CLR)에 입력받아 출력하는 플립플롭(DFF7,DFF8,DFF9)으로 구성된 제3 플립플롭부(340)를 포함한다.

도8은 도1의 위상 전이 회로를 나타내는 도면이고, 도9는 도8의 위상 전이 회로의 입출력 파형을 나타내는 도면이다.

도8에서, 위상 전이 회로(400)는 상기 마스크 회로(300)의 각 상의 출력 신호(EU,EV,EW)를 입력단에 입력받고 특정한 클럭 펄스(MID_CLK)를 클럭 펄스 입력단에 입력받고 리셋 신호(Reset)를 클리어 입력단(CLR)에 입력받는 플립플롭(DFF10,DFF11,DFF12)으로 구성된 제4 플립플롭부(410), 제4 플립플롭부(410)의 각 상의 출력 신호를 입력단에 입력받고 클럭 펄스(CLK)를 클럭 펄스 입력단에 입력받고 리셋 신호(Reset)를 클리어 입력단(CLR)에 입력받아 그 결과를 출력하는 플립플롭(DFF13,DFF14,DFF15)으로 구성된 제5 플립플롭부(420)를 포함한다.

도10은 도1의 전이 및 드라이버 회로의 출력결과를 나타내는 도면이고, 도11은 본 발명의 3상 비엘디시 모터 구동회로의 각 부분의 출력파형을 나타내는 도면이다.

이하에서 본 발명의 3상 비엘디시 모터 구동회로의 동작을 도면을 참조하여 상세하게 설명한다.

이하 3상 비엘디시 모터가 초기 구동을 시작하여 정속으로 회전하고 있다고 가정한다.

먼저 3상 비엘디시 모터의 각 상의 코일에 역기전력이 발생하는 과정을 설명한다.

도2와 도3에서, 정류(Commutation)에 의해 전류가 U상에서 V상으로 흐른다면, 구간에서(T1) 모스펫(Q1)과 모스펫(Q6)이 온되고 이로 인해 도3a에서 처럼 전류가 모스펫(Q1)을 거쳐 모스펫(Q6)으로 흐르게 된다. U상의 코일에는 전류에 반하는 방향으로 역기전력(VU)이 발생하므로 이때의 역기전력(VU)은 양의 값을 갖는다. 반면 V상의 코일은 음의 역기전력(VV)을 갖게 되고 W상의 코일은 이전 구간(X)에서 전류가 흐르다가 스위칭 동작에 의해 모스펫(Q5)이 오프되어 전류가 흐르지 않으므로 서서히 역기전력이 소멸되기 시작하여 역기전력이 제로값을 나타내는 제로 크로스 포인트(Zero Cross Point)를 지나 다음 구간(T2)인 모스펫(Q2)이 온되기 전까지 음의 값으로 증가하게 된다. 모스펫(Q6)이 오프되고 모스펫(Q2)이 온되면 U상에서 W상으로 전류가 흐르게 된다.

상기 단계에서, 도3a에서 처럼 스위칭 동작에 의해 U상에서 V상으로 전류가 흐르다가 U상에서 W상으로 전류의 흐름이 바뀌는 순간, V상의 코일에 존재하던 역기전력이 갑자기 소멸하게 되고 소멸하는 역기전력에 반하여 생성되는 역기전력에 의해 도3a에서 처럼 잠시 발생하다가 소멸하는 프리휠(Freewheel) 전류가 다이오드(D2)를 통해 흐르게 되고 역기전력은 모두 다이오드(D6)에 걸리게 된다. 또한, 도3b에서 처럼 스위칭 동작에 의해 U상에서 W상으로 전류가 흐르다가 V상에서 W상으로 전류의 흐름이 바뀌는 순간 U상의 코일에 존재하던 역기전력이 갑자기 소멸하게 되고 소멸하는 역기전력에 반하여 생성되는 역기전력에 의해 프리휠 전류가 다이오드(D3)를 통해 흐르게 된다. 정류에 의해 전류의 흐름이 바뀌는 경우는 정류의 매 사이클동안 6회이고, 상기 프리휠 전류가 스위칭 동작에 의해 정류의 매 사이클 동안 6회 생성되게 되고 프리휠 전류에 의해 생성되는 다이오드 펄스파형도 정류의 매 사이클 동안 6회 생성된다. 그리고, 다이오드 펄스파형이 나타나는 순간도 매 사이클의 60° 마다 반복되어 나타난다.

비교부(200)는 각 상에서 발생하는 역기전력(VU,VV,VW)을 비교기(COMP1, COMP2, COMP3)의 (+)단자에 입력받고 고정자의 코일의 공통점인 3상 비엘디시 모터 중성점의 전압(VN)을 비교기(COMP1,COMP2,COMP3)의 (-)단자에 입력받아, 도5에서 처럼 상기 중성점의 전압(VN)보다 높아지면 하이를 출력하고 낮아지면 로우를 출력하도록 한다.

비교부(200)에서 출력된 각 상의 출력신호(EU_C,EV_C,EW_C)는 마스크 회로(300)의 플립플롭(DFF1,DFF2,DFF3)에 입력되어 저장된다. 저장된 신호는 검출부(320) 각 상의 논리곱 게이트(AND2,AND4,AND6)에 입력되어 출력 결과를 플립플롭(DFF4,DFF5,DFF6)에 입력한다.

여기서, 본 실시예에서 사용되는 플립플롭은 클럭펄스가 로우에서 하이로 변할 때 출력단으로 입력값이 전달되는 정에지 트리거형 플립플롭으로 가정한다.

클럭펄스(CLK)는 신호(ZC_SAMP)를 생성하고, 마스크 회로(300)의 출력신호의 에지를 감지하여 만들어진 신호(FG)는 모터의 속도를 간접적으로 측정하기 위한 신호이고 이 신호(FG)는 신호(ZC_MASK)를 만들며, 신호(MID_CLK)는 신호(ZC_MASK)와 동일한 신호이다.

클럭펄스(CLK)는 플립플롭부(310,340,410)에 공통으로 클럭펄스 입력단에 입력되고, 플립플롭부(330)에는 신호(ZC_SAMP)가 클럭펄스 입력단에 입력되고, 플립플롭부(410)에는 신호(MID_CLK)가 클럭펄스 입력단에 입력된다.

도6에서, 검출부(320)는 전류가 흐르지 않는 상에서의 역기전력만을 검출한다.

이하 검출부(320)의 동작을 설명한다.

검출부(320)의 각 상의 입력단에는 스위칭부(600)의 스위치(S1~S6)를 구동하는 2진 부호화된 신호(U1,U2,V1,V2,W1,W2)가 입력된다. 예를 들어, U상에서 V상으로 전류가 흐른다면(이때는 W상에는 전류가 흐르지 않는다) 도2에서와 같이, 모스펫(Q1)과 모스펫(Q6)이 동작을 하므로 U1과 V2가 온 되어진 상태이므로 U1에는 하이가 입력되고 U2에는 로우가 입력되어 플립플롭(DFF4)이 동작하고, V1에는 로우가 입력되고 V2에는 하이가 입력되어 플립플롭(DFF5)이 동작한다. W1과 W2에는 모두 로우가 입력된다. 검출부(320)의 W상의 입력단이 모두 로우 일때는 W상에서는 전류가 흐르지 않음을 감지하게 되고 W상에서 발

생하는 다이오드 펄스파형을 감지한 신호가 플립플롭(DFF6)에 입력된다. 도시하지 않은 주파수 생성기로부터 만들어진 신호(ZC_MASK)가 다이오드 펄스파형보다 넓게 발생하여 인버터(INV7)에 하이가 입력되고 인버터(INV7)의 출력은 로우가 되어 플립플롭(DFF6)의 인에이블 입력단(ENA)에 입력되므로 플립플롭(DFF6)이 휴지(rest) 상태가 되고 이전 신호를 그대로 출력하게 된다. 이는 다이오드 펄스파형이 나타나는 부분을 제거하는 효과를 낸다. 상기 동작은 U상과 V상에서도 동일하게 적용된다.

플립플롭부(330)에서 제거된 신호는 플립플롭부(340)를 거쳐 출력되고 마스크 회로(300)에서 출력된 각 상의 출력신호(EU, EV, EW)는 위상 전이 회로(400)의 입력단에 입력되어 위상이 30° 지연된다.

도8에서, 위상 전이 회로(400)는 상기 마스크 회로(300)에서 출력된 각 상의 출력신호(EU, EV, EW)가 플립플롭부(410)의 플립플롭(DFF10, DFF11, DFF12)의 입력단에 입력되고 신호(MID_CLK)가 플립플롭부(410)의 플립플롭(DFF10, DFF11, DFF12)의 클럭펄스 입력단에 입력되어 신호가 발생할 때 신호의 에지에서 마스크 회로(300)의 출력신호(EU, EV, EW)를 지연시키게 된다.

지연된 위상 전이 회로(400)의 각 상의 출력신호(EU_30, EV_30, EW_30)는 정류 및 드라이버 회로(500)에 입력되고, 정류 및 드라이버 회로(500)는 도10에서와 같이 스위칭부(600)의 스위치를 구동시키는 신호(A1 ~ A6)를 발생하여 스위칭부(600)의 모스펫(Q1 ~ Q6)을 동작시킨다.

본 실시예에서 설명한 것은 하나의 예에 지나지 않고, 플립플롭의 종류나 논리 게이트의 구성은 등가적으로 변형하여 구현할 수 있으며, 본 실시예에 한정되는 것이 아니다.

발명의 효과

이상에서 설명한 것과 같이 본 발명은 회전자의 위치를 홀센서나 리졸버와 같은 위치 검출 센서를 사용하지 않고 모터의 역기전력 파형을 이용하여 회전자의 위치를 검출하는 3상 비엘디시 모터 구동회로를 제공한다.

(57) 청구의 범위

청구항 1

모터 각 상의 회전자 코일에서 발생하는 역기전력을 검출하여 회전자의 위치 정보를 얻는 3상 비엘디시 모터에 있어서,

상기 3상 비엘디시 모터의 회전자의 코일에서 발생하는 각 상의 역기전력과 상기 3상 비엘디시 모터의 중성점의 전압을 비교하여 그 결과를 출력하는 비교부;

상기 비교부의 각 상의 출력 전압에서 발생하는 프리휠 전류에 의한 펄스 파형을 제거하는 마스크 회로;

상기 마스크 회로의 각 상의 출력 신호를 입력받아 각 상의 출력 신호의 위상을 30° 지연시키는 위상 전이 회로;

상기 위상 전이 회로의 각 상의 출력 신호에 따라 상기 3상 비엘디시 모터 구동용 인버터 회로를 제어하는 정류 및 드라이버 회로;

상기 정류 및 드라이버 회로의 제어신호에 따라 스위치의 스위칭 동작을 통해 상기 3상 비엘디시 모터 각 상의 전류의 흐름의 방향을 바꾸는 스위칭부;

를 포함하는 3상 비엘디시 모터 구동 회로.

청구항 2

제1항에서,

상기 비교부는

제1 단자에 상기 3상 비엘디시 모터에서 발생한 역기전력을 입력받고, 제2 단자에 상기 3상 비엘디시 모터의 중성점의 전압을 입력받아 비교하여 그 비교값을 출력하는 비교기를 포함하며, 상기 비교기는 3상 비엘디시 모터 각 상에 연결되어 있는 것을 특징으로 하는 3상 비엘디시 모터 구동 회로.

청구항 3

제1항에서,

상기 마스크 회로는

상기 비교부의 각 상의 출력 신호를 입력단에 입력받고 클럭펄스를 클럭펄스 입력단에 입력받고 리셋 신호를 클리어 입력단에 입력받는 제1, 제2, 제3 플립플롭으로 구성된 제1 플립플롭부,

상기 정류 및 드라이버 회로의 제어로 인한 정류에 의해 전류가 흐르지 않는 상에서의 역기전력만을 검출하는 검출부,

상기 검출부의 각 상의 출력 신호를 입력단에 입력받고 클럭펄스로부터 만들어진 펄스를 클럭펄스 입력단에 입력받고 주파수 생성기로부터 만들어진 신호를 제1 인버터 입력단에 입력받아 반전된 출력 신호를 인에이블 신호 입력단에 입력받고 상기 리셋 신호를 클리어 입력단에 입력받아 다이오드 펄스 파형을 제거하는 제4, 제5, 제6 플립플롭으로 구성된 제2 플립플롭부,

상기 제2 플립플롭부의 각 상의 출력 신호를 입력단에 입력받고 상기 클럭펄스를 클럭펄스 입력단에 입

력받고 상기 리셋 신호를 클리어 입력단에 입력받아 출력하는 제7, 제8, 제9 플립플롭으로 구성된 제3 플립플롭부를 포함하는 것을 특징으로 하는 3상 비엘디시 모터 구동회로.

청구항 4

제1 항에서,

상기 위상 전이 회로는

상기 마스크 회로의 각 상의 출력 신호를 입력단에 입력받고 상기 주파수 생성기로부터 만들어진 신호를 클럭펄스 입력단에 입력받아 각 상의 위상을 전기적인 각으로 지연시키는 제10, 제11, 제12 플립플롭으로 구성된 제4 플립플롭부,

상기 제4 플립플롭부의 각 상의 출력을 입력단에 입력받고 상기 클럭펄스를 클럭펄스 입력단에 입력받아 입력 신호를 출력하는 제13, 제14, 제15 플립플롭으로 구성된 제5 플립플롭부를 포함하는 것을 특징으로 하는 3상 비엘디시 모터 구동회로.

청구항 5

제3 항에서,

상기 검출부는

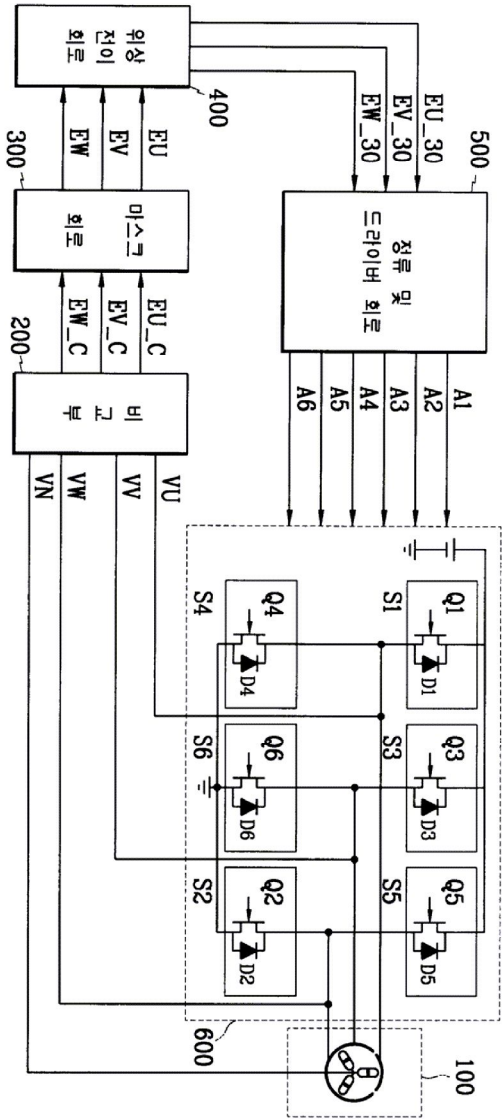
상기 3상 비엘디시 모터 구동용 인버터 회로의 스위칭부의 상단의 스위치와 하단의 스위치 동작을 검출해 2진 부호화 한 논리값을 제1,2,3,4,5,6 신호로 하여 상기 제2 신호를 입력받는 제2 인버터, 상기 제1 신호를 입력받는 제3 인버터, 상기 제1 신호와 상기 제2 인버터의 출력값을 논리곱하는 제1 논리곱 게이트, 상기 제2 인버터의 출력값과 상기 제3 인버터의 출력값과 상기 제1 플립플롭부의 출력값을 논리곱하는 제2 논리곱 게이트, 상기 제1, 제2 논리곱 게이트의 출력값을 논리합하는 제1 논리합 게이트를 포함하는 제1 검출부,

상기 제4 신호를 입력받는 제5 인버터, 상기 제3 신호를 입력받는 제6 인버터, 상기 제3 신호와 상기 제5 인버터의 출력값을 논리곱하는 제3 논리곱 게이트, 상기 제5 인버터의 출력값과 상기 제6 인버터의 출력값과 상기 제2 플립플롭의 출력값을 논리곱하는 제4 논리곱 게이트, 상기 제3, 제4 논리곱 게이트의 출력값을 논리합하는 제2 논리합 게이트를 포함하는 제2 검출부,

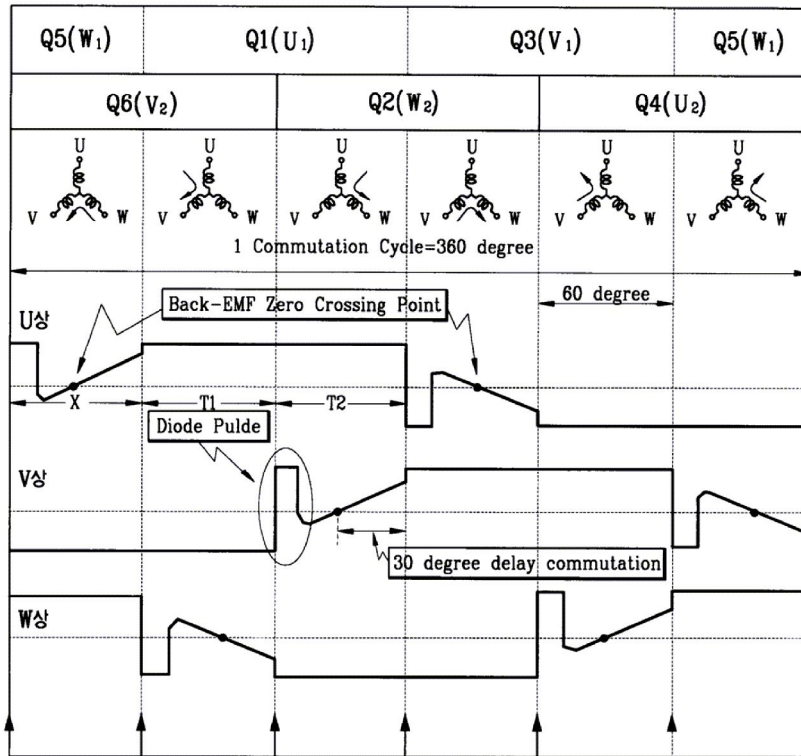
상기 제6 신호를 입력받는 제8 인버터, 상기 제5 신호를 입력받는 제9 인버터, 상기 제5 신호와 상기 제8 인버터의 출력값을 논리곱하는 제5 논리곱 게이트, 상기 제8 인버터의 출력값과 상기 제9 인버터의 출력값과 상기 제3 플립플롭의 출력값을 논리곱하는 제6 논리곱 게이트, 상기 제1, 제2 논리곱 게이트의 출력값을 논리합하는 제3 논리합 게이트를 포함하는 제3 검출부를 갖는 것을 특징으로 하는 3상 비엘디시 모터의 구동회로.

도면

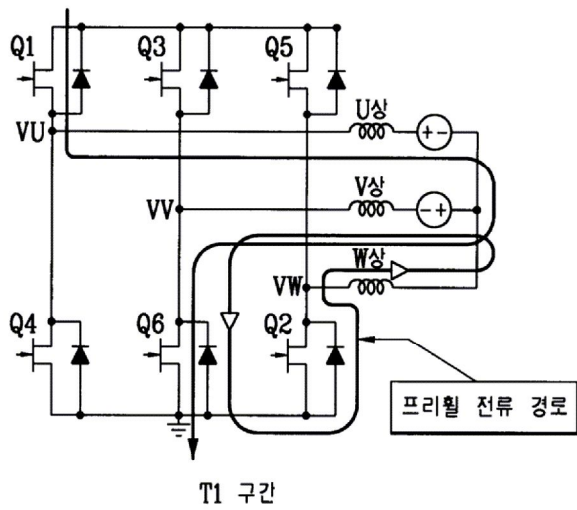
도면 1



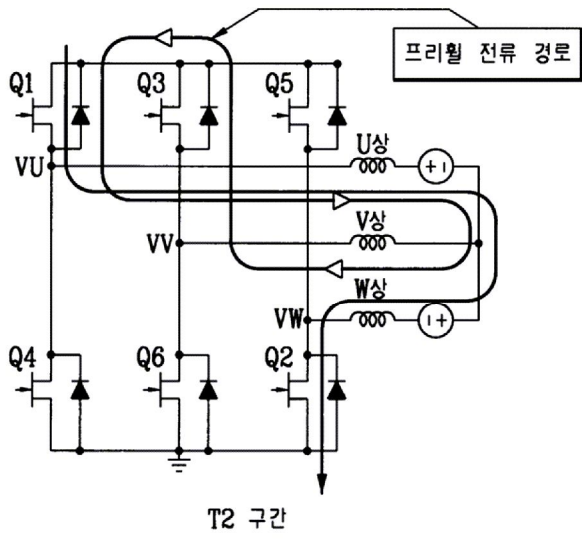
도면2



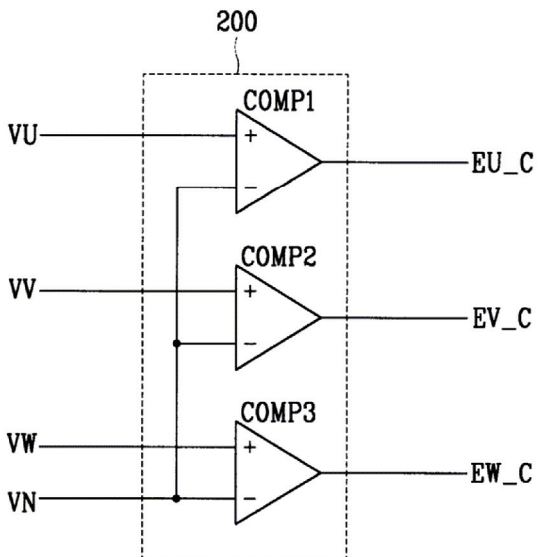
도면3a



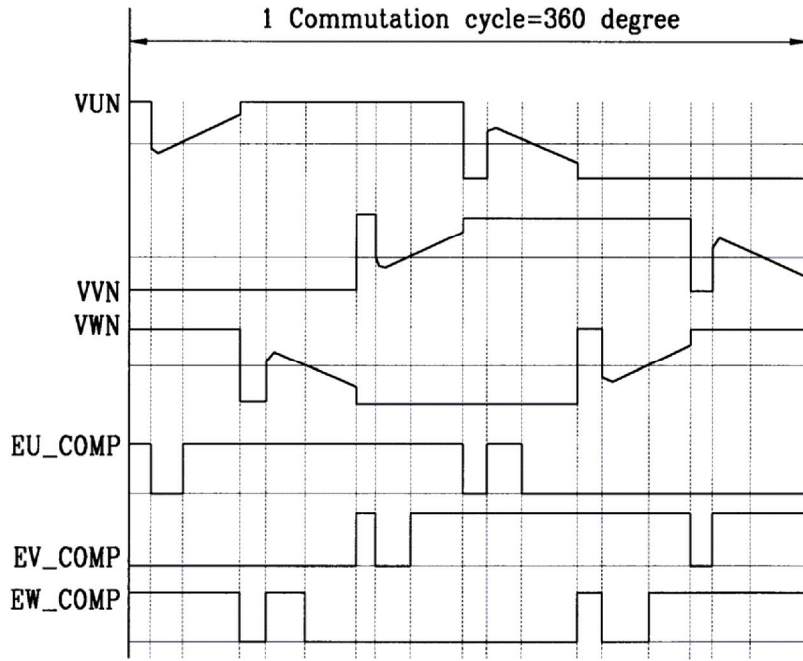
도면3b

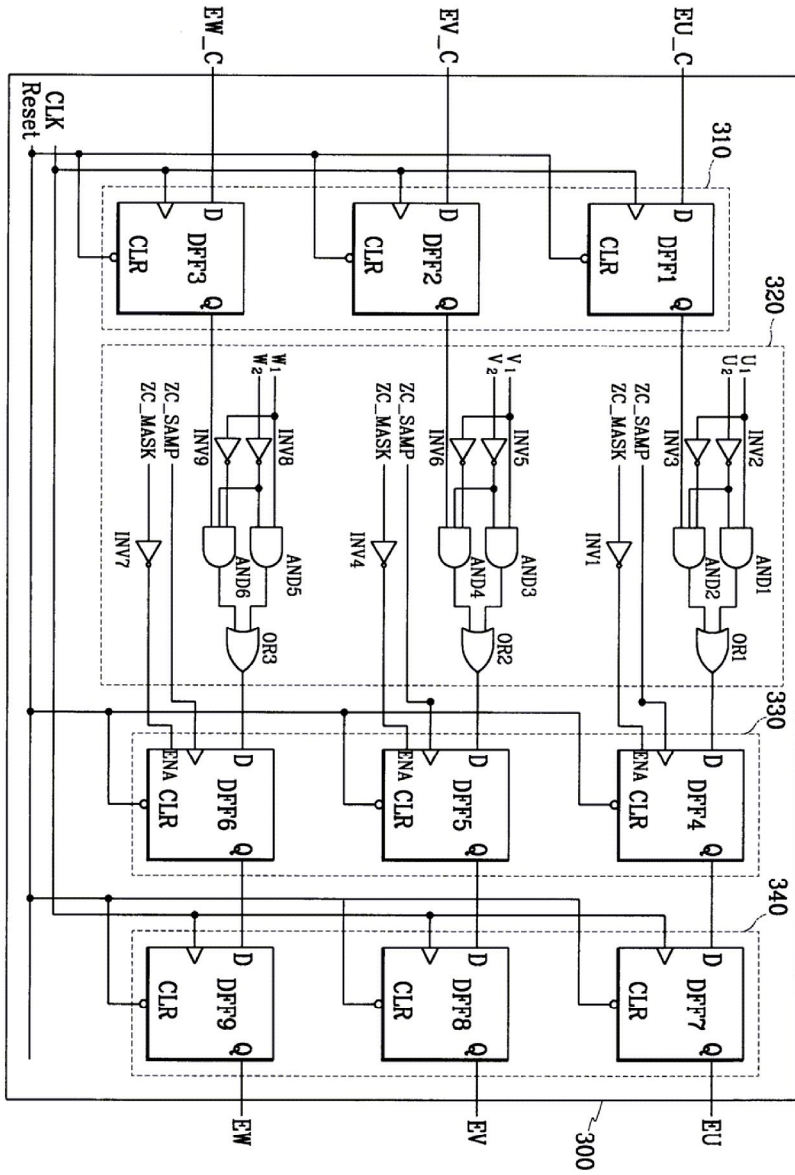


도면4

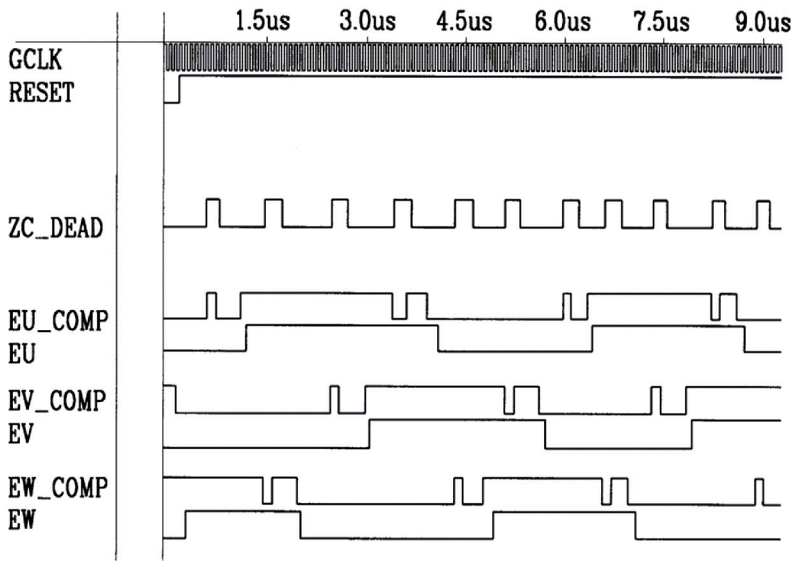


도면5

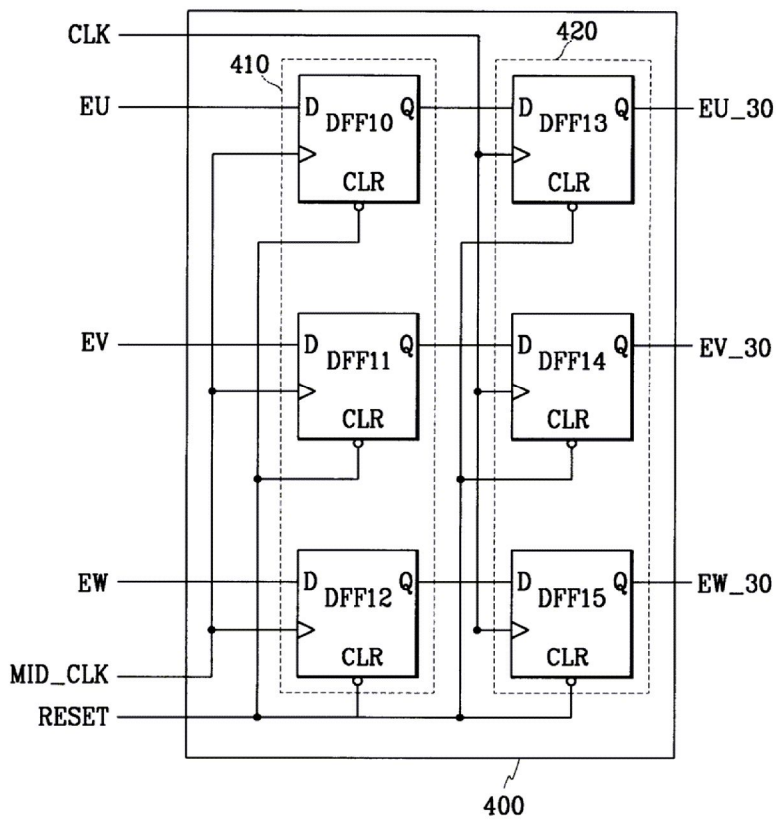




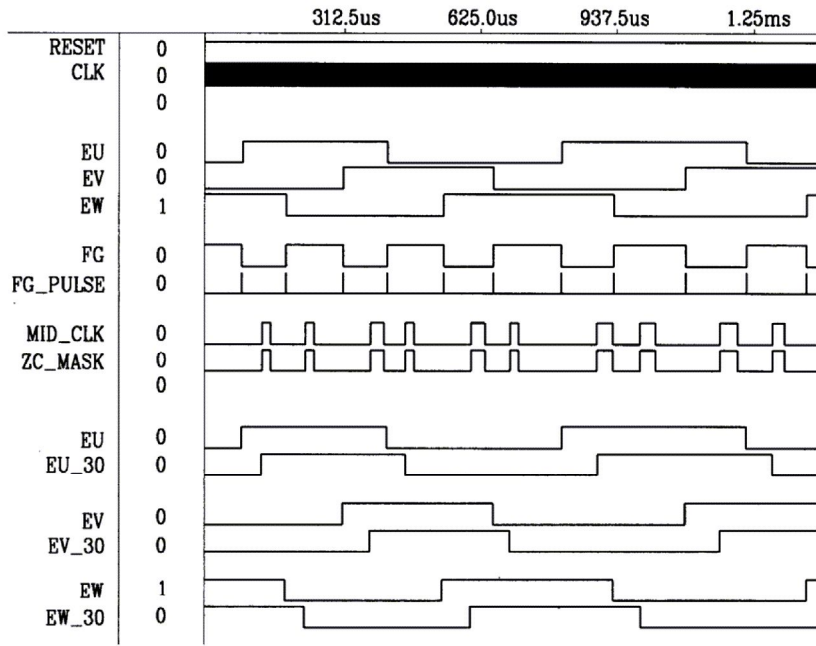
도면7



도면8



도면9



도면10

위상전이회로 출력			정류 및 드라이버 회로 출력					
EU_30	EV_30	EW_30	A1	A4	A3	A6	A5	A2
H	L	H	H	L	L	H	L	L
H	L	L	H	L	L	L	L	H
H	H	L	L	L	H	L	L	H
L	H	L	L	H	H	L	L	L
L	H	H	L	H	L	L	H	L
L	L	H	L	L	L	H	H	L
L	L	L	L	L	L	L	L	L

도면11

