



## 【特許請求の範囲】

## 【請求項 1】

電界効果トランジスタ又はヘテロ接合バイポーラトランジスタからなるトランジスタ部と、

前記トランジスタ部と並列に接続された E S D 保護部と、を備え、

前記 E S D 保護部は、

第 1 導電型の不純物を含有する第 1 及び第 2 の半導体層と、

前記第 1 及び第 2 の半導体層の間に形成され、前記第 1 及び第 2 の半導体層の禁制帯幅よりも禁制帯幅が広く、かつ、不純物濃度が  $1 \times 10^{17} \text{ cm}^{-3}$  以下である第 3 の半導体層と、を備える化合物半導体素子。

10

## 【請求項 2】

前記第 1 導電型が n 型であり、かつ、前記第 3 の半導体層の伝導帯と第 1 の前記第 1 及び第 2 の半導体層の伝導帯とのエネルギー差がいずれも  $0.3 \text{ eV}$  以上であることを特徴する請求項 1 に記載の化合物半導体素子。

## 【請求項 3】

前記第 1 導電型が p 型であり、かつ、前記第 3 の半導体層の伝導帯と第 1 の前記第 1 及び第 2 の半導体層の伝導帯とのエネルギー差がいずれも  $0.2 \text{ eV}$  以上であることを特徴する請求項 1 に記載の化合物半導体素子。

## 【請求項 4】

前記第 1 及び第 2 の半導体層の前記第 1 導電型の不純物濃度が  $1 \times 10^{18} \text{ cm}^{-3}$  以上であり、

20

前記第 1 及び第 2 の半導体層と前記第 3 の半導体層との各間に、前記第 1 導電型の不純物を含有し、その濃度が前記第 3 の半導体層中の濃度より高濃度かつ  $1 \times 10^{17} \text{ cm}^{-3}$  以下である第 4 及び第 5 の半導体層が形成されたことを特徴とする請求項 1 ~ 3 のいずれか一項に記載の化合物半導体素子。

## 【請求項 5】

前記第 3 の半導体層中の第 2 導電型の不純物濃度が  $1 \times 10^{17} \text{ cm}^{-3}$  以下であることを特徴とする請求項 1 ~ 4 のいずれか一項に記載の化合物半導体素子。

## 【請求項 6】

前記第 3 の半導体層の厚さが  $0.1 \sim 1.0 \mu\text{m}$  であることを特徴とする請求項 1 ~ 5 のいずれか一項に記載の化合物半導体素子。

30

## 【請求項 7】

前記第 1 及び第 2 の半導体層が GaAs からなり、前記第 3 の半導体層が AlGaAs、InAlP、InGaP のいずれかからなることを特徴とする請求項 1 ~ 6 のいずれか一項に記載の化合物半導体素子。

## 【請求項 8】

前記第 1 及び第 2 の半導体層が InP、InAlGaAs、InGaAsP のいずれかからなり、前記第 3 の半導体層が InAlAs 又は InGaAsP からなることを特徴とする請求項 1 ~ 6 のいずれか一項に記載の化合物半導体素子。

## 【請求項 9】

電界効果トランジスタ又はヘテロ接合バイポーラトランジスタからなるトランジスタ部を形成する工程と、

40

前記トランジスタ部と並列に接続された E S D 保護部を形成する工程と、を備え、

前記 E S D 保護部を形成する工程は、

第 1 導電型の不純物を含有する第 1 の半導体層を形成する工程と、

第 1 導電型の不純物を含有する第 2 の半導体層を形成する工程と、

前記第 1 及び第 2 の半導体層の間に位置し、前記第 1 及び第 2 の半導体層の禁制帯幅よりも禁制帯幅が広く、かつ、不純物濃度が  $1 \times 10^{17} \text{ cm}^{-3}$  以下である第 3 の半導体層を形成する工程と、を備える化合物半導体素子の製造方法。

## 【発明の詳細な説明】

50

## 【技術分野】

## 【0001】

本発明は、化合物半導体素子及びその製造方法に関し、例えば、光通信、無線通信、レーダなどの分野で用いられる化合物半導体素子及びその製造方法に関する。

## 【背景技術】

## 【0002】

化合物半導体素子は高速動作が可能であるため、無線通信や光通信のフロントエンドデバイスとして以前より広く実用化されている。また、携帯電話、レーダ用途や100Gb/sの光通信適用に向けてさらなる高速化や高機能化が求められている。

## 【0003】

化合物半導体素子には、電界効果トランジスタ(FET: Field effect transistor)とヘテロ接合バイポーラトランジスタ(HBT: Heterojunction Bipolar Transistor)とがある。これらの化合物半導体素子は、電子の移動度が高く、高速動作が可能で、また、低雑音な増幅器などに幅広く使われてきた。

## 【0004】

他方、化合物半導体素子の高速化、高性能化に伴い、素子サイズが小型化され、静電気放電(ESD: Electrostatic Discharge)耐性が悪化してきた。ESDは、取扱いや機械、装置で発生し、化合物半導体素子の破壊や回復不可能な損傷を招く恐れがある。ESD耐性は、化合物半導体素子の信頼性を左右する重要な特性であり、より安定な動作を確保するため十分に高めることが求められている。

## 【0005】

ESDにより特に損傷を受け易いのが、高周波信号の入出力部のFETである。一般的に、ESDにより電極金属と半導体との界面に大電流が流れ、熱的な損傷が生じることが原因であると考えられている。また、FETではゲートが、HBTではベースが、高周波信号の入力部となることが多い。この場合、特に抵抗が高く、素子サイズが小さいのでESDの影響を受け易い。

## 【0006】

図6はESD保護回路の一例である。入力端子INに対して、ESD保護ダイオードD1、D2が、電源VccとグランドGNDとの間に保護対象であるFETと並列に挿入されている。このような構成により、プラスの静電荷が入力端子に加わった場合、電源Vccに放電され、マイナスの静電荷が入力端子に加わった場合、グランドGNDに放電される。なお、特許文献1には、面発光レーザのESD耐性を向上するため、PN反転した素子を付加する技術が提案されている。

## 【先行技術文献】

## 【特許文献】

## 【0007】

【特許文献1】特開2006-216846号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0008】

図6の回路構成は2個のダイオードD1、D2を必要とし、入力部の容量がその分増加してしまうため、高速動作には不利になる。高速な化合物半導体素子には、低容量であることと、順・逆の静電気に対しても耐性をもつことが必要とされる。

## 【0009】

また、半導体光素子のESD耐性向上のために、ツェナーダイオードやバリスタなどのESD保護素子を実装することも考えられる。これらの素子は、十分なESD保護効果があり、半導体集積回路(IC)などの保護素子として広く実用化されている。しかしながら、ツェナーダイオードやバリスタは、寄生容量が非常に大きい。

## 【0010】

本発明はこのような背景のもとに行われたものであり、本発明の目的は、高速動作が可

10

20

30

40

50

能でかつ、E S D 耐性の高い化合物半導体素子及びその製造方法を提供することにある。

【課題を解決するための手段】

【0011】

本発明に係る化合物半導体素子は、  
電界効果トランジスタ又はヘテロ接合バイポーラトランジスタからなるトランジスタ部と、

前記トランジスタ部と並列に接続されたE S D 保護部と、を備え、

前記E S D 保護部は、

第1導電型の不純物を含有する第1及び第2の半導体層と、

前記第1及び第2の半導体層の間に形成され、前記第1及び第2の半導体層の禁制帯幅よりも禁制帯幅が広く、かつ、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以下である第3の半導体層と、を備えるものである。

10

【0012】

本発明に係る化合物半導体素子の製造方法は、

電界効果トランジスタ又はヘテロ接合バイポーラトランジスタからなるトランジスタ部を形成する工程と、

前記トランジスタ部と並列に接続されたE S D 保護部を形成する工程と、を備え、

前記E S D 保護部を形成する工程は、

第1導電型の不純物を含有する第1の半導体層を形成する工程と、

第1導電型の不純物を含有する第2の半導体層を形成する工程と、

前記第1及び第2の半導体層の間に位置し、前記第1及び第2の半導体層の禁制帯幅よりも禁制帯幅が広く、かつ、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以下である第3の半導体層を形成する工程と、を備えるものである。

20

【発明の効果】

【0013】

本発明によれば、高速動作が可能でかつ、E S D 耐性の高い化合物半導体素子及びその製造方法を提供することができる。

【図面の簡単な説明】

【0014】

【図1】本発明の実施の形態に係る回路構造図である。

30

【図2】本発明の実施例1に係る電界効果トランジスタの構造を示す断面図である。

【図3A】本発明の実施例1に係る静電気対策素子の効果を示す解析結果のグラフである。

【図3B】本発明の実施例1に係る静電気対策素子の効果を示す解析結果のグラフである。

【図3C】本発明の実施例1に係る静電気対策素子の効果を示す解析結果のグラフである。

【図4A】本発明の実施例1に係る電界効果トランジスタの製造方法を示す図である。

【図4B】本発明の実施例1に係る電界効果トランジスタの製造方法を示す図である。

【図4C】本発明の実施例1に係る電界効果トランジスタの製造方法を示す図である。

【図5】本発明の実施例2にヘテロ接合トランジスタの構造を示す断面図である。

【図6】E S D 保護回路の一例を示す図である。

40

【発明を実施するための形態】

【0015】

本発明の化合物半導体素子は、高周波回路の入力部又は出力部に用いられるF E T 又はH B T であって、並列に集積されたE S D 保護素子を備えることに特徴がある。E S D 保護素子には、素子容量の増加を最小限にし、高速動作を阻害しないことが求められる。

【0016】

このE S D 保護素子は、禁制帯幅の広いアンドープ層(i層)を禁制帯幅の狭い導電層で挟むことを特徴としている。このE S D 保護素子の導電層は、n型でもp型でもよい。すなわち、n i n 構造又はp i p 構造となる。このE S D 保護素子では、導電層とi層のとの間に伝導帯又は価電子帯の不連続があるので、そのオフセットをキャリアが乗り越えられるだけのバイアスが印加されていないときには、ほとんど電流が流れない。

50

## 【0017】

一般に、高周波回路用の化合物半導体素子の駆動電圧は3.3Vであることが多く、高出力な素子でも10V以下で使われるためである。ここで、AC結合(DC成分をカット)してコモンモード電圧(平均電圧)を0Vとしてもよく、LVD S(Low voltage differential signal)やCML(current mode logic)のようにコモンモード電圧を0Vでない所定の値にしてもよい。

## 【0018】

本発明に係るESD保護素子が、例えばn i n構造の場合、プラスの電圧を印加した側のn型導電層とi層との界面が空乏化するため、この素子の実効的な容量が低下することになる。素子容量は、誘電率×面積÷絶縁層の厚さに比例する。そのため、キャリアの存在しない空乏層が厚くなることで、この絶縁層の厚さが増したことと同等の効果が得られる。すなわち、このESD保護素子にバイアス電圧を印加した場合、このESD保護素子の容量を減少させることができる。

10

## 【0019】

そのため、化合物半導体素子動作時にESD保護素子にバイアス電圧が印加され、かつ、化合物半導体素子の入力又は出力端子に並列に、ESD保護素子を接続する必要がある。AC結合の場合、入力又は出力端子の平均電圧はGNDと同じになってしまうため、図1のように、入力又は出力端子(図1では入力端子IN)とESD保護素子とは、GNDとの間に化合物半導体素子FETと並列に接続するのではなく、電源Vccとの間に並列に接続する。一方、AC結合ではなく、DC結合であって所定のコモンモード電圧が印加されるLVD SやCMLなどの場合、ESD保護素子の一端をGNDに接続して使えばよい。

20

## 【0020】

このESD保護素子に、静電気が印加された場合、i層と導電層との間の不連続をキャリアが乗り越え、アバランシェ降伏する。そのため、ESD保護素子側に電流が流れる。本発明に係るESD保護素子は、n i n構造又はp i p構造であって、対称な構造であるため、高周波素子の入出力端子に、正・負いずれの静電気が印加された場合でも、ESD保護効果を発揮することができる。n i n構造、p i p構造のいずれでも同様の効果が得られるが、n i n構造の方が、キャリア移動度が一般に大きく、素子抵抗を下げることができ、望ましい。

30

## 【0021】

i層には、不純物が混入しないことが望ましいが、実際の製造工程において不純物の混入を完全に無くすることは不可能である。意図しないバックグランド不純物濃度は、導電層の不純物の導電型と反対であることが望ましく、かつ、その濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下が望ましい。導電層中の不純物とi層中の不純物との導電型が同じ場合、化合物半導体素子が動作するような低電圧でもリーク電流が発生するからである。導電層の不純物濃度は、高いほうがオン状態すなわち降伏状態での抵抗が下がり、静電気による電流が流れやすくなる。そのため、できるだけ高い濃度が望ましい。少なくとも $1 \times 10^{18} \text{ cm}^{-3}$ 以上であると、導電層の抵抗を十分に低抵抗化することができる。

40

## 【0022】

また、導電層とi層の間には、化合物半導体素子動作電圧で空乏化し、かつ、リーク電流を少なくするため、禁制帯幅が導電層とi層との間の組成で、かつ、その不純物が導電層と同じ導電型で、その濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以下の低濃度層を形成する。低濃度層は、空乏化し易いため容量低減に寄与し、また、バイアス印加時に、電流が流れにくくなるので、リーク電流の低減にも寄与する。

## 【0023】

また、i層の厚さは、0.1~1.0 $\mu\text{m}$ の間が望ましい。その理由は、0.1 $\mu\text{m}$ よりも薄いと低電圧でリーク電流が発生し、また、容量が大きくなるため化合物半導体素子の高速特性が悪化してしまう。一方、1.0 $\mu\text{m}$ 以上にすると、容量は低減できるが、この素子にかかる電圧が高くなり過ぎることに加え、素子抵抗が高くなり過ぎるため、望ま

50

しくない。また、*i*層の組成は、導電層が*n*型の場合、導電層との伝導帯のエネルギー差が0.3 eV以上ある必要がある。エネルギー差が小さいと、化合物半導体素子のバイアス程度の電圧でもリーク電流が流れるからである。一方、導電層が*p*型の場合、同じ理由で導電層との伝導帯のエネルギー差が0.2 eV以上ある必要がある。

#### 【0024】

このような高周波回路用の化合物半導体素子は、安価で作り易いGaAs基板上に作られることが多い。その場合、このESD保護素子の導電層と*i*層とは、それぞれGaAsとほぼ格子整合することが望ましい。導電層には、例えば、GaAsを用いることができる。一方、*i*層には、例えば、AlGaAs層又はInGaP, InAlGaPを用いることができる。

10

#### 【0025】

一方、特に高性能な特性が求められる場合は、InP基板上に作製することもある。ESD保護素子の導電層と*i*層とは、それぞれInP基板と格子整合することが望ましい。導電層には、例えば、InGaAsPなどを用いることができる。このとき、*i*層には、例えば、InP、InAlAsなどを用いることができる。

#### 【0026】

このESD保護素子は、トランジスタに対して、再成長によって作製することもできるし、また、トランジスタと同時に結晶成長で形成することも作製することができる。

#### 【0027】

本発明に係る化合物半導体素子には、ESD保護素子が並列に集積されているため、静電気が化合物半導体素子に印加された場合、ESD保護素子に電流が流れる。そのため、化合物半導体素子を静電気から保護することができる。また、容量の増加を最小限にできるので、化合物半導体素子を高速動作させることができる。

20

#### 【実施例1】

#### 【0028】

次に、以下に本発明の実施例1に係る化合物半導体素子の構成について図2を参照して説明する。ここでは、GaAs基板上に形成された高周波回路に本発明を適用した例を挙げる。この化合物半導体素子には、高周波アナログ回路や無線などに使われる高周波回路の入力部のFETと、ESD保護素子とが集積化されている。

#### 【0029】

図2に示す化合物半導体素子1では、GaAsからなる半絶縁性基板101上に*n*型バッファ層102、GaAsからなる*n*型チャネル層103、AlGaAsからなるショットキー層104、*n*型コンタクト層105、ソース電極106、ドレイン電極107、ゲート電極108を備えるFET部が形成されている。

30

#### 【0030】

また、半絶縁性基板101上の他の領域に、GaAsからなる*n*型導電層109、GaAsからなる*n*型低濃度層110、AlGaAs又はInAlGaPからなるアンドープ層111、GaAsからなる*n*型低濃度層112、GaAsからなる*n*型導電層113を備えたESD保護部114が形成されている。各メサの側面には、誘電体保護膜115が形成されている。ESD保護部114上には電極116、117が形成されている。ここで、電極117は電源Vccと接続され、電極116はFET部のゲート電極108と接続されている。

40

#### 【0031】

この化合物半導体素子1には、ゲート電極108に電圧が印加されることにより、ドレイン・ソース電流が制御されるFETが集積されている。また、ESD対策として、アンドープ層111が2つの*n*型導電層109、113により挟まれた*nin*構造のESD保護素子が、FETのゲートと電源との間にFETと並列に集積されている。

#### 【0032】

次に、実施例1に係るFET部の動作について、図3A~3Cの計算結果を元に説明する。高周波信号としては、LVDSなどの差動信号が用いられることが多い。差動信号は

50

、伝送中に雑音を除去できるなどの効果を有する。また、グラウンドからのコモンモードノイズを除去するために、0 Vでない所定のコモンモード電圧が印加されることも多い。すなわち、ゲート電極108には、コモンモード電圧が0 Vの差動信号が入力される場合もあるし、コモンモード電圧が0 Vでない差動信号が入力される場合もある。

【0033】

ここで、FET部は、電源電圧が3.3 Vで使われることが多い。また、より高出力な増幅器などで用いる場合も10 V程度である。電源電圧が3.3 Vの場合、FET部のゲートと電源又はグラウンドとの間の電圧は、最大3.3 Vとなる。入力信号がAC結合であれば、入力部のコモンモード電圧は0 Vになり、動作時にFET部のゲートと電源との間に、3.3 Vの電圧が印加される。同時に、並列に接続されているESD保護部114の両電極116、117の間にも3.3 V印加される。

10

【0034】

ESD保護部114の動作について説明する。電極116、117の間に、電源オフ時や実装前などのようにバイアス電圧が印加されていない場合、アンドープ層111とはいえ、若干不純物が含まれており、またビルトイン電界がほとんどかかっていないので、ほとんど空乏化していない。そのため、理論的にアンドープ層111の厚さから計算される容量よりも大幅に大きくなる。

【0035】

また、静電気が印加されたとき、静電気印加試験などで使われるマシンモデル（静電気がチャージされた機械と接触したときに用いられるモデル）などでは、人体モデルと異なり、接触抵抗がほとんど存在しないので瞬間的に電圧が印加されたときに、印加される電圧の立ち上がりはナノ秒程度と高速なので、高い周波数成分をもっている。

20

【0036】

一方、FETのゲート電極108はショットキー接続されており、ゲート電流はほとんど流れないので、ESDが印加されると、ゲート電圧が立ち上がり後、更に一定の電荷が印加される。この場合、ESD保護部114側が先にアバランシェブレークダウンし、ESD保護部114に電流が流れる。そのため、FET部には高い電圧が印加されない。このESD保護部114は構造的に上下対称なので順・逆方向いずれの静電気が印加されても対応できる。

【0037】

また、本実施例では、アンドープ層111と2つのn型導電層109、113の各間に、n型低濃度層110、112を導入している。n型低濃度層110、112は低バイアスでも空乏化するため、容量低減にも寄与する。本実施例では、n型低濃度層110、112が0.3 μmあり、アンドープ層111と合わせて0.8 μmが空乏化するので容量を大幅に低減することができる。

30

【0038】

一方、このESD保護部114には、化合物半導体素子1のバイアス電圧が印加された状態では電流（リーク電流）が流れないようにする必要がある。従って、ESD保護部114にはバイアス電圧以下では電流が流れず、ある一定電圧を越えた場合に電流が流れることが望ましい。

40

【0039】

図3Aは、リーク電流のアンドープ層111の層厚依存性を解析した結果である。横軸がバイアス電圧、縦軸がリーク電流である。グラフ内部の値がAlGaAsアンドープ層111の層厚（単位：μm）である。この解析結果に示すように、アンドープ層111が0.1 μmと薄くても、十分にリーク電流を低減できる。なお、図3Aでの計算結果は、アンドープ層111の組成がInGaAsPの場合であるが、重要な点は伝導帯のバンド間の不連続のポテンシャルである。すなわち、InP系でも同じようなポテンシャルの障壁を作ることができるので、同様の効果が期待できる。

【0040】

図3Bは、n i n構造におけるリーク電流のアンドープ層111のAl組成依存性を示

50

している。AlGaAsアンドープ層111のAl組成が0.4以上でリーク電流が大幅に低減できている。ここで、Al組成が0.4と0.5との間で直接遷移から間接遷移に変わるので、Al組成が0.4の方が0.5よりもリーク電流が少なくなっている。Al組成が0.5以上では、Al組成が高い程、リーク電流が少なくなる。

【0041】

図3Cは、同様にpip構造におけるリーク電流のアンドープ層111のAl組成依存性を示している。AlGaAs（アンドープ層）とGaAs（導電層）の場合、伝導帯の不連続の方が小さくなる。そのため、pip構造の場合、Al組成を高くする必要がある。具体的には、Al組成が0.5以上である必要がある。

【0042】

なお、実施例1では、GaAsからなる半絶縁性基板101上に形成されたnin構造である。n型の場合、組成による伝導帯のエネルギー差が0.3eV以上で十分な効果が得られる。このエネルギー差があるものを選択すれば、アンドープ層111は、AlGaAsに限らず、GaAsと格子整合する他の組成でもかまわない。例えば、InAlPやInGaPなどを例示することができる。

【0043】

また、不純物を完全に無くすことはできないので、実際にはAlGaAsのアンドープ層111中にも、バックグラウンド不純物が存在する。nin構造では、アンドープ層(i層)111のバックグラウンド不純物がn型であると、リーク電流が発生しやすくなる。そのため、アンドープ層111のバックグラウンド不純物は、低濃度かつp型であることが望ましい。ただし、アンドープ層111のバックグラウンド不純物が高いと、ブレイクダウンが生じにくくなり、ブレイクダウン電圧が高くなってしまふ。半導体レーザを静電気から保護できなくなるからである。具体的には、アンドープ層111のp型不純物の濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下であることが好ましい。

【0044】

次に、実施例1に係る化合物半導体素子1の製造方法について説明する。まず、図4Aに示すように、GaAsからなる半絶縁性基板101上に、n型バッファ層102、GaAsからなるn型チャネル層103、AlGaAsからなるショットキー層104、GaAsからなる厚さ0.5 $\mu\text{m}$ のn型コンタクト層105兼n型導電層109（ドーピング濃度 $1 \times 10^{18} \text{ cm}^{-3}$ ）、GaAsからなる厚さ0.3 $\mu\text{m}$ のn型低濃度層110（ドーピング濃度 $1 \times 10^{17} \text{ cm}^{-3}$ ）、AlGaAsからなる厚さ0.5 $\mu\text{m}$ のアンドープ層111、GaAsからなる厚さ0.3 $\mu\text{m}$ のn型低濃度層112（ドーピング濃度 $1 \times 10^{17} \text{ cm}^{-3}$ ）、GaAsからなる厚さ0.5 $\mu\text{m}$ のn型導電層113（ドーピング濃度 $1 \times 10^{18} \text{ cm}^{-3}$ ）を有機金属気相成長(MOCVD: Metal Organic Chemical Vapor Deposition)法にて順次積層する(工程1)。

【0045】

次に図4Bに示すようにESD保護部114を形成する領域を残し、n型導電層113からn型低濃度層110までをエッチングにより除去する(工程2)。このときn型コンタクト層105兼n型導電層109は一部エッチングされてもよい。次に、ESD保護部114、ソース電極106及びドレイン電極107を形成する領域を残し、ウェットエッチングによりn型コンタクト層105兼n型導電層109を除去し、リセスを形成する(工程2)。

【0046】

次に、図4Cに示すように、SiO<sub>2</sub>からなる誘電体保護膜115を全面に堆積させた後に、ゲート電極108を形成する領域の誘電体保護膜115をドライエッチングにより除去する。続いて、誘電体保護膜115をマスクにしてショットキー層104を5nm程度エッチングしたあと、WSi及びAuをスパッタ蒸着し、イオンミリングで不要部を除去して、ゲート電極108を形成する(工程3)。

【0047】

次に、再度全面にSiO<sub>2</sub>層(不図示)を堆積させた後、各電極形成領域のSiO<sub>2</sub>層

10

20

30

40

50

をエッチングにより除去する。

【0048】

続いて、FET部のソース電極106、ドレイン電極107及びESD保護部114の電極116、117を形成する。GaAsからなるn型コンタクト層105に対するオーミック電極としてAuGe、Ni、Auを堆積させる。最後に、ESD保護部114の電極117とFET部のゲート電極108と、及び、ESD保護部114と電源部とをTiAuにより配線し、接続する。

【0049】

以上の工程により、図2の化合物半導体素子1を製造することができる。この化合物半導体素子1は、nin型のESD保護部114を備えるが、pip型でも製造可能である。この場合、ホール(正孔)の移動により電流が流れる。そのため、nin構造の場合と異なり、価電子帯のバンド構造が重要になる。ホールは電子に比べ有効質量が大きいので、価電子帯のエネルギー差が小さくても十分な効果が得られる。この場合、n型では0.3eV必要であったエネルギー差は、p型では0.2eVでも十分である。このエネルギー差が得られれば、GaAs、AlGaAsの組み合わせに限らず、他のGaAsと格子整合する組成の組み合わせでもかまわない。例えば、InAlP、InGaPの組み合わせなどを例示することができる。

【0050】

なお、高周波回路全体は複数のFETで構成されており、各FETは所望の回路構成に応じた素子設計や配線がなされる。図2には、ESD保護素子(ESD保護部114)とこれに接続されるFETのみを図示している。実際には、同一高周波回路内の高周波信号の入力部もしくは出力部の各FETにESD保護素子を設けてもよい。

【実施例2】

【0051】

次に、本発明の実施例2に係る化合物半導体素子の構成について図5を参照して説明する。ここでは、GaAs基板上に形成された高周波回路に本発明を適用した例を挙げる。この化合物半導体素子には、GaAs基板上に形成したエミッタ・ベース間にGaAs/InGaPのヘテロ接合を有するHBTと、ESD保護素子とが集積化されている。

【0052】

図5に示す化合物半導体素子2は、GaAsからなる半絶縁性基板201上に、GaAsからなるn型サブコレクタ層202、GaAsからなるn型コレクタ層203、GaAsからなるp型ベース層204、InGaPからなるn型サブエミッタ層205、GaAsからなるn型エミッタ層206、InGaAsからなるn型コンタクト層207、エミッタ電極208、ベース電極209、コレクタ電極210を備える。

【0053】

また、実施例1と同様に、ESD保護部216は、GaAsからなるn型導電層211、GaAsからなるn型低濃度層212、AlGaAsからなるアンドープ層213、InGaAsからなるn型低濃度層214、GaAsからなるn型導電層215を備える。

【0054】

次に、実施例2に係るHBTの動作について説明する。エミッタ・ベース間のヘテロ接合部で拡散電流を素子する構造で、一般的なSi系のnpn型のバイポーラトランジスタと同様の動作をする。このHBTでは、p型ベース層204の厚さやp型不純物濃度が高速動作には重要であり、微細加工が必要なFETとは異なっている。そのため、用途やコストなどに応じて適宜選択して用いられている。なお、高速動作を指向したDHBTなどでは、ベース層を薄くする必要があり、コレクタ・エミッタ間の耐圧を高くすることができない。そのため、電源電圧として3.3Vが使われることが多く、コレクタ・エミッタ間に電圧がかからないように回路設計がなされる。

【0055】

実施例2のESD保護部216は、実施例1と同じnin構造である。この例でもアンドープ層213と2つのn型導電層211、215の各間に、n型低濃度層212、21

10

20

30

40

50

4が導入されている。n型低濃度層211、215は低バイアスでも空乏化するため、容量低減にも寄与する。本実施例では、n型低濃度層212、214が0.3μmあり、アンドープ層213と合わせて0.8μmが空乏化するので容量を大幅に低減することができる。

#### 【0056】

次に、実施例2に係る化合物半導体素子2の製造方法について説明する。まず、実施例1と同様に、GaAsからなる半絶縁性基板201上に、n型サブコレクタ層202からn型コンタクト層207までをMOCVD法又はMBE(Molecular Beam Epitaxy)法にて順次積層する。n型ドーパントとしてはシリコン、p型ドーパントとしては炭素を用いた。

10

#### 【0057】

次に、ドライエッチング又はウェットエッチングでHBT部を形成する領域を残し、除去する。次に、ESD保護部を再成長で形成する。この工程は実施例1とほぼ同様である。

#### 【0058】

ESD保護部216の2つのn型低濃度層212、214のn型ドーピング濃度は $1 \times 10^{17} \text{ cm}^{-3}$ とし、2つのn型導電層211、215のn型ドーピング濃度は $1 \times 10^{18} \text{ cm}^{-3}$ とした。

#### 【0059】

次に、フォトリソグラフィ技術によりESD保護部216とHBT部にレジストマスクを形成した後、素子分離溝を形成する。その後、HBT部とESD保護部216の各領域をエッチングにより形成する。次に、全面に誘電体保護膜217を形成した後、各電極を形成する。最後に、ベース電極209とESD保護部216の電極219との接続、ESD保護部216の電極218と電源Vccとの接続などの配線工程を経て完成する。

20

#### 【0060】

以上の工程により、図5に示した化合物半導体素子2を製造することができる。なお、高周波回路全体は複数のHBTで構成されており、各HBTは所望の回路構成に応じた素子設計や配線がなされる。図5には、ESD保護素子(ESD保護部216)とこれに接続されるHBTのみを図示している。実際には、同一高周波回路内の高周波信号の入力部もしくは出力部の各HBTにESD保護素子を設けてもよい。

30

#### 【0061】

実施例1、2ではGaAs基板上に形成されたESD保護素子の構造を説明した。これらはESD保護素子として製造容易なGaAs(n型導電層)とAlGaAs(アンドープ層)との組み合わせからなる実施例である。しかし、nin構造又はpip構造であって、かつ、i層の禁制帯幅が広いものを使えば、組み合わせは上記実施例に限定されるものではない。例えば、InAlPやInGaPなどを組み合わせてもよい。また、InP基板を用いたより高性能な化合物半導体素子では、InP基板と格子整合すれば、例えば、InGaAsP(n型導電層)とInP(アンドープ層)との組み合わせやInGaAs(n型導電層)とInAlGaAs(アンドープ層)との組み合わせなどでもよい。

40

#### 【符号の説明】

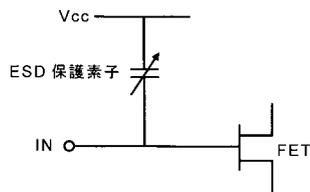
#### 【0062】

- 1、2 化合物半導体素子
- 101、201 半絶縁性基板
- 102 n型バッファ層
- 103 n型チャンネル層
- 104 ショットキー層
- 105 n型コンタクト層
- 106 ソース電極
- 107 ドレイン
- 108 ゲート電極

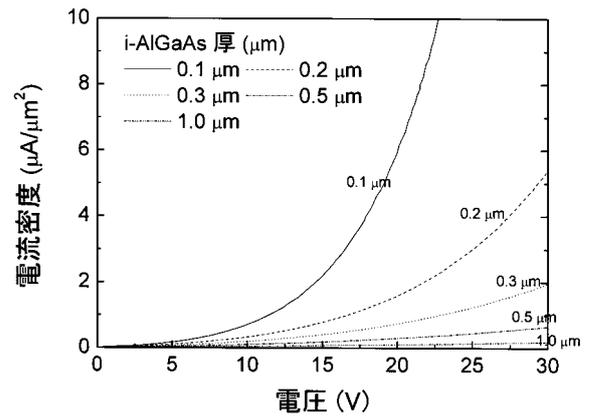
50

- 109、211 n型導電層
- 110、212 n型低濃度層
- 111、213 アンダーブ層
- 112、214 n型低濃度層
- 113、215 n型導電層
- 114、216 ESD保護部
- 115、217 誘電体保護膜
- 116、117、218、219 ESD保護部の電極
- 202 n型サブコレクタ層
- 203 n型コレクタ層
- 204 p型ベース層
- 205 n型エミッタ層
- 206 n型サブエミッタ層
- 207 n型コンタクト層
- 208 エミッタ電極
- 209 ベース電極
- 210 コレクタ電極

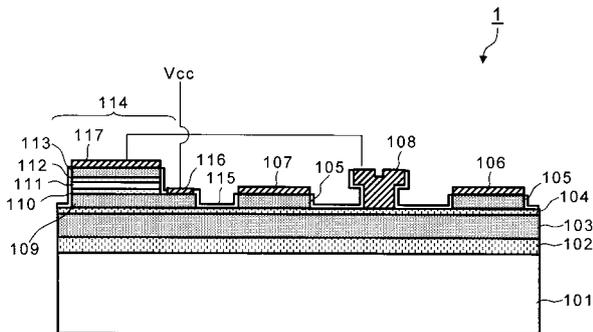
【図1】



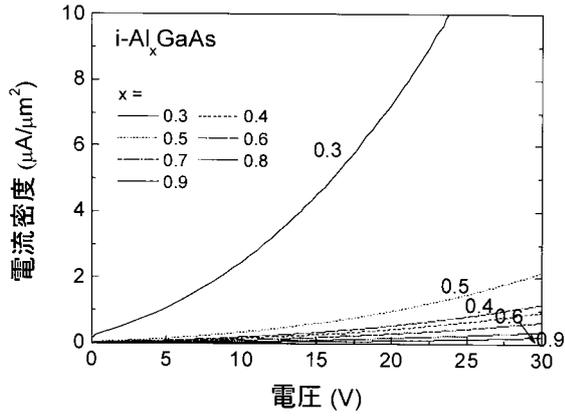
【図3A】



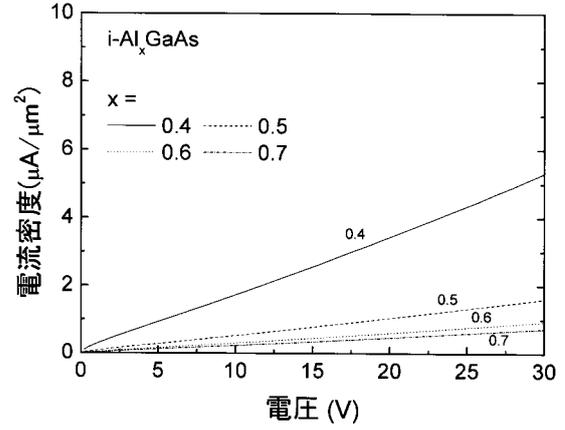
【図2】



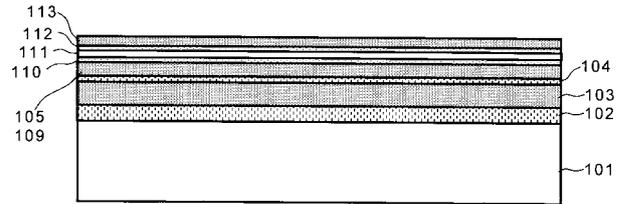
【図 3 B】



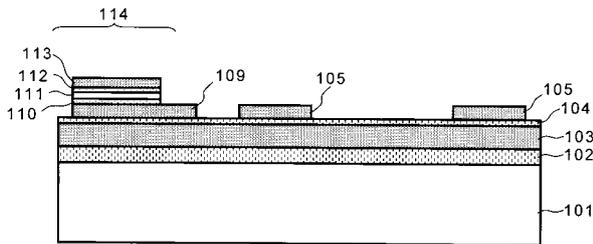
【図 3 C】



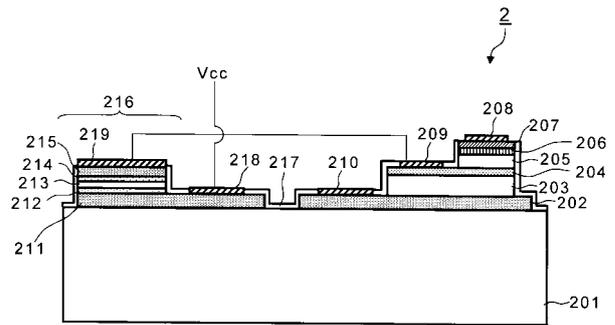
【図 4 A】



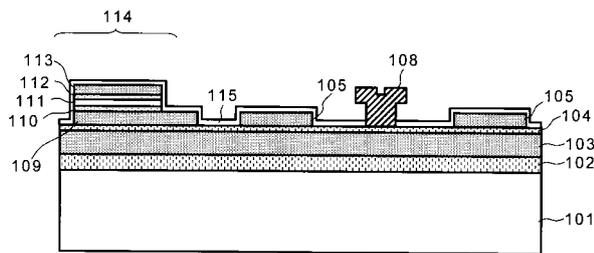
【図 4 B】



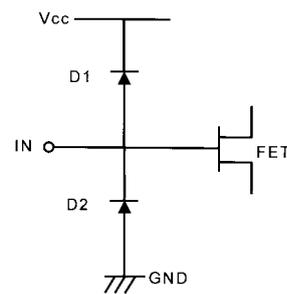
【図 5】



【図 4 C】



【図 6】



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 29/812 (2006.01)	H 0 1 L 27/06	1 0 1 P
H 0 1 L 21/338 (2006.01)	H 0 1 L 29/80	P
H 0 1 L 21/822 (2006.01)	H 0 1 L 27/06	1 0 1 D
H 0 1 L 27/04 (2006.01)		
H 0 1 L 21/8222 (2006.01)		

(72)発明者 阿南 隆由  
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 畠山 大  
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 赤川 武志  
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 屋敷 健一郎  
東京都港区芝五丁目7番1号 日本電気株式会社内

Fターム(参考) 5F003 BA11 BA27 BA92 BB90 BC90 BE90 BF06 BJ15 BJ90 BM03  
BP11 BP32  
5F038 BH03 BH13 DF02 EZ01 EZ02 EZ20  
5F082 AA33 BA05 BA31 BA35 BA47 BA50 BC01 BC08 BC20 CA02  
CA03 EA12 EA23 FA16 GA04  
5F102 FA00 FA06 GA16 GB01 GC01 GD01 GJ05 GK05 GL05 GR04  
GS01 GT01 GT05 GV07 HC01 HC15