

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/112	(11) 공개번호 특 1995-0012735
	(43) 공개일자 1995년 05월 16일
(21) 출원번호	특 1994-0027319
(22) 출원일자	1994년 10월 25일
(30) 우선권주장	93-288750 1993년 10월 25일 일본(JP)
(71) 출원인	야마하 가부시카가이사 우에시마 세이스케
(72) 발명자	일본국 시즈오카켄 하마마츠시 나카자와쵸 10반 1고 나츠메기요시
(74) 대리인	일본국 시즈오카켄 하마마츠시 나카자와쵸 10반 1고 야마하 가부시카가이사 내 김연수

심사청구 : 있음

(54) 반도체 마스크 ROM 장치 및 그 제조 방법

요약

NOR타입의 마스크 ROM장치는 채널 영역과, 이 채널 영역상에 형성되어 있는 절연 게이트 구조와, 상기 절연 게이트 구조의 양측에 배치되어 있는 한 쌍의 전류 전극 영역을 각각 가지고 있는 다수의 FET를 포함하며, 상기 NOR타입의 마스크 ROM장치에 있어서, 트렌치는 턴-오프 되도록 프로그램되어 있는 FET내에서 최소한 하나의 관련 전류 전극 영역과 절연 게이트 구조 사이에 선택적으로 형성되어 있으며, 상기 전류 전극 영역의 전도 타입에 상반된 전도타입의 영역은 상기 트렌치 하부에 형성되어 있을 것을 특징으로 한다.

대표도

도 1

명세서

[발명의 명칭]

반도체 마스크 ROM장치 및 그 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 일실예에 따른 반도체 메모리 장치의 면면도,

제2도는 제1도의 A-A' 선을 따라 절결한 반도체 메모리 장치의 단면도,

제3도 내지 제4도는 본 발명의 다른 실시예에 따라 제1도 및 제2도에 도시한 바와 같은 반도체 메모리 장치의 주요 제조 단계를 예시한 반도체 기판의 단면도이다.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

절연 게이트 전극과, 상기 절연 게이트의 양측에 배치된 소오스 및 드레인 영역을 각각 갖춘 다수의 전계 효과 트랜지스터 (FETs)로 이루어지며, 상기 다수의 FET는 적어도 하나의 오프-FET를 포함하며, 상기 오프-FET는 제1전도 타입을 가진 반도체 기판 영역과, 상기 반도체 기판 영역상에 형성되어 있으며 절연물로 이루어진 게이트 절연막과, 상기 게이트 절연막 상에 형성된 게이트 전극과, 상기 게이트 전극을 사이에 두고 상기 반도체 기판 영역 내에 배치되어 있으며, 상기 제1전도 타입과 상반된 제2전도 타입을 가지는 한쌍의 전류 전극영역과, 상기 전류 전극 영역 중의 한 영역과 상기 게이트 전극 사이의 상기 기판 영역 내에 형성되어 있는 적어도 하나의 트렌치와, 적어도 상기 트렌치의 하부에 형성되어 있으며, 상기 제1전도 타입을 가진 전류 차단 영역으로 이루어진 것을 특징으로 하는 반도체 마스크 ROM장치.

청구항 2

제1항에 있어서, 상기 FETs는 제1전도 타입을 가진 반도체 기판 영역과, 상기 기판영역상에 형성되어 있으며 절연물로 이루어진 게이트 절연막과, 상기 게이트 절연막 위에 형성되어 있는 게이트 전극과, 상

기 게이트 전극의 상측에 인접하여 상기 반도체 기판 영역내에 배치되어 있으며, 상기 제1전도 타입에 상반된 제2전도 타입을 가진 한 쌍의 전류 영역으로 이루어진 적어도 하나의 온-FET를 포함하는 것을 특징으로 하는 반도체 마스크 ROM장치.

청구항 3

제2항에 있어서, 상기 FETs는 다수의 상기 오프-FET 및 다수의 상기 온-FET를 포함하며, 상기 반도체 기판 영역상비 매트릭스 형상으로 배치되어 있는 것을 특징으로 하는 반도체 마스크 ROM장치.

청구항 4

제3항에 있어서, 상기 오프-FET는 상기 게이트 전극의 양측에 배치된 한 쌍의 상기 트렌치를 가지는 것을 특징으로 하는 반도체 마스크 ROM장치.

청구항 5

제3항에 있어서, 각각의 상기 온-FET는 상기 게이트 전극의 측면에 배치되어 있으며 절연물로 이루어진 한쌍의 사이드 스페이서와, 상기 전류 전극 영역에 인접되어 있으며, 상기 제2전도 타입의 불순물로 얇게 도핑되어 있는, 상기 사이드 스페이서 하부에 얇게 도핑된 드레인 영역을 추가로 포함하는 것을 특징으로 하는 반도체 마스크 ROM장치.

청구항 6

제5항이 있어서, 상기 오프-FET는 상기 치이트 전극의 상에 배치된 한 쌍의 상기 트렌치를 구비하는 것을 특징으로 하는 반도체 마스크 ROM장치.

청구항 7

제 전도 타입 및 주요 표면을 가지는 반도체 기판 영역과 ; 매트릭스 형상으로 배열되어 있으며 상기 주요 표면을 노출시키고 활성영역을 한정하는 다수의 구멍을 가짐과 동시에 망형상을 이루며, 절연물로 이루어진 전계 절연층과 ; 다수의 활성 영역을 교차하는 게이트 전극과, 상기 게이트 전압 하부의 각 활성 영역과 상기 게이트 전극 사이에 배치된 게이트 절연막을 각각 포함하는 다수의 절연 게이트 구조차 ; 상기 게이트 전극의 상측에 인접해서 몇 군데의 활성 영역 각각의 표면 영역에 형성되어 있으며, 상기 제1전도 타입에 상반된 제2전도 타입을 가진 기 1소오스 및 드레인 영역과 ; 상기 몇 군데 활성 영역이 외의 다른 활성 영역의 상기 주요 표면에 형성되어 있으며, 각각 상기 게이트 전극에 인접해 있는 트렌치와, 상기 기판 영역내의 각각의 상기 트렌치 하부에 형성되어 있는 제1전도타입을 가진 전류 차단 영역과 ; 상기 게이트 전극의 상측부의 상기 다른 활성 영역내에 배치되어 있으며, 상기 제2전도 타입을 가진 제2소오스 및 드레인 영역을 구비하고, 각각의 상기 트렌치 및 관련 전류 차단 영역은 관련 게이트 전극과 상기 제2소오스와 드레인 영역 중의 한 영역 사이에 배치된 것을 특징으로 하는 반도체 마스크 ROM장치.

청구항 8

제7항에 있어서, 상기 각각의 트렌치는 상기 전계 절연막까지 양방향으로 연장되어 있는 것을 특징으로 하는 반도체 마스크 ROM장치.

청구항 9

제7항에 있어서, 상기 트렌치는 각각의 상기 다른 활성 영역 내에서 게이트 전극의 양측에 배치된 것을 특징으로 하는 반도체 마스크 ROM장치.

청구항 10

제7항에 있어서, 각각의 상기 트렌치는 관련 게이트 전극에 인접한 계단 형상으로 되어 있으며, 상기 몇 군데의 활성 영역 상의 각각의 상기 절연 게이트 구조는 절연물로 이루어져 있으며, 관련 게이트 전극의 측면상에 형성된 사이드 스페이서를 가지는 것을 특징으로 하는 반도체 마스크 ROM장치.

청구항 11

a) 제1전도 타입의 반도체 기판과, b) 상기 반도체 기판 상에 형성되어 있으며, 낮은 한계 전압을 갖는 제1타입의 장치 엘레먼트와, c) 상기 반도체 기판 상에 형성되어 있으며, 높은 한계 전압을 갖는 제2타입의 장치 엘레먼트로 구성되며, 상기 제2타입의 장치 엘레먼트는 c-1) 상기 반도체 기판 상에 형성되어 있는 게이트 전극과, c-2) 상기 제1전도 타입에 상반된 상기 제2전도 타입을 가지는 제1전도 영역과. C-23) 상기 게이트 전극에 인접하여 형성되어 있으며, 그 내부에 상기 제1전도 타입의 제2전도 영역이 형성되어있는 트렌치로 이루어지고, 상기 게이트 전극 하부의 전기 흐름을 차단하기 위하여 상기 제1전도 영역과 상기 제2전도 영역 사이에는 전기적으로 접합되어 있는 것을 특징으로 하는 반도체 장치.

청구항 12

제11항에 있어서, (d) 상기 제1 및 제2타입의 장치 엘레먼트 상부에 층간 절연막이 추가로 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 13

제12항에 있어서, 상기 층간 절연막은 PSG, BPSG, NSG, 스피-온-글래스(SOG)로 구성된 그룹과, TEOS로부터 형성된 막에서 선택된 재료로 이루어진 것을 특징으로 하는 반도체 장치.

청구항 14

제11항에 있어서, 상기 ROM은 마스크 타입의 ROM인 것을 특징으로 하는 반도체 장치.

청구항 15

제14항에 있어서, 상기 마스크 타입의 ROM은 NOR타입의 마스크 ROM인 것을 특징으로 하는 반도체 장치.

청구항 16

제11항에 있어서, 상기 제1전도 영역은 소오스 또는 드레인 영역인 것을 특징으로 하는 반도체 장치.

청구항 17

제11항에 있어서, 상기 제2전도 영역은 상기 트렌치 영역의 저면에 위치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 18

제11항에 있어서, 상기 게이트 전극은 폴리 실리콘으로 구성된 것을 특징으로 하는 반도체 장치.

청구항 19

a) 제1전도 타입의 반도체 기판과 ; b) 상기 반도체 기판 상에 형성되어 있는 게이트 전극과 c) 제1전도 타입에 상반된 제2전도 타입의 제1전도 영역과 ; d) 상기 게이트 전극에 인접하여 형성되어 있으며, 제1전도 타입의 제2전도 영역이 내부에 형성되어 있는 트렌치를 구비하고, 상기 게이트 전극 하부의 전기 흐름을 차단하기 위하여 상기 제1전도영역과 상기 제2전도 영역 사이에는 전기적으로 접합되어 있는 것을 특징으로 하는 장치 엘리먼트를 포함하는 반도체 장치.

청구항 20

제19항에 있어서, c) 상기 장치 엘리먼트 상부에 층간 절연막이 추가로 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 21

제19항에 있어서, 상기 ROM은 마스크 타입의 ROM인 것을 특징으로 하는 반도체 장치.

청구항 22

제21항에 있어서, 상기 마스크 타입의 ROM은 NOR타입의 마스크 ROM인 것을 특징으로 하는 반도체 장치.

청구항 23

제19항에 있어서, 상기 제1전도 영역은 소오스 또는 드레인 영역인 것을 특징으로 하는 반도체 장치.

청구항 24

제19항에 있어서, 상기 제2전도 영역은 상기 트렌치영역의 저면에 배치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 25

제19항에 있어서, 상기 게이트 전극은 폴리 실리콘으로 구성된 것을 특징으로 하는 반도체 장치.

청구항 26

제19항에 있어서, 상기 게이트 전극은 폴리 실리콘 층과 실리콘 사이드 층의 적층 구조로 이루어진 것을 특징으로 하는 반도체 장치.

청구항 27

상기 기판 영역 내의 다수의 활성 영역을 한정하고 에워싸기 위하여 제1전도 타입의 반도체 기판 영역 상에 형성의 전계 산화 영역을 형성하는 단계와 상기 활성 영역을 교차해서 다수의 절연 게이트 구조를 형성하는 단계와 제1이온 주입 영역을 형성하기 위하여 주입 마스크로서 상기 전계 산화영역 및 상기 절연 게이트 구조를 이용하여 상기 제1전도 타입에 상반된 제2전도 타입의 불순물 이온을 상기 활성 영역 내로 주입하는 단계와 ; 상기 게이트 구조로부터 떨어져 있는 몇 군데의 활성 영역 및 다른 활성 영역의 일부를 레지스터 마스크로 커버하는 단계와 트렌치를 형성하기 위하여, 에칭 마스크로서 상기 절연 게이트 구조 및 레지스터 마스크를 이용하여 상기 활성 영역의 노출부를 에칭하는 단계와 ; 제1전도 타입의 제2이온 주입 영역을 상기 트렌치의 저면에 형성하기 위하여, 주입 마스크로서 상기 절연 게이트 구조 및 레지스터 마스크를 이용하여 상기 제1전도 타입의 불순물 이온을 상기 활성 영역 내로 주입하는 단계와 ,상기 레지스터 마스크를 제거하는 단계와 상기 주입된 불순물을 활성화하기 위하여 상기 반도체 기판 영역을 열처리하는 단계로 구성된 반도체 마스크 ROM장치의 제조 방법.

청구항 28

제27항에 있어서, 상기 에칭 단계는 상기 노출부 내의 활성 영역의 표면부를 제거하는 단계이며, 상기 표면부는 상기 제2전도 타입의 최대 불순물 농도의 영역을 포함하는 것을 특징으로 하는 마스크 장치의 제조 방법.

청구항 29

제27항에 있어서, 다수의 절연 게이트 구조를 형성하는 상기 단계는 전도성 게이트 전극층을 게이트 절연막 상에 형성하는 보조 단계와 ; 상기 게이트 절연층과 상기 전도성 게이트 전극층을 패턴화하는 보조 단계를 포함하는 것을 특징으로 하는 반도체 마스크 ROM장치의 제조 방법.

청구항 30

제29항에 있어서, 전도성 게이트 전극을 형성하는 상기 보조 단계는 폴리크리스탈 실리콘층을 상기 게이트 절연막 상에 증착하는 단계를 포함하며, 다수의 절연 게이트 구조를 형성하는 상기 단계는 상기 패턴화 보조 단계 이후에 상기 폴리크리스탈 실리콘 층의 노출 표면을 산화시키는 단계를 추가로 포함하는 것을 특징으로 하는 반도체 마스크 ROM장치의 제조 방법.

청구항 31

제29항에 있어서, 전도성 게이트 전극을 형성하는 상기 보조 단계는 폴리크리스탈 실리콘층을 게이트 절연막 상에 증착하는 단계와, 폴리사이드 구조를 형성하기 위하여, 폴리크리스탈 실리콘 층에 실리사이드 층을 증착하는 공정을 포함하는 것을 특징으로 하는 반도체 마스크 ROM장치의 제조 방법.

청구항 32

제29항에 있어서, 다수의 절연 게이트 구조를 형성하는 상기 단계는, 상기 패턴화 단계 이후에, 상기 패턴화된 전도성 게이트 전극층이 있는 반도체 기판 상에 절연층을 증착하는 보조 단계와, 상기 패턴화된 전도성 게이트 전극층의 측면에만 상기 절연층을 남기기 위하여 상기 절연층을 에칭하는 보조 단계를 포함 하는 것을 특징으로 하는 반도체 마스크 ROM장치의 제조 방법.

청구항 33

a) 반도체체 기판상에 전극을 형성하는 단계와, b) 제1전도 타입의 영역을 상기 반도체 기판내에 형성하는 단계와, c) 상기 전극에 인접하여 트렌치를 형성하는 단계와 ; d) 제1전도 타입 영역에 상반된 제2전도 타입 영역을 상기 트렌치 내에 형성하여 상기 제1전도 타입의 영역과 상기 제2전도 타입의 영역 사이를 전기적으로 접합시킴으로써 장치 엘리먼트를 형성하는 단계로 이루어진 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 34

제33항에 있어서, 상기 (c)단계는 상기 트렌치를 형성하기 위하여 상기 제1전도 타입의 영역의 일부를 제거하는 (c-1)단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 35

제33항에 있어서 (d) 단계는 제1전도 타입의 영역과 제2전도 타입의 영역 사이에 p-n접합을 형성하기 위하여 기판을 어니일링하는 (d-1) 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 36

제33항에 있어서, 상기 제1전도 타입의 영역은 n타입 영역이고, 상기 제2전도 타입의 영역은 P타입 영역인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 37

제33항에 있어서, 상기 전극은 그의 측면에 사이드 스페이서를 가진 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 38

제37항에 있어서, 상기 트렌치를 형성하는 동안에 상기 스페이서를 제거하는 (c-1) 단계를 추가로 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 39

제33항에 있어서, 상기 반도체 장치 NOR타입의 마스크 ROM인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 40

제33항에 있어서, 제2전도 타입 영역은 상기 트렌치의 저면에 형성되어 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 41

제33항에 있어서, 상기 장치 엘리먼트는 인헨스먼트 타입의 전계 효과 트랜지스터인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 42

a) 반도체 기판상에 각각의 전극이 형성된 다수의 장치 영역을 형성하는 단계와, b) 상기 다수의 장치 영역 내에 제1전도 타입 영역을 형성하는 단계와 c) 선택된 장치 영역 내에서 전극에 인접 하도록 트랜

치 영역을 선택적으로 형성하는 단계와 d) 제1전도 타입 영역과 제2전도 타입의 영역 사이에 전기적으로 접합을 형성하기 위하여 상기 트렌치 영역의 저면에 제1전도 영역에 상반된 제2전도 타입 영역을 형성하는 단계로 구성된 제1타입의 장치 엘리먼트 및 제2타입의 장치 엘리먼트를 가지는 반도체 마스크 ROM 장치의 제조방법.

청구항 43

제42항에 있어서, 제2타입의 장치 엘리먼트는 선택된 장치 영역 내에 형성되어 있고, 제1타입의 장치 엘리먼트는 나머지 영역 내에 형성되어 있는 것을 특징으로 하는 반도체 마스크 ROM 장치의 제조 방법.

청구항 44

제43항에 있어서, 상기 제1타입의 장치 엘리먼트는 낮은 한계 값을 가지는 인헨스먼트타입의 전계효과 트랜지스터이고, 상기 제2타입의 장치 엘리먼트는 높은 한계값을 가지는 인헨스먼트 타입의 전계효과 트랜지스터인 것을 특징으로 하는 마스크 판독 전용메모리 (ROM)의 제조 방법.

청구항 45

제42항에 있어서, 상기 (c) 단계는 상기 트렌치를 형성하기 위하여 상기 제1 전도 타입의 영역의 영역을 제거하는 (c-1) 단계를 포함하는 것을 특징으로 하는 반도체 마스크 ROM의 제조방법.

청구항 46

제42항에 있어서, 상기 (d) 단계는 상기 제1전도 타입 영역과 상기 제2전도 타입 영역 사이에 pn접합을 형성하기 위하여 기판을 어니일링하는 (d-1) 단계를 포함하는 것을 특징으로 하는 마스크 판독전용 메모리(ROM)의 제조 방법.

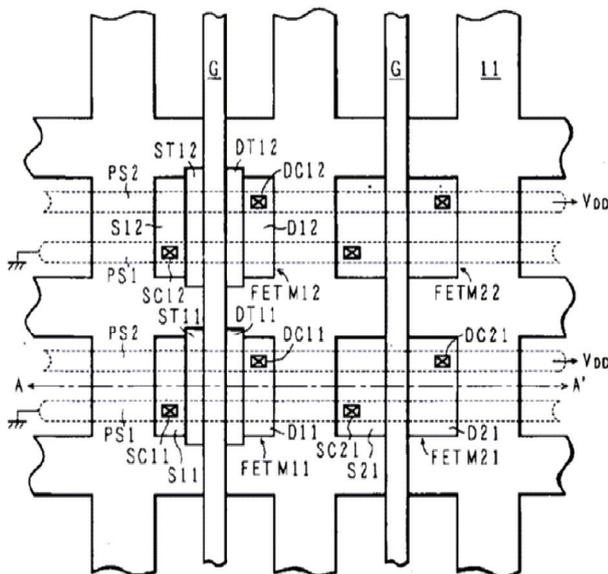
청구항 47

제42항에 있어서, 상기 제1전도 타입 영역은 n타입 영역이고, 상기 제2전도 타입 영역은 p타입인 것을 특징으로 하는 반도체 마스크 ROM의 제조 방법.

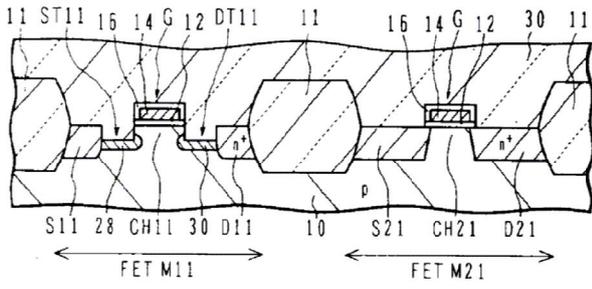
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

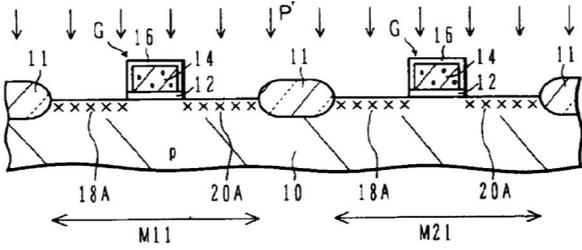
도면1



도면2



도면3



도면4

