



(12)发明专利

(10)授权公告号 CN 105895148 B

(45)授权公告日 2018.11.09

(21)申请号 201610340542.2

(22)申请日 2016.05.20

(65)同一申请的已公布的文献号

申请公布号 CN 105895148 A

(43)申请公布日 2016.08.24

(73)专利权人 西安紫光国芯半导体有限公司

地址 710055 陕西省西安市高新6路38号腾飞创新中心A座4层

(72)发明人 熊保玉

(74)专利代理机构 西安智邦专利商标代理有限公司

公司 61211

代理人 张倩

(51)Int.Cl.

G11C 11/412(2006.01)

G11C 11/419(2006.01)

(56)对比文件

CN 104425008 A,2015.03.18,

CN 205645282 U,2016.10.12,

CN 103943142 A,2014.07.23,

US 2013/0039120 A1,2013.02.14,

CN 103886896 A,2014.06.25,

审查员 贾越

权利要求书2页 说明书5页 附图4页

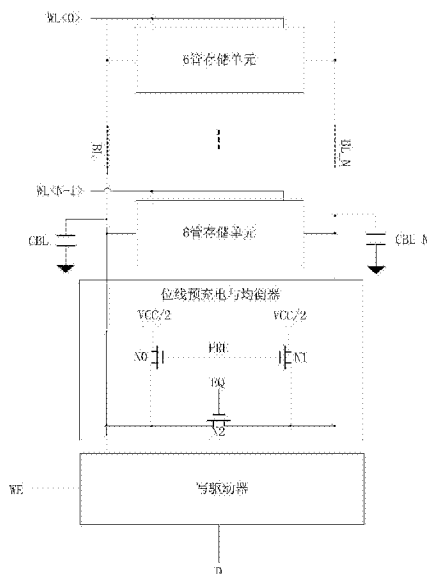
(54)发明名称

一种低功耗的静态随机存储器及其写操作的控制方法

(57)摘要

本发明涉及一种低功耗的静态随机存储器及其写操作的控制方法,包括存储阵列、字线译码与驱动器、位线预充电与均衡器、写驱动器、写控制电路以及灵敏放大器,写控制电路产生位线预充电信号PRE、位线均衡信号EQ和写使能信号WE,位线预充电与均衡器包括NMOS晶体管N0、NMOS晶体管N1和NMOS晶体管N2,位线预充电信号PRE连接NMOS晶体管N0和NMOS晶体管N1的栅端,位线均衡信号EQ连接NMOS晶体管N2的栅端,NMOS晶体管N0的源端和NMOS晶体管N1的源端均连接位线预充电电源;写使能信号WE连接写驱动器。本发明解决了现有的静态随机存储器写操作能耗高的技术问题,本发明每一次写操作所消耗的位线翻转功耗为 $0.5 \cdot CBL \cdot VCC^2$,相比传统的技术的 $CBL \cdot VCC^2$,减少了50%。

CN 105895148 B



1. 一种低功耗的静态随机存储器,包括存储阵列、字线译码与驱动器(104)、位线预充电与均衡器、写驱动器、写控制电路(102)以及灵敏放大器,其特征在于:所述写控制电路(102)产生位线预充电信号PRE、位线均衡信号EQ和写使能信号WE,所述位线预充电与均衡器包括NMOS晶体管N0、NMOS晶体管N1和NMOS晶体管N2,

位线预充电信号PRE连接NMOS晶体管N0和NMOS晶体管N1的栅端,位线均衡信号EQ连接NMOS晶体管N2的栅端,位线BL连接NMOS晶体管N0的漏端和NMOS晶体管N2的源端,位线反BL_N连接NMOS晶体管N1的漏端和NMOS晶体管N2的漏端,NMOS晶体管N0的源端和NMOS晶体管N1的源端均连接位线预充电电源;所述位线预充电电源为静态随机存储器电源电压VCC的二分之一;

写使能信号WE连接写驱动器;

从位线均衡信号EQ变高到位线预充电信号PRE变高为均衡阶段;

位线均衡信号EQ拉高时,位线预充电与均衡器中的NMOS晶体管N2导通,位线BL和位线反BL_N发生电荷分享,最终位线反BL_N和位线BL都位于VCC/2。

2. 根据权利要求1所述的低功耗的静态随机存储器,其特征在于:位线预充电信号PRE、位线均衡信号EQ和写使能信号WE满足以下条件:

当位线预充电信号PRE和位线均衡信号EQ变低,写操作开始准备;

当写使能信号WE变高时,写操作开始;

当写使能信号WE变低时,写操作结束;

当位线预充电信号PRE处于高状态为预充电阶段。

3. 根据权利要求1或2所述的低功耗的静态随机存储器,其特征在于:所述写控制电路包括两输入与非门(601)、第一反相器(602)、第二反相器(603)、第三反相器(604)、延时单元(605)、第一两输入与门(606)以及第二两输入与门(607),所述两输入与非门(601)的输入端接写使能信号WEX和延时后时钟信号CLKD,所述两输入与非门的输出端分别与第一反相器(602)、第一两输入与门(606)以及第二两输入与门(607)的输入端连接,所述第一反相器(602)的输出端与第二反相器(603)的输入端连接,第二反相器(603)的输出端分别与第三反相器(604)和第一两输入与门(606)的输入端连接,所述第二反相器(603)的输出端经过延时单元(605)与第二两输入与门(607)的输入端连接,所述第三反相器(604)的输出端输出写使能信号WE,所述第一两输入与门(606)的输出端输出位线均衡信号EQ,所述第二两输入与门的输出端输出位线预充电信号PRE。

4. 基于权利要求1-3之任一所述存储器的写操作的控制方法,其特征在于包括以下步骤:

1) 位线预充电信号PRE和位线均衡信号EQ拉低,位线预充电与均衡器中NMOS晶体管N0、NMOS晶体管N1和NMOS晶体管N2关断,位线BL和位线反BL_N浮空;

2) 写使能信号WE变高,写驱动器打开,写驱动器将写数据D驱动至位线BL和位线反BL_N;

3) 存储阵列中被选中的存储单元字线WL拉高,写驱动器通过驱动位线BL和位线反BL_N对选中的存储单元进行写操作;

4) 当被选中的存储单元写操作完成时,字线WL拉低,被选中的存储单元保持其被改写的数据;

- 5) 写使能信号WE拉低,写驱动器关闭,位线BL和位线反BL_N浮空;然后,位线均衡信号EQ拉高,位线预充电与均衡器中的NMOS晶体管N2导通,位线BL和位线反BL_N发生电荷分享;
- 6) 当位线BL和位线反BL_N电荷分享达到VCC/2时,位线预充电信号PRE拉高,位线预充电与均衡器中的NMOS晶体管N0和NMOS晶体管N1打开,位线BL和位线反BL_N保持在VCC/2。

一种低功耗的静态随机存储器及其写操作的控制方法

技术领域

[0001] 本发明涉及静态随机存储器设计领域,特别涉及一种低功耗的静态随机存储器。

背景技术

[0002] 静态随机存储器作为集成电路中的重要存储元件,由于其高性能,高可靠性,低功耗等优点被广泛的应用于高性能计算器系统(CPU),片上系统(SOC),手持设备等计算领域。根据国际半导体技术蓝图ITRS的估计,到2016年,嵌入式的静态随机存储器面积占到整个计算器系统(CPU),片上系统(SOC)面积的90%。其消耗的功耗占到片上整个计算器系统(CPU),片上系统(SOC)的40%,其中动态功耗占到大约14%。对于静态随机存储器的写操作,通常位线需要全摆幅操作,相比于读操作时位线只需要放电很小的电压差,由灵敏放大器小电压差放大至全摆幅而言,写操作消耗的功耗更大。

[0003] 如图1所示,图1为传统的静态随机存储器写数据通路电路设计原理图。该写数据通路包括多个6管存储单元、位线预充电与均衡器以及写驱动器。

[0004] 多个6管存储单元共用位线BL和位线反BL_N。假设位线BL和位线反BL_N上的负载电容分别为CBL和CBL_N。

[0005] 多个6管存储单元通过位线BL和位线反BL_N分别连接位线预充电与均衡器和写驱动器;

[0006] 位线预充电与均衡器由2个预充电PMOS晶体管P0、P1和一个均衡PMOS晶体管P2组成。位线BL连接晶体管P0的漏端和晶体管P2的源端。位线反BL_N连接晶体管P1的漏端和晶体管P2的漏端。位线预充电反信号PRE_N连接P0-P2的栅端。静态随机存储器电源电压VCC连接晶体管P0、晶体管P1的源端。

[0007] 现结合图2,传统的静态随机存储器写数据通路的波形图来说明该电路的工作原理。

[0008] 在保持模式时,写使能信号WE为低,写驱动器关闭。位线预充电反信号PRE_N为低,位线预充电与均衡器中3个PMOS晶体管都处于导通状态,位线BL和位线反BL_N被预充到电源电压VCC。

[0009] 所有的字线信号WL为低,因此所有的6管存储单元的处于保持数据状态。

[0010] 在写操作时,首先,位线预充电反信号PRE_N拉高,位线预充电与均衡器中3个PMOS晶体管(P0-P2)关断,位线BL和位线反BL_N浮空。然后,写使能信号WE为高,写驱动器打开,写驱动器将写数据D驱动至位线BL和位线反BL_N。位线BL和位线反BL_N中的其中一条保持在预充电电平VCC,另一条被从VCC放电到地VSS,这一过程由于不从电源VCC抽取电流,消耗的能量为0。然后,被选中的6管存储单元字线WL拉高,写驱动器通过驱动位线BL和位线反BL_N将选中的6管存储单元中存储的数据改写。当被选中的6管存储单元中存储的数据改写完成时,字线WL拉低,被选中的6管存储保持其被改写的的数据。然后写使能信号拉低,写驱动器关闭,位线BL和位线反BL_N浮空。然后,位线预充电反信号PRE_N拉低,位线预充电与均衡器中的3个PMOS晶体管导通,位线BL和位线反BL_N中之前为电源电压VCC的一条位线保持在

VCC,之前为地VSS的一条位线被充电至VCC。这一过程从电源VCC抽取电流,消耗的能量为 $CBL \cdot VCC \cdot VCC$,即 $CBL \cdot VCC^2$ 。后综上所述,对于每一次写操作,包括写操作时写驱动器驱动位线BL和位线反BL_N,和写操作完成时位线预充电与均衡器对位线BL和位线反BL_N的均衡和预充电操作,对每一对位线BL和位线反BL_N来说,其消耗的翻转功耗为:写操作时的消耗的能量加上位线预充电与均衡操作时消耗的能量,即 $0+CBL \cdot VCC^2$,为 $CBL \cdot VCC^2$ 。

发明内容

[0011] 为了解决现有的静态随机存储器写操作能耗高的技术问题,本发明提供一种低功耗的静态随机存储器及其写操作的控制方法。

[0012] 本发明的技术解决方案:

[0013] 一种低功耗的静态随机存储器,包括存储阵列、字线译码与驱动器104、位线预充电与均衡器、写驱动器、写控制电路102以及灵敏放大器,其特殊之处在于:所述写控制电路102产生位线预充电信号PRE、位线均衡信号EQ和写使能信号WE,所述位线预充电与均衡器包括NMOS晶体管N0、NMOS晶体管N1和NMOS晶体管N2。

[0014] 位线预充电信号PRE连接NMOS晶体管N0和NMOS晶体管N1的栅端,位线均衡信号EQ连接NMOS晶体管N2的栅端,位线BL连接NMOS晶体管N0的漏端和NMOS晶体管N2的源端,位线反BL_N连接NMOS晶体管N1的漏端和NMOS晶体管N2的漏端,NMOS晶体管N0的源端和NMOS晶体管N1的源端均连接位线预充电电源;

[0015] 写使能信号WE连接写驱动器。

[0016] 位线预充电信号PRE、位线均衡信号EQ和写使能信号WE满足以下条件:

[0017] 当位线预充电信号PRE和位线均衡信号EQ变低,写操作开始准备;

[0018] 当写使能信号WE变高时,写操作开始;

[0019] 当写使能信号WE变低时,写操作结束;

[0020] 当位线均衡信号EQ变高到位线预充电信号PRE变高为均衡阶段;

[0021] 当位线预充电信号PRE处于高状态为预充电阶段。

[0022] 上述写控制电路包括两输入与非门601、第一反相器602、第二反相器603、第三反相器604、延时单元605、第一两输入与门606以及第二两输入与门607,所述两输入与非门601的输入端接写使能信号WEX和延时后时钟信号CLKD,所述两输入与非门的输出端分别与第一反相器602、第一两输入与门606以及第二两输入与门607的输入端连接,所述第一反相器602的输出端与第二反相器603的输入端连接,第二反相器603的输出端分别与第三反相器604和第一两输入与门606的输入端连接,所述第二反相器603的输出端经过延时单元605与第二两输入与门607的输入端连接,所述第三反相器604的输出端输出写使能信号WE,所述第一两输入与门606的输出端输出位线均衡信号EQ,所述第二两输入与门的输出端输出位线预充电信号PRE。

[0023] 上述位线预充电电源为静态随机存储器电源电压VCC的二分之一。

[0024] 存储器的写操作的控制方法,包括以下步骤:

[0025] 1) 位线预充电信号PRE和位线均衡信号EQ拉低,位线预充电与均衡器中NMOS晶体管N0、NMOS晶体管N1和NMOS晶体管N2关断,位线BL和位线反BL_N浮空;

[0026] 2) 写使能信号WE变高,写驱动器打开,写驱动器将写数据D驱动至位线BL和位线反

BL_N;

[0027] 3) 存储阵列中被选中的存储单元字线WL拉高,写驱动器通过驱动位线BL和位线反BL_N对选中的存储单元进行写操作;

[0028] 4) 当被选中的存储单元写操作完成时,字线WL拉低,被选中的存储单元保持其被改写的数据;

[0029] 5) 写使能信号WE拉低,写驱动器关闭,位线BL和位线反BL_N浮空;然后,位线均衡信号EQ拉高,位线预充电与均衡器中的NMOS晶体管N2导通,位线BL和位线反BL_N发生电荷分享;

[0030] 6) 当位线BL和位线反BL_N电荷分享达到VCC/2时,位线预充电信号PRE拉高,位线预充电与均衡器中的NMOS晶体管N0和NMOS晶体管N1打开,位线BL和位线反BL_N保持在VCC/2。

[0031] 本发明所具有的优点:

[0032] 1、本发明每一次写操作所消耗的位线翻转功耗为 $0.5 \cdot CBL \cdot VCC^2$,相比传统的技术的 $CBL \cdot VCC^2$,减少了50%。

[0033] 2、本发明位线预充电与均衡器使用NMOS晶体管。由于相同尺寸的NMOS晶体管的性能是PMOS的迁移率高2到3倍,因此对于相同的驱动能力,使用NMOS晶体管可以将晶体管的尺寸减小为PMOS晶体管的1/2到1/3,从而可以节省面积。

附图说明

[0034] 图1为传统的静态随机存储器写数据通路电路设计原理图。

[0035] 图2为传统的静态随机存储器写数据通路的波形图。

[0036] 图3为根据本发明实施的一个静态随机存储器示意图。

[0037] 图4为本发明的静态随机存储器写数据通路电路设计原理图。

[0038] 图5为本发明的静态随机存储器写数据通路的波形图。

[0039] 图6为写控制电路设计原理图。

具体实施方式

[0040] 下面结合附图对本发明的实施方式做进一步描述。

[0041] 请参阅图3所示,图3为根据本发明实施的一个静态随机存储器示意图。该静态随机存储器包括控制电路与预译码器101,写控制电路102,位线预充电与均衡器、写驱动器和灵敏放大器103,字线译码与驱动器104,存储阵列105。

[0042] 控制电路与预译码器101通过多条列控制信号连接位线预充电与均衡器、写驱动器和灵敏放大器103;

[0043] 控制电路与预译码器101还通过延时后的时钟CLKD和锁存后的写使能WEX连接写控制电路103;

[0044] 控制电路与预译码器101还通过多条行预译码YPD连接字线译码与驱动器104;

[0045] 写控制电路102通过位线预充电信号PRE、位线均衡信号EQ,写使能信号WE连接位线预充电、均衡器、写驱动器和灵敏放大器103;

[0046] 字线译码与驱动器104通过多条字线WL连接存储阵列105;

[0047] 存储阵列105通过多条位线BL连接位线预充电、均衡器、写驱动器和灵敏放大器103。

[0048] 请参阅图4所示,图4为本发明的静态随机存储器写数据通路电路设计原理图。该写数据通路包括多个6管存储单元,位线预充电与均衡器,写驱动器。

[0049] 多个6管存储单元共用位线BL和位线反BL_N。假设位线BL和位线反BL_N上的负载电容分别为CBL和CBL_N。

[0050] 多个6管存储单元通过位线BL和位线反BL_N连接位线预充电与均衡器和写驱动器;

[0051] 位线预充电与均衡器由2个预充电NMOS晶体管N0、N1和一个均衡NMOS晶体管N2组成。位线BL连接N0的漏端和N2的源端。位线反BL_N连接N1的漏端和N2的漏端。位线预充电信号PRE连接N0、N1的栅端。位线均衡信号EQ连接N2的栅端。位线预充电电源VCC/2连接N0、N1的源端。

[0052] 现结合图5,本发明的静态随机存储器写数据通路的波形图来说明该电路的工作原理。

[0053] 在保持模式时,写使能信号WE为低,写驱动器关闭。位线预充电信号PRE和位线均衡信号EQ为高,位线预充电、均衡器中2个预充电NMOS晶体管N0、N1和一个均衡NMOS晶体管N2都处于导通状态,位线BL和位线反BL_N被保持在位线预充电电源VCC/2。

[0054] 所有的字线信号WL为低,因此所有的6管存储单元均处于保持数据状态。

[0055] 在写操作时,首先,位线预充电信号PRE和位线均衡信号EQ拉低,位线预充电与均衡器中2个预充电NMOS晶体管N0、N1和一个均衡NMOS晶体管N2关断,位线BL和位线反BL_N浮空。然后,写使能信号WE为高,写驱动器打开,写驱动器将写数据D驱动至位线BL和位线反BL_N。位线BL和位线反BL_N中的其中一条被从VCC/2充电到静态随机存储器电源电压VCC,这一过程消耗的能量为 $CBL \cdot VCC/2 \cdot VCC$,为 $0.5 \cdot CBL \cdot VCC^2$;另一条从VCC/2放电到地VSS,这一过程由于不从位线预充电电源VCC/2抽取电流,消耗的能量为0。然后,被选中的6管存储单元字线WL拉高,写驱动器通过驱动位线BL和位线反BL_N将选中的6管存储单元中存储的数据改写。当被选中的6管存储单元中存储的数据改写完成时,字线WL拉低,被选中的6管存储保持其被改写的的数据。然后写使能信号拉低,写驱动器关闭,位线BL和位线反BL_N浮空。然后,位线均衡信号EQ拉高,位线预充电与均衡器中的均衡NMOS晶体管N2导通,位线BL和位线反BL_N发生电荷分享,其中原来为地VSS的位线电平开始上升,原来为静态随机存储器电源电压VCC的位线开始下降。由于位线BL和位线反BL_N的负载电容CBL和CBL_N相等,位线BL和位线反BL_N之间电荷分享的最终结果为,位线BL和位线反BL_N到达静态随机存储器电源电压VCC和地VSS中间的电平为 $(VCC+0)/2$,即VCC/2。这一过程由于没有从位线预充电电源VCC/2抽取电流,因此消耗的能量为0。当位线BL和位线反BL_N电荷分享达到VCC/2时,位线预充电信号PRE拉高,位线预充电与均衡器中的预充电NMOS晶体管N0、N1打开,位线BL和位线反BL_N保持在VCC/2。综上所述,对于每一次写操作,包括写操作时写驱动器驱动位线BL和位线反BL_N,和写操作完成时位线预充电、均衡器对位线BL和位线反BL_N的均衡和预充电操作,对每一对位线BL和位线反BL_N来说,其消耗的翻转功耗为,写操作时的消耗的能量加上位线预充电、均衡操作时消耗的能量,即 $0.5 \cdot CBL \cdot VCC^2+0$,为 $0.5 \cdot CBL \cdot VCC^2$ 。

[0056] 请参阅图6,图6为写控制电路设计原理图。该控制电路由两输入与非门601、反相

器602-604,延时单元605,两输入与门606、607组成。

[0057] 锁存后的写使能信号WEX和延时后时钟CLKD分别为两输入与非门601的两个输入。WEX_N连接两输入与非门601的输出,连接反相器602的输入,连接两输入与门606、607的一个输入。WEX_D连接反相器602的输出和反相器603的输入。WEN_D1连接反相器603的输出,连接反相器604的输入,连接两输入与门606的另一个输入,连接延时单元605的输入。WEN_D2连接延时单元605的输出,连接两输入与门607的另一个输入。写使能信号WE连接反相器604的输出。位线均衡信号EQ连接两输入与门606的输出。位线预充电信号PRE连接两输入与门607的输出。

[0058] 其中延时单元605由反相器链组成,其作用在于在写操作完成时,推迟位线预充电信号PRE的上升沿,以提供足够的时间让位线均衡信号EQ打开图4中位线均衡管N2,使位线BL和位线BL_N完成电荷分享,达到 $VCC/2$ 。其好处在于,当位线预充电信号PRE的上升沿到来时,位线BL和位线反BL_N已经完成电荷分享,达到 $VCC/2$,打开的位线预充电管N0、N1只用于将位线BL和位线反BL_N保持在 $VCC/2$,而不需要从位线预充电电源 $VCC/2$ 抽取任何电流,从而达到节省位线翻转功耗的目的。

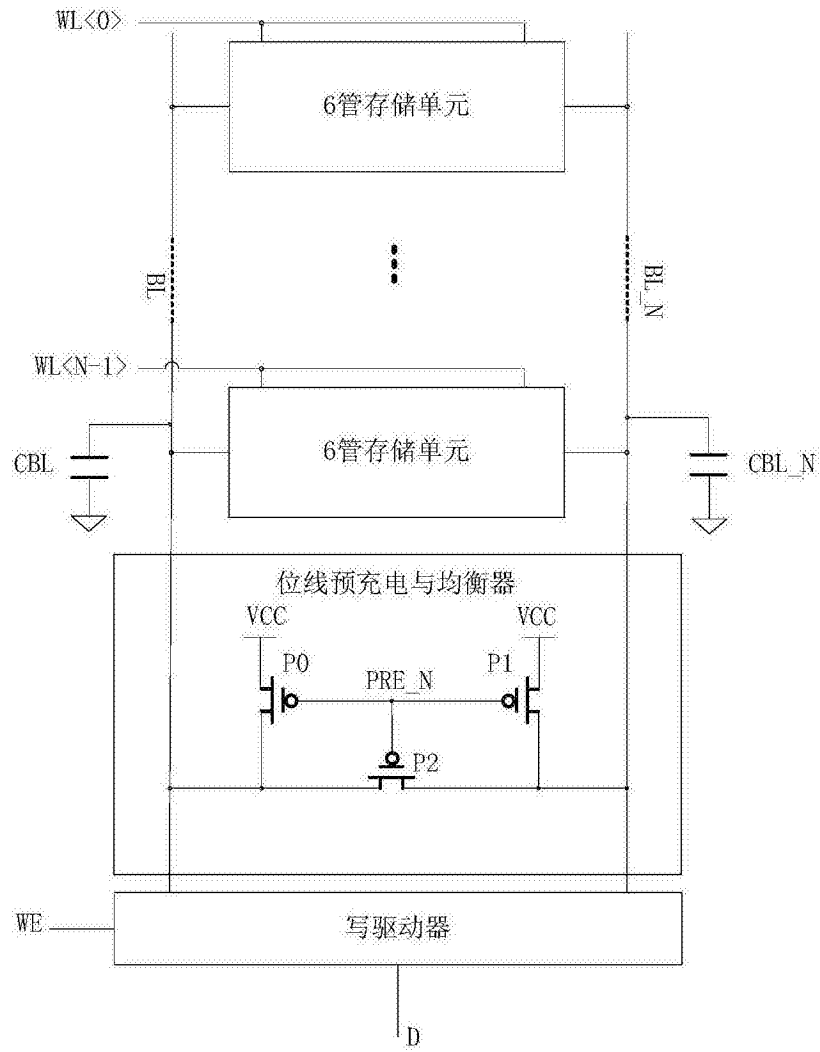


图1

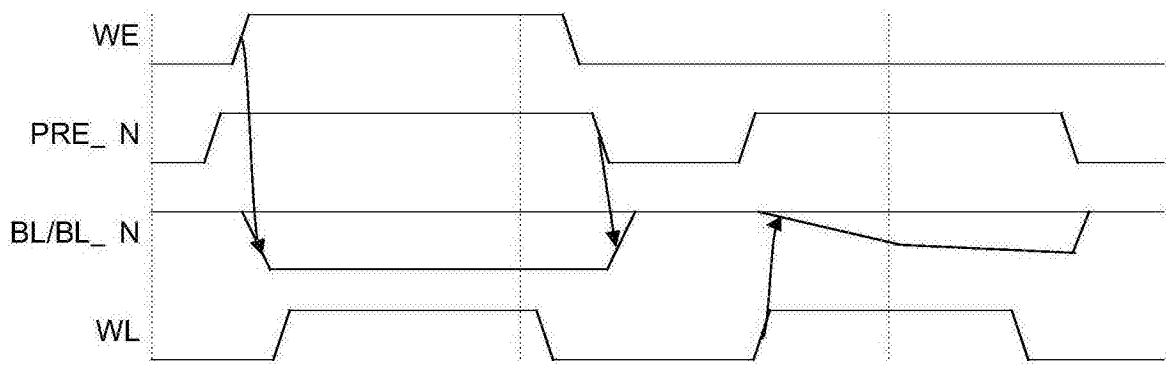


图2

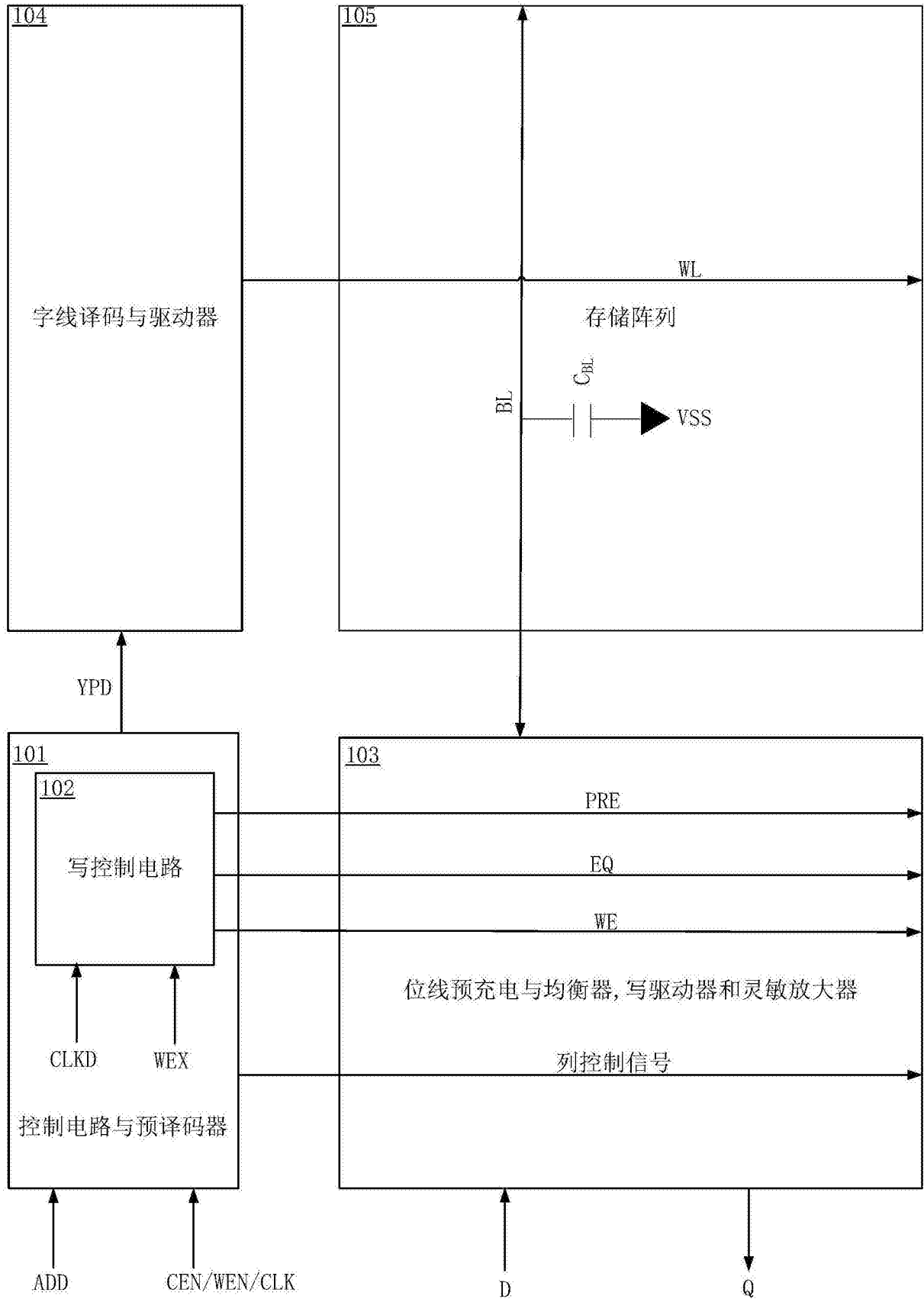


图3

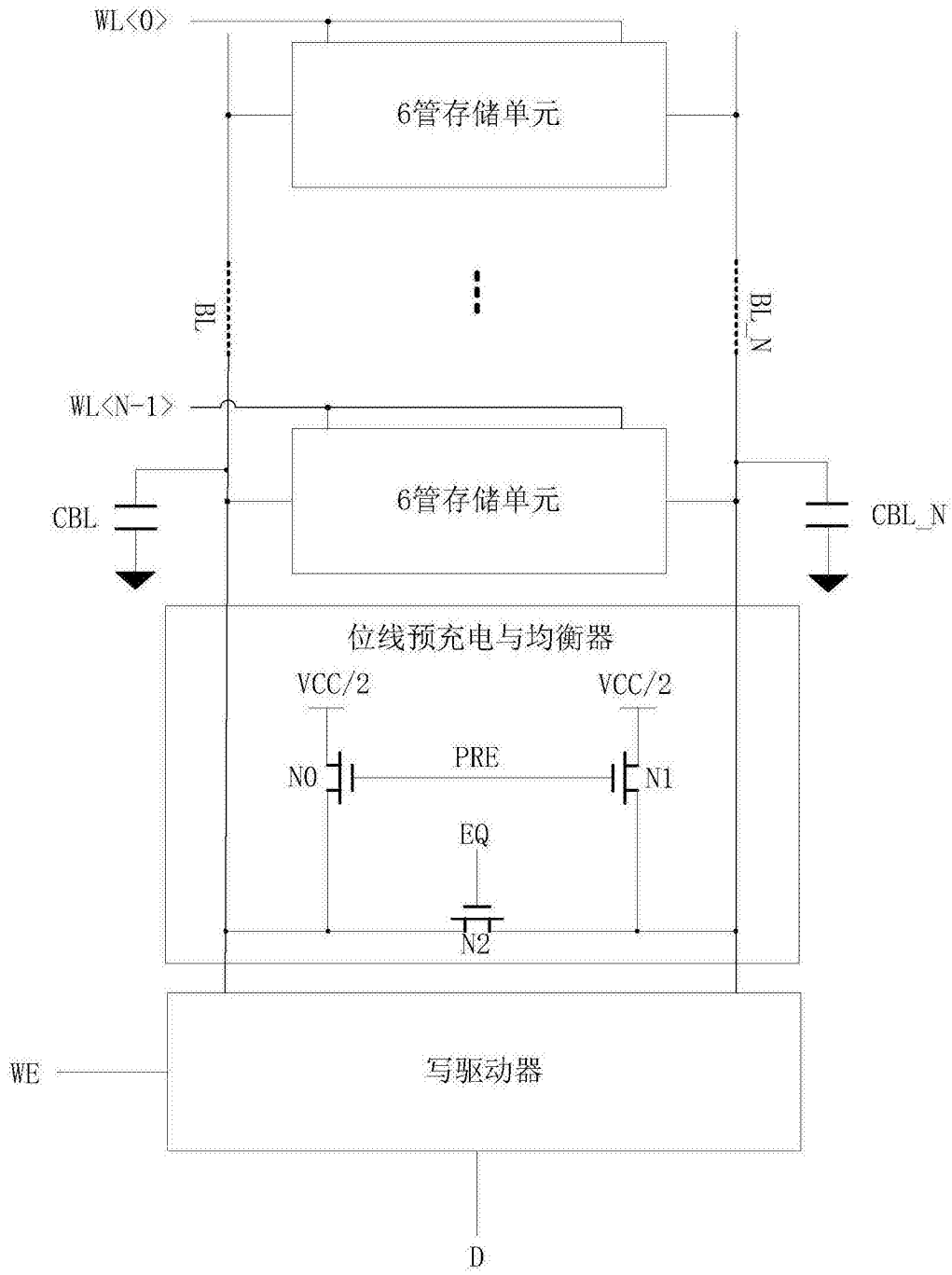


图4

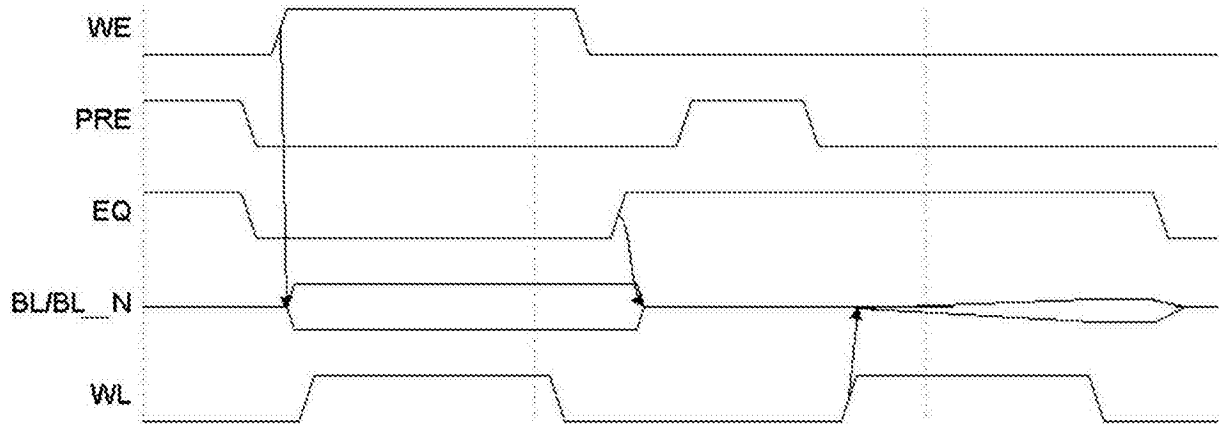


图5

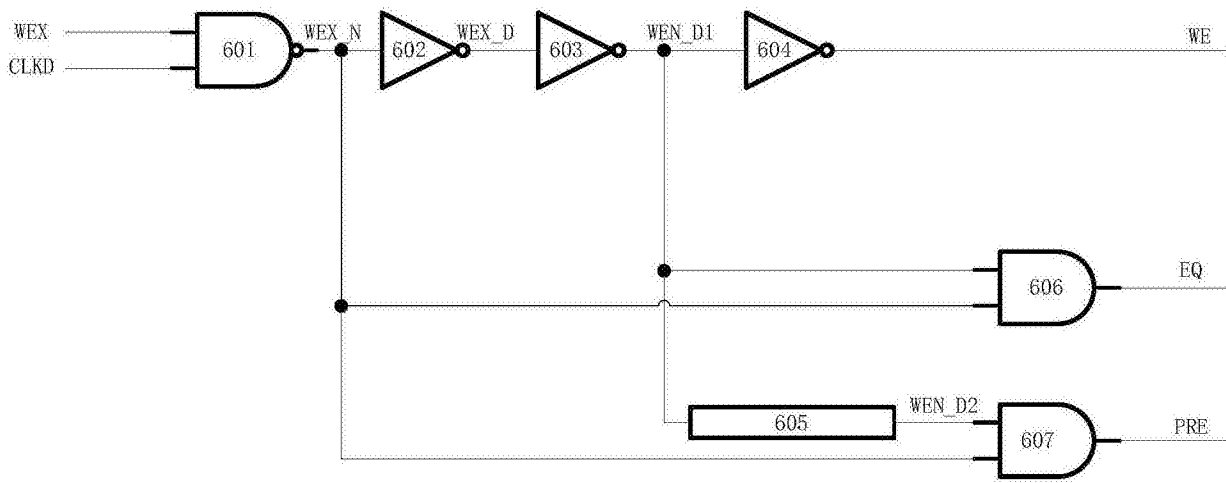


图6