



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년08월03일
(11) 등록번호 10-1053525
(24) 등록일자 2011년07월27일

(51) Int. Cl.

G11C 7/06 (2006.01) G11C 7/08 (2006.01)

(21) 출원번호 10-2009-0058933
(22) 출원일자 2009년06월30일
심사청구일자 2009년06월30일
(65) 공개번호 10-2011-0001411
(43) 공개일자 2011년01월06일
(56) 선행기술조사문헌
KR100167673 B1

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

문진영

서울특별시 서초구 양재동 10-22번지 203호

(74) 대리인

김성남

전체 청구항 수 : 총 12 항

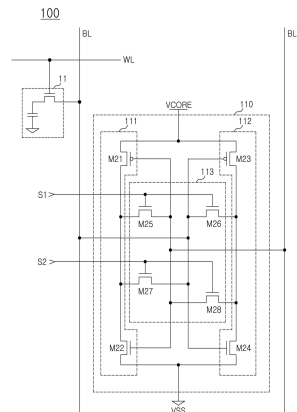
심사관 : 윤난영

(54) 감지 증폭기 및 이를 이용한 반도체 집적회로

(57) 요약

감지 증폭기는 어느 하나의 입력단이 비트 라인(Bit Line)과 연결되고, 다른 하나의 입력단이 비트 바 라인(/Bit Line)과 연결된 인버터 쌍, 및 제 1 제어신호에 응답하여 상기 비트 라인과 상기 비트 바 라인을 상기 인버터 쌍의 오프셋에 상응하는 레벨로 프리차지(Precharge) 시키고, 제 2 제어신호에 응답하여 상기 인버터 쌍의 출력단을 상기 비트 라인 쌍에 연결함으로써 상기 인버터 쌍에 의한 상기 비트 라인과 상기 비트 바 라인의 전압차 감지가 이루어지도록 하는 제어부를 구비한다.

대표도 - 도2



특허청구의 범위

청구항 1

어느 하나의 입력단이 비트 라인(Bit Line)과 연결되고, 다른 하나의 입력단이 비트 바 라인(/Bit Line)과 연결된 인버터 쌍; 및

제 1 제어신호에 응답하여 상기 비트 라인과 상기 비트 바 라인을 상기 인버터 쌍의 오프셋에 상응하는 레벨로 프리차지(Precharge) 시키고, 제 2 제어신호에 응답하여 상기 인버터 쌍의 출력단을 상기 비트 라인 쌍에 연결함으로써 상기 인버터 쌍에 의한 상기 비트 라인과 상기 비트 바 라인의 전압차 감지가 이루어지도록 하는 제어부를 구비하며,

상기 인버터 쌍을 구동하기 위한 전원 전압을 이용하여 상기 비트 라인과 상기 비트 바 라인의 프리차지가 이루어지도록 구성되는 감지 증폭기.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 제 1 제어신호는 워드 라인 구동 신호의 활성화 이전에 발생하는 펄스 신호를 포함하는 감지 증폭기.

청구항 4

제 1 항에 있어서,

상기 제 1 제어신호는 비트 라인 이퀄라이즈 신호를 포함하는 감지 증폭기.

청구항 5

제 1 항에 있어서,

상기 제 2 제어신호는 워드 라인 구동 신호를 포함하는 감지 증폭기.

청구항 6

제 1 항에 있어서,

상기 제 2 제어신호는 워드 라인 구동신호를 설정시간 만큼 지연시킨 신호를 포함하는 감지 증폭기.

청구항 7

비트 라인과 비트 바 라인 사이에 연결되고 크로스 커플드 래치(Cross Coupled Latch)를 이루는 제 1 인버터 및 제 2 인버터;

제 1 제어신호에 응답하여 상기 제 1 인버터의 입력단과 출력단을 연결하도록 구성된 제 1 트랜지스터;

상기 제 1 제어신호에 응답하여 상기 제 2 인버터의 입력단과 출력단을 연결하도록 구성된 제 2 트랜지스터;

제 2 제어신호에 응답하여 상기 제 1 인버터의 출력단과 상기 비트 라인을 연결하도록 구성된 제 3 트랜지스터; 및

상기 제 2 제어신호에 응답하여 상기 제 2 인버터의 출력단과 상기 비트 바 라인을 연결하도록 구성된 제 4 트랜지스터를 구비하는 감지 증폭기.

청구항 8

제 7 항에 있어서,

상기 제 1 제어신호는 비트 라인 이퀄라이즈 신호를 포함하는 감지 증폭기.

청구항 9

제 7 항에 있어서,
 상기 제 2 제어신호는 워드 라인 구동 신호를 포함하는 감지 증폭기.

청구항 10

메모리 셀;
 상기 메모리 셀과 데이터 입출력이 가능하도록 연결된 비트 라인과 비트 바 라인으로 이루어진 비트 라인 쌍;
 및
 상기 비트 라인 쌍 사이에 연결된 인버터 쌍을 구비하고, 제 1 제어신호에 응답하여 상기 인버터 쌍의 오프셋 전압에 상응하는 레벨로 상기 비트 라인과 상기 비트 바 라인을 프리차지(Precharge) 시키고, 제 2 제어신호에 응답하여 상기 인버터 쌍의 출력단을 상기 비트 라인 쌍에 연결함으로써 상기 인버터 쌍에 의한 상기 비트 라인과 상기 비트 바 라인의 전압차 감지가 이루어지도록 하는 증폭 감지기를 구비하는 반도체 집적회로.

청구항 11

제 10 항에 있어서,
 상기 인버터 쌍을 구동하기 위한 전원 전압을 이용하여 상기 비트 라인과 상기 비트 바 라인의 프리차지가 이루어지도록 구성된 반도체 집적회로.

청구항 12

제 10 항에 있어서,
 상기 제 1 제어신호는 비트 라인 이퀄라이즈 신호를 포함하는 반도체 집적회로.

청구항 13

제 10 항에 있어서,
 상기 제 2 제어신호는 워드 라인 구동 신호를 포함하는 반도체 집적회로.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 회로 기술에 관한 것으로서, 특히 감지 증폭기 및 이를 이용한 반도체 집적회로에 관한 것이다.

배경기술

[0002] 종래의 기술에 따른 반도체 집적회로(10)는 도 1에 도시된 바와 같이, 비트 라인(Bit Line: BL), 비트 바 라인(/Bit Line: BLB), 워드 라인(Word Line: WL), 메모리 셀(11), 감지 증폭기(Sense Amplifier)(12) 및 프리차지 회로(Precharge Circuit)(13, 14)를 구비한다.

[0003] 상기 감지 증폭기(12)는 상기 메모리 셀(11)에 기록된 데이터를 감지 및 증폭하기 위한 구성으로서, 상기 비트 라인(BL)과 비트 바 라인(BLB) 사이에 연결되며, 복수개의 트랜지스터(M1 ~ M6)를 구비한다.

[0004] 상기 감지 증폭기(12)는 크로스 커플드 래치(Cross Coupled Latch) 형태로서, 트랜지스터들(M1, M2)과 트랜지스터들(M3, M4)로 이루어진 인버터 쌍(Inverter Pair)을 구비한다.

[0005] 상기 크로스 커플드 래치와 전원단(VCORE) 사이에 트랜지스터(M5)가 연결된다. 상기 트랜지스터(M5)는 제어신호(SAP)를 게이트에 입력받는다. 상기 크로스 커플드 래치와 접지단(VSS) 사이에 트랜지스터(M6)가 연결된다. 상기 트랜지스터(M6)는 제어신호(SAN)를 게이트에 입력받는다. 상기 제어신호들(SAP, SAN)은 감지 증폭기(12)에

전원을 공급하는 타이밍을 결정하는 신호이다.

- [0006] 상기 프리차지 회로(13, 14)는 비트 라인 이퀄라이즈 신호(BLEQ)에 따라 상기 비트 라인 쌍을 비트 라인 프리차지 전압(VBLP) 레벨로 프리차지 시킨다. 상기 프리차지 회로(13, 14)는 복수개의 트랜지스터(M7 ~ M12)로 구성할 수 있다.
- [0007] 이때 소자 또는 공정상의 문제로 감지 증폭기(12)의 인버터 쌍을 이루는 트랜지스터들 간에 미스매치(mismatch)가 발생할 수 있다. 이러한 미스매치로 인하여 인버터 쌍들을 이루는 트랜지스터들 간의 오프셋(offset) 즉, 회로 설계시와 다른 문턱전압 차이가 발생할 수 있다.
- [0008] 또한 트랜지스터들(M5, M6) 및 프리차지 회로(13, 14)를 구성하는 트랜지스터들(M7 ~ M12)은 전원 공급에 관련된 구성이므로 감지 증폭기(12)의 인버터 쌍을 이루는 트랜지스터들(M1 ~ M4)에 비해 큰 사이즈로 설계된다.
- [0009] 상술한 바와 같이 구성된 종래의 기술에 따른 반도체 집적회로는 워드 라인(WL)이 활성화 되기 이전에 상기 프리차지 회로(13, 14)에 의해 비트 라인(BL)과 비트 바 라인(BLB)이 비트 라인 프리차지 전압(VBLP) 레벨로 프리차지 되어 있다.
- [0010] 이후, 리드 또는 리프레시 동작을 위해 워드 라인(WL)이 활성화됨에 따라 비트 라인(BL)과 비트 바 라인(BLB)의 차지 셰어링(Charge Sharing)이 이루어진다.
- [0011] 그리고 차지 셰어링에 의해 비트 라인(BL)과 비트 바 라인(BLB)의 전압차가 원하는 수준 이상이 될 정도의 시간 경과 후 상기 제어신호들(SAP, SAN)이 활성화된다.
- [0012] 상기 제어신호들(SAP, SAN)이 활성화됨에 따라 감지 증폭기(12)가 동작하여 메모리 셀(11)에 기록된 데이터의 감지 및 증폭 동작이 이루어진다.
- [0013] 상술한 종래기술에 따른 반도체 집적회로는 다음과 같은 문제점이 있다.
- [0014] 첫째, 비트 라인(BL)과 비트 바 라인(BLB)이 동일한 전압 레벨 즉, 비트 라인 프리차지 전압(VBLP) 레벨로 프리차지된 상태이다. 그러나 인버터 쌍들의 오프셋으로 인하여 감지 증폭기가 비트 라인(BL)과 비트 바 라인(BLB)의 전압차를 반영하지 못하고 오동작할 수 있다.
- [0015] 예를 들어, 메모리 셀(11)에 "1"이 기록되어 있다고 가정하자. 워드 라인(WL)이 활성화되면 비트 라인(BL)의 전압 레벨은 비트 라인 프리차지 전압(VBLP)에 비해 높아지고, 비트 바 라인(BLB)의 전압 레벨은 비트 라인 프리차지 전압(VBLP)을 유지할 것이다. 이때 트랜지스터(M2)의 문턱전압은 설계시에 비해 낮아진 상태이고, 트랜지스터(M4)의 문턱전압은 설계시에 비해 높아진 상태라면, 트랜지스터(M2)에 의해 비트 라인(BL)의 전압이 트랜지스터(M6)를 통해 방전되어 메모리 셀(11)의 데이터를 "0"으로 잘못 감지하게 된다.
- [0016] 둘째, 전원 공급을 위한 트랜지스터들(M5, M6), 프리차지 동작을 위한 트랜지스터들(M7 ~ M12)이 필요하므로 이들을 형성하기 위해 회로 면적의 손실을 감수해야 한다.

발명의 내용

해결 하고자하는 과제

- [0017] 본 발명은 안정적인 데이터 감지 동작이 가능하도록 한 감지 증폭기를 제공함에 그 목적이 있다.
- [0018] 본 발명은 레이아웃 마진(Layout Margin)을 증가시킬 수 있도록 한 반도체 집적회로를 제공함에 다른 목적이 있다.

과제 해결수단

- [0019] 본 발명에 따른 감지 증폭기는 어느 하나의 입력단이 비트 라인(Bit Line)과 연결되고, 다른 하나의 입력단이 비트 바 라인(/Bit Line)과 연결된 인버터 쌍, 및 제 1 제어신호에 응답하여 상기 비트 라인과 상기 비트 바 라인을 상기 인버터 쌍의 오프셋에 상응하는 레벨로 프리차지(Precharge) 시키고, 제 2 제어신호에 응답하여 상기 인버터 쌍의 출력단을 상기 비트 라인 쌍에 연결함으로써 상기 인버터 쌍에 의한 상기 비트 라인과 상기 비트 바 라인의 전압차 감지가 이루어지도록 하는 제어부를 구비함을 특징으로 한다.
- [0020] 본 발명에 따른 감지 증폭기는 비트 라인과 비트 바 라인 사이에 연결되고 크로스 커플드 래치(Cross Coupled Latch)를 이루는 제 1 인버터 및 제 2 인버터; 제 1 제어신호에 응답하여 상기 제 1 인버터의 입력단과 출력단

을 연결하도록 구성된 제 1 트랜지스터; 상기 제 1 제어신호에 응답하여 상기 제 2 인버터의 입력단과 출력단을 연결하도록 구성된 제 2 트랜지스터; 제 2 제어신호에 응답하여 상기 제 1 인버터의 출력단과 상기 비트 라인을 연결하도록 구성된 제 3 트랜지스터; 및 상기 제 2 제어신호에 응답하여 상기 제 2 인버터의 출력단과 상기 비트 바 라인을 연결하도록 구성된 제 4 트랜지스터를 구비함을 다른 특징으로 한다.

[0021] 본 발명에 따른 반도체 집적회로는 메모리 셀; 상기 메모리 셀과 데이터 입출력이 가능하도록 연결된 비트 라인과 비트 바 라인으로 이루어진 비트 라인 쌍; 및 상기 비트 라인 쌍 사이에 연결된 인버터 쌍을 구비하고, 제 1 제어신호에 응답하여 상기 인버터 쌍의 오프셋 전압에 상응하는 레벨로 상기 비트 라인과 상기 비트 바 라인을 프리차지(Precharge) 시키고, 제 2 제어신호에 응답하여 상기 인버터 쌍의 출력단을 상기 비트 라인 쌍에 연결함으로써 상기 인버터 쌍에 의한 상기 비트 라인과 상기 비트 바 라인의 전압차 감지가 이루어지도록 하는 증폭 감지기를 구비함을 또 다른 특징으로 한다.

효과

[0022] 본 발명에 따른 감지 증폭기는 프리차지 레벨 조절을 통해 인버터 쌍의 오프셋 보상이 가능하므로 데이터 감지 성능을 향상시킬 수 있다.

[0023] 본 발명에 따른 반도체 집적회로는 비트 라인 쌍의 프리차지를 위한 별도의 전원 및 감지 증폭기에 구동 전원의 공급을 제어하기 위한 트랜지스터가 필요 없으므로 레이아웃 마진을 증가시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0024] 이하에서는 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세히 설명하기로 한다.

[0025] 도 2는 본 발명에 따른 반도체 집적회로의 회로도이다.

[0026] 도 2에 도시된 바와 같이, 본 발명에 따른 반도체 집적회로(100)는 비트 라인(BL)과 비트 바 라인(BLB)으로 이루어진 비트 라인 쌍, 메모리 셀(11) 및 감지 증폭기(110)를 구비한다.

[0027] 상기 감지 증폭기(110)는 상기 비트 라인(BL)과 상기 비트 바 라인(BLB) 사이에 연결되며, 전원 전압(VCORE)과 접지 전압(VSS)을 인가 받는다.

[0028] 상기 감지 증폭기(110)는 상기 비트 라인 쌍의 프리차지와 상기 비트 라인 쌍의 전압차 감지(메모리 셀에 기록된 데이터 감지)를 위해 공통적으로 상기 전원 전압(VCORE)을 사용한다.

[0029] 상기 감지 증폭기(110)는 제 1 인버터(111), 제 2 인버터(112) 및 제어부(113)를 구비한다.

[0030] 상기 제 1 인버터(111)는 제 1 및 제 2 트랜지스터(M21, M22)를 구비한다. 상기 제 1 트랜지스터(M21)의 소오스에 전원 전압(VCORE)이 인가되고, 상기 제 2 트랜지스터(M22)의 드레인에 접지 전압(VSS)이 인가된다.

[0031] 상기 제 2 인버터(112)는 제 3 및 제 4 트랜지스터(M23, M24)를 구비한다. 상기 제 3 트랜지스터(M23)의 소오스에 전원 전압(VCORE)이 인가되고, 상기 제 4 트랜지스터(M24)의 드레인에 접지 전압(VSS)이 인가된다.

[0032] 상기 제 1 내지 제 4 트랜지스터(M21 ~ M24)가 크로스 커플드 래치(Cross Coupled Latch) 구조를 이룬다.

[0033] 상기 제어부(113)는 제 1 제어신호(S1)에 응답하여 상기 비트 라인(BL)과 상기 비트 바 라인(BLB)을 인버터 쌍(111, 112)의 오프셋에 상응하는 레벨로 프리차지(Precharge) 시키고, 제 2 제어신호(S2)에 응답하여 상기 인버터 쌍(111, 112)의 출력단을 비트 라인 쌍(BL, BLB)에 연결함으로써 상기 인버터 쌍(111, 112)에 의한 상기 비트 라인(BL)과 상기 비트 바 라인(BLB)의 전압차 감지가 이루어지도록 구성된다.

[0034] 상기 제 1 제어신호(S1)는 워드 라인 구동 신호 즉, 워드 라인을 활성화시키기 위한 신호의 활성화 시점으로부터 설정된 시간 이전에 발생하는 펄스 신호이다. 상기 제 1 제어신호(S1)로서 비트 라인 이퀄라이즈 신호를 사용하는 것도 가능하다.

[0035] 상기 제 2 제어신호(S2)는 상기 워드 라인 구동신호를 설정시간만큼 지연시킨 신호이다. 상기 제 2 제어신호(S2)로서 워드 라인 구동신호를 사용하는 것도 가능하다.

[0036] 상기 제어부(113)는 제 5 내지 제 8 트랜지스터(M25 ~ M28)를 구비한다.

[0037] 상기 제 5 트랜지스터(M25)는 상기 제 1 제어신호(S1)에 응답하여 상기 제 1 인버터(111)의 입력단과 출력단을 연결하도록 구성된다.

- [0038] 상기 제 6 트랜지스터(M26)는 상기 제 1 제어신호(S1)에 응답하여 상기 제 2 인버터(112)의 입력단과 출력단을 연결하도록 구성된다.
- [0039] 상기 제 7 트랜지스터(M27)는 상기 제 2 제어신호(S2)에 응답하여 상기 제 1 인버터(111)의 출력단과 상기 비트 라인(BL)을 연결하도록 구성된다.
- [0040] 상기 제 8 트랜지스터(M28)는 상기 제 2 제어신호(S2)에 응답하여 상기 제 2 인버터(112)의 출력단과 상기 비트 바 라인(BLB)을 연결하도록 구성된다.
- [0041] 이와 같이 구성된 본 발명에 따른 반도체 집적회로의 동작을 설명하면 다음과 같다.
- [0042] 워드 라인 구동신호의 활성화 시점 이전에 제 1 제어신호(S1)가 발생된다. 이때 제 2 제어신호(S2)는 비활성화된 상태이다.
- [0043] 상기 제 1 제어신호(S1)의 하이 레벨 구간 동안 제 5 및 제 6 트랜지스터(M25, M26)가 턴 온 되고, 제 7 및 제 8 트랜지스터(M27, M28)는 턴 오프 상태를 유지한다.
- [0044] 따라서 제 1 인버터(111)의 출력단과 비트 라인(BL)은 전기적으로 분리된 반면, 제 1 인버터(111)의 출력단과 입력단이 단락(Short)되고, 제 1 인버터(111)의 입력단은 비트 바 라인(BLB)과 연결된 상태이므로 제 1 인버터(111)의 오프셋 즉, 목표 문턱전압과 실제 문턱전압의 차이가 반영된 전압 레벨이 비트 바 라인(BLB)의 유효 커패시터에 저장됨으로써 비트 바 라인(BLB)의 프리차지가 이루어진다.
- [0045] 이때 유효 커패시터는 실제 회로 구성이 이루어진 것이 아니라, 비트 바 라인(BLB)과 연결된 모든 트랜지스터들의 게이트 커패시턴스 등을 포함한 것이다.
- [0046] 마찬가지로 제 2 인버터(112)의 출력단과 비트 바 라인(BLB)은 전기적으로 분리된 반면, 제 2 인버터(112)의 출력단과 입력단이 단락(Short)되고, 제 2 인버터(112)의 입력단은 비트 라인(BL)과 연결된 상태이므로 제 2 인버터(112)의 오프셋 즉, 목표 문턱전압과 실제 문턱전압의 차이가 반영된 전압 레벨이 비트 라인(BL)의 유효 커패시터에 저장됨으로써 비트 라인(BL)의 프리차지가 이루어진다.
- [0047] 이때 비트 라인(BL)의 프리차지 전압 레벨과 비트 바 라인(BLB)의 프리차지 전압 레벨은 제 1 인버터(111)와 제 2 인버터(112)의 오프셋 만큼의 차이가 존재하게 된다. 즉, 오프셋을 보상한 레벨로 비트 라인(BL)과 비트 바 라인(BLB)을 프리차지시킴으로써 이후의 비트 라인(BL)과 비트 바 라인(BLB)의 전압차 감지시 오동작을 방지하기 위함이다.
- [0048] 워드 라인 구동 신호의 활성화에 응답하여 워드 라인(WL)이 활성화됨에 따라 비트 라인(BL)과 비트 바 라인(BLB)의 차지 쉐어링(Charge Sharing)이 이루어진다.
- [0049] 상기 차지 쉐어링에 의해 비트 라인(BL)과 비트 바 라인(BLB)의 전압차가 원하는 수준 이상이 될 정도의 시간 경과 후 제 2 제어신호(S2)가 활성화된다. 이때 제 1 제어신호(S1)는 펄스 형태로서, 상기 워드 라인 구동 신호의 활성화 시점 이전에 이미 비활성화된 상태이다.
- [0050] 따라서 제 5 및 제 6 트랜지스터(M25, M26)는 턴 오프 상태를 유지하고, 제 7 및 제 8 트랜지스터(M27, M28)는 턴 온 된다.
- [0051] 상기 제 7 및 제 8 트랜지스터(M27, M28)가 턴 온 됨에 따라 제 1 인버터(111)의 출력단이 비트 라인(BL)과 연결되고, 제 2 인버터(112)의 출력단이 비트 바 라인(BLB)과 연결되어 메모리 셀(11)에 기록된 데이터를 감지하는 동작 즉, 비트 라인(BL)과 비트 바 라인(BLB)의 전압차 감지 동작을 수행한다.
- [0052] 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

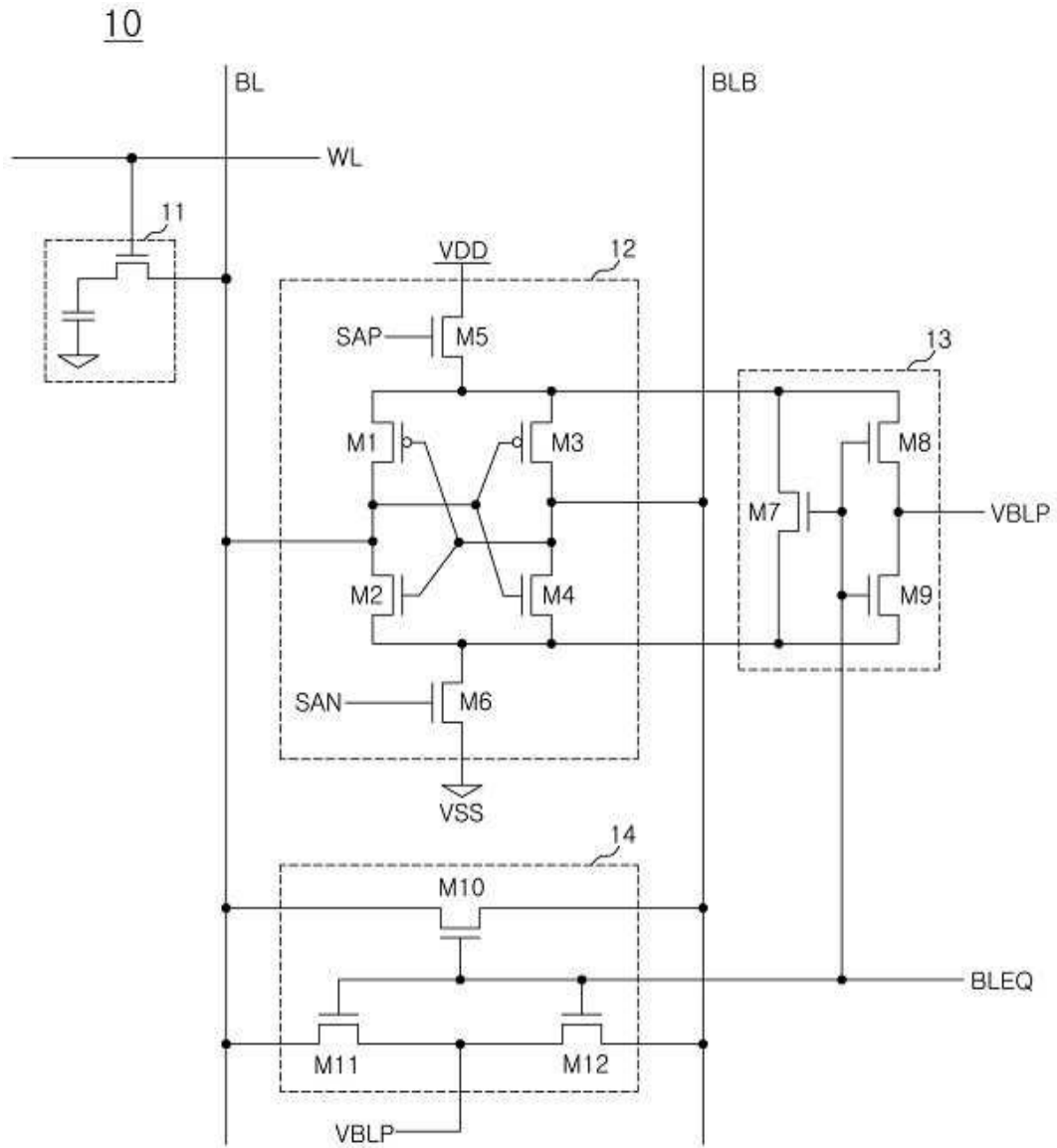
- [0053] 도 1은 종래의 기술에 따른 반도체 집적회로의 회로도,
- [0054] 도 2는 본 발명에 따른 반도체 집적회로의 회로도이다.

[0055] <도면의 주요 부분에 대한 부호 설명>

[0056] 110, 120: 인버터 130: 제어부

도면

도면1



도면2

