



(12) 发明专利申请

(10) 申请公布号 CN 104538380 A

(43) 申请公布日 2015.04.22

(21) 申请号 201410759285.7

(22) 申请日 2014.12.10

(71) 申请人 华进半导体封装先导技术研发中心
有限公司

地址 214135 江苏省无锡市新区菱湖大道
200号中国传感网国际创新园D1栋

(72) 发明人 陈南南 王宏杰

(74) 专利代理机构 无锡市大为专利商标事务所
(普通合伙) 32104

代理人 殷红梅 刘海

(51) Int. Cl.

H01L 23/538(2006.01)

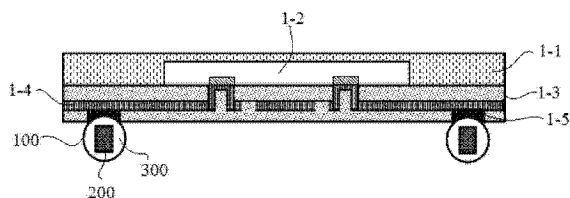
权利要求书2页 说明书4页 附图4页

(54) 发明名称

小间距 PoP 封装单体

(57) 摘要

本发明涉及一种小间距 PoP 封装单体,包括芯片、塑封材料和焊球;其特征是:所述焊球包括铜核球,在铜核球表面镀覆镀层钎料。所述焊球为椭球形、矩形柱形或圆柱形,铜核球为椭球形、矩形柱形或圆柱形。所述封装单体可以采用扇出型晶圆级封装或者基板 PoP 封装结构。本发明能够解决 PoP 封装坍塌、偏移的问题,并进一步减小间距,提高 I/O 数量。



1. 一种小间距 PoP 封装单体, 包括芯片、塑封材料和焊球(100);其特征是:所述焊球(100)包括铜核球(200),在铜核球(200)表面镀覆镀层钎料(300)。

2. 如权利要求 1 所述的小间距 PoP 封装单体,其特征是:所述焊球(100)为椭球形、矩形柱形或圆柱形,铜核球(200)为椭球形、矩形柱形或圆柱形。

3. 如权利要求 1 所述的小间距 PoP 封装单体,其特征是:所述封装单体包括塑封材料,塑封材料中塑封芯片,芯片的正面与塑封材料的正面平齐,芯片的高度小于塑封材料的高度;在所述塑封材料的正面设置 RDL 层,RDL 层中设置再布线金属走线层,再布线金属走线层上设置 UBM 层,再布线金属走线层连接 UBM 层和芯片上的电极,在 UBM 层上设置焊球。

4. 如权利要求 1 所述的小间距 PoP 封装单体,其特征是:所述封装单体包括塑封材料,塑封材料中塑封芯片和金属层,芯片的正面与塑封材料的正面平齐,芯片的高度小于塑封材料的高度;所述金属层的一表面与塑封材料的正面平齐,金属层的厚度小于塑封材料的高度;在所述塑封材料的正面设置 RDL 层,RDL 层中设置再布线金属走线层,再布线金属走线层上设置 UBM 层,再布线金属走线层连接 UBM 层和芯片上的电极,在 UBM 层上设置焊球。

5. 如权利要求 1 所述的小间距 PoP 封装单体,其特征是:所述封装单体包括塑封材料,塑封材料中塑封芯片、金属层和金属柱,芯片的正面与塑封材料的正面平齐,芯片的高度小于塑封材料的高度;所述金属层的一表面与塑封材料的正面平齐,金属层的另一表面与金属柱的一端连接,金属柱的另一端与塑封材料的背面平齐;在所述塑封材料的正面设置 RDL 层,RDL 层中设置再布线金属走线层,再布线金属走线层上设置 UBM 层,再布线金属走线层连接 UBM 层和芯片上的电极,在 UBM 层上设置焊球。

6. 如权利要求 1 所述的小间距 PoP 封装单体,其特征是:所述封装单体包括塑封材料,塑封材料中塑封芯片,芯片的背面与塑封材料的背面平齐,芯片的高度小于塑封材料的高度;在所述塑封材料的正面设置 RDL 层,RDL 层中设置再布线金属走线层,再布线金属走线层上设置 UBM 层,再布线金属走线层连接 UBM 层和芯片上的电极,在 UBM 层上设置焊球。

7. 如权利要求 1 所述的小间距 PoP 封装单体,其特征是:所述封装单体包括塑封材料,塑封材料中塑封芯片和金属层,芯片的背面与塑封材料的背面平齐,芯片的高度小于塑封材料的高度;所述金属层的一表面与塑封材料的背面平齐,金属层的厚度小于塑封材料的高度;在所述塑封材料的正面设置 RDL 层,RDL 层中设置再布线金属走线层,再布线金属走线层上设置 UBM 层,再布线金属走线层连接 UBM 层和芯片上的电极,在 UBM 层上设置焊球。

8. 如权利要求 1 所述的小间距 PoP 封装单体,其特征是:所述封装单体包括塑封材料,塑封材料中塑封芯片、金属层和金属柱,芯片的背面与塑封材料的背面平齐,芯片的高度小于塑封材料的高度;所述金属层的一表面与塑封材料的背面平齐,金属层的另一表面与金属柱的一端连接,金属柱的另一端与塑封材料的正面平齐;在所述塑封材料的正面设置 RDL 层,RDL 层中设置再布线金属走线层,再布线金属走线层上设置 UBM 层,再布线金属走线层连接 UBM 层和芯片上的电极,在 UBM 层上设置焊球。

9. 如权利要求 1 所述的小间距 PoP 封装单体,其特征是:所述封装单体为基板 PoP 封装结构,包括基板,在基板上采用塑封材料塑封芯片,在基板的正面设置焊盘,在焊盘上设置焊球;所述塑封材料全部覆盖基板的背面。

10. 如权利要求 1 所述的小间距 PoP 封装单体,其特征是:所述封装单体为基板 PoP 封装结构,包括基板,在基板上采用塑封材料塑封芯片,在基板的正面设置焊盘,在焊盘上设

置焊球；所述塑封材料部分覆盖基板的背面。

小间距 PoP 封装单体

技术领域

[0001] 本发明涉及一种小间距 PoP 封装单体,属于半导体封装技术领域。

背景技术

[0002] 作为目前封装高密集成的主要方式,PoP (package on package,层叠封装)得到越来越多的重视。芯片的堆叠是提高电子封装高密化的主要途径之间,PoP 设计已经在业界得到比较广泛的开发和应用。

[0003] 现有技术中,一般采用锡球互连的 PoP 解决方案,这种结构在坍塌、位移(shift)等方面存在一定难度和不足。基板多层 PoP 芯片堆叠时,需将锡球与芯片一起塑封,不利于返修。传统的锡球 X 轴方向尺寸与 Y 轴尺寸相当,限制了间距时一步减小。

发明内容

[0004] 本发明的目的是克服现有技术中存在的不足,提供一种小间距 PoP 封装单体,解决 PoP 封装坍塌、偏移的问题,并进一步减小间距,提高 I/O 数量。

[0005] 按照本发明提供的技术方案,所述小间距 PoP 封装单体,包括芯片、塑封材料和焊球;其特征是:所述焊球包括铜核球,在铜核球表面镀覆镀层钎料。

[0006] 进一步的,所述焊球为椭球形、矩形柱形或圆柱形,铜核球为椭球形、矩形柱形或圆柱形。

[0007] 进一步的,所述封装单体包括塑封材料,塑封材料中塑封芯片,芯片的正面与塑封材料的正面平齐,芯片的高度小于塑封材料的高度;在所述塑封材料的正面设置 RDL 层,RDL 层中设置再布线金属走线层,再布线金属走线层上设置 UBM 层,再布线金属走线层连接 UBM 层和芯片上的电极,在 UBM 层上设置焊球。

[0008] 进一步的,所述封装单体包括塑封材料,塑封材料中塑封芯片和金属层,芯片的正面与塑封材料的正面平齐,芯片的高度小于塑封材料的高度;所述金属层的一表面与塑封材料的正面平齐,金属层的厚度小于塑封材料的高度;在所述塑封材料的正面设置 RDL 层,RDL 层中设置再布线金属走线层,再布线金属走线层上设置 UBM 层,再布线金属走线层连接 UBM 层和芯片上的电极,在 UBM 层上设置焊球。

[0009] 进一步的,所述封装单体包括塑封材料,塑封材料中塑封芯片、金属层和金属柱,芯片的正面与塑封材料的正面平齐,芯片的高度小于塑封材料的高度;所述金属层的一表面与塑封材料的正面平齐,金属层的另一表面与金属柱的一端连接,金属柱的另一端与塑封材料的背面平齐;在所述塑封材料的正面设置 RDL 层,RDL 层中设置再布线金属走线层,再布线金属走线层上设置 UBM 层,再布线金属走线层连接 UBM 层和芯片上的电极,在 UBM 层上设置焊球。

[0010] 进一步的,所述封装单体包括塑封材料,塑封材料中塑封芯片,芯片的背面与塑封材料的背面平齐,芯片的高度小于塑封材料的高度;在所述塑封材料的正面设置 RDL 层,RDL 层中设置再布线金属走线层,再布线金属走线层上设置 UBM 层,再布线金属走线层连接

UBM 层和芯片上的电极,在 UBM 层上设置焊球。

[0011] 进一步的,所述封装单体包括塑封材料,塑封材料中塑封芯片和金属层,芯片的背面与塑封材料的背面平齐,芯片的高度小于塑封材料的高度;所述金属层的一表面与塑封材料的背面平齐,金属层的厚度小于塑封材料的高度;在所述塑封材料的正面设置 RDL 层,RDL 层中设置再布线金属走线层,再布线金属走线层上设置 UBM 层,再布线金属走线层连接 UBM 层和芯片上的电极,在 UBM 层上设置焊球。

[0012] 进一步的,所述封装单体包括塑封材料,塑封材料中塑封芯片、金属层和金属柱,芯片的背面与塑封材料的背面平齐,芯片的高度小于塑封材料的高度;所述金属层的一表面与塑封材料的背面平齐,金属层的另一表面与金属柱的一端连接,金属柱的另一端与塑封材料的正面平齐;在所述塑封材料的正面设置 RDL 层,RDL 层中设置再布线金属走线层,再布线金属走线层上设置 UBM 层,再布线金属走线层连接 UBM 层和芯片上的电极,在 UBM 层上设置焊球。

[0013] 进一步的,所述封装单体为基板 PoP 封装结构,包括基板,在基板上采用塑封材料塑封芯片,在基板的正面设置焊盘,在焊盘上设置焊球;所述塑封材料全部覆盖基板的背面。

[0014] 进一步的,所述封装单体为基板 PoP 封装结构,包括基板,在基板上采用塑封材料塑封芯片,在基板的正面设置焊盘,在焊盘上设置焊球;所述塑封材料部分覆盖基板的背面。

[0015] 本发明所述的小间距 PoP 封装单体及 PoP 封装结构,将非中心对称型球或柱应用于扇外型晶圆级封装或 PoP 封装,可以解决 PoP 封装坍塌、偏移的问题,并进一步减小间距,提高 I/O 数量。

附图说明

[0016] 图 1 为本发明所述小间距 PoP 封装单体第一种实施例的示意图。

[0017] 图 2 为本发明所述小间距 PoP 封装单体第二种实施例的示意图。

[0018] 图 3 为本发明所述小间距 PoP 封装单体第三种实施例的示意图。

[0019] 图 4 为本发明所述小间距 PoP 封装单体第四种实施例的示意图。

[0020] 图 5 为本发明所述小间距 PoP 封装单体第五种实施例的示意图。

[0021] 图 6 为本发明所述小间距 PoP 封装单体第六种实施例的示意图。

[0022] 图 7 为本发明所述小间距 PoP 封装单体第七种实施例的示意图。

[0023] 图 8 为本发明所述小间距 PoP 封装单体第八种实施例的示意图。

[0024] 图 9 为本发明所述小间距 PoP 封装结构第一种实施例的示意图。

[0025] 图 10 为本发明所述小间距 PoP 封装结构第二种实施例的示意图。

具体实施方式

[0026] 下面结合具体附图对本发明作进一步说明。

[0027] 实施例一:

如图 1 所示,本发明包括塑封材料 1-1,塑封材料 1-1 中塑封芯片 1-2,芯片 1-2 的正面与塑封材料 1-1 的正面平齐,芯片 1-2 的高度小于塑封材料 1-1 的高度;在所述塑封材料

1-1 的正面设置 RDL 层 1-3, RDL 层 1-3 中设置再布线金属走线层 1-4, 再布线金属走线层 1-4 上设置 UBM 层 1-5, 再布线金属走线层 1-4 连接 UBM 层 1-5 和芯片 1-2 上的电极; 在所述 UBM 层 1-5 上设置焊球 100, 焊球 100 包括铜核球 200, 在铜核球 200 表面镀覆镀层钎料 300, 镀层钎料 300 可以采用镍或合金材料(如 SAC 合金钎料); 所述焊球 100 为椭球形、矩形柱形或圆柱形, 铜核球 200 为椭球形、矩形柱形或圆柱形。

[0028] 实施例一在制作时, 采用现有技术中常规的方法(fan out WLP face down 工艺)进行, 具体为: 在载体晶圆表面涂覆一层临时键合胶, 将芯片 1-2 的电极面朝下贴片; 采用塑封材料 1-1 将芯片 1-2 塑封并固化, 然后将载体晶圆及塑封材料 1-1 翻转并去除载体晶圆及临时键合胶; 在芯片 1-2 的电极一面制作 RDL 层 1-3, 在 RDL 层 1-3 上进行电镀、沉积, 制作再布线金属走线层 1-4 和 UBM 层 1-5; 在 UBM 层 1-5 上植本发明所述的焊球 100, 将封装体切割成单个封装单体。

[0029] 实施例二:

如图 2 所示, 结构同实施例一, 其中, 在塑封材料 1-1 中还塑封有金属层 2-1, 金属层 2-1 的一表面与塑封材料 1-1 的正面平齐, 金属层 2-1 的厚度小于塑封材料 1-1 的高度。

[0030] 实施例三:

如图 3 所示, 结构同实施例二, 其中, 在塑封材料 1-1 中还塑封有金属柱 3-1, 金属柱 3-1 的一端连接金属层 2-1, 另一端与塑封材料 1-1 的背面平齐。

[0031] 实施例四:

如图 4 所示, 结构同实施例一, 其中, 芯片 1-2 的背面与塑封材料 1-1 的背面平齐。

[0032] 实施例四在制作时, 采用现有技术(Fan out WLP face up 工艺)进行, 具体为: 在载体晶圆表面涂覆一层临时键合胶, 将芯片 1-2 的电极面朝上贴片; 采用塑封材料 1-1 将芯片 1-2 塑封并固化, 然后去除载体晶圆和临时键合胶; 在芯片 1-2 的电极一面的表面制作 RDL 层 1-3, 在 RDL 层 1-3 上电镀、沉积, 制作再布线金属走线层 1-4 和 UBM 层 1-5; 在 UBM 层 1-5 上植本发明所述的焊球 100, 将封装体切割成单个封装单体。

[0033] 实施例五:

如图 5 所示, 结构同实施例二, 其中, 芯片 1-2 的背面与塑封材料 1-1 的背面平齐, 金属层 2-1 的一表面与塑封材料 1-1 的背面平齐, 金属层 2-1 的厚度小于塑封材料 1-1 的高度。

[0034] 实施例六:

如图 6 所示, 结构同实施例三, 其中, 芯片 1-2 的背面与塑封材料 1-1 的背面平齐, 金属层 2-1 的一表面与塑封材料 1-1 的背面平齐, 金属层 2-1 的另一表面与金属柱 3-1 的一表面连接, 金属柱 3-1 的另一表面与塑封材料 1-1 的正面平齐。

[0035] 实施例七:

如图 7 所示, 本发明为基板 PoP 封装结构, 包括基板 7-1, 在基板 7-1 上采用塑封材料 7-2 塑封芯片 7-3, 在基板 7-1 的正面设置焊盘 7-4, 在焊盘 7-4 上设置焊球 100; 其中, 塑封材料 7-2 全部覆盖基板 7-1 的背面。

[0036] 实施例七在制作时, 采用现有技术进行, 具体为: 在基板 7-1 进行贴片, 将芯片 7-3 采用塑封材料 7-2 进行塑封并固化; 再将基板 7-1 及塑封材料 7-2 翻转, 在基板 7-1 正面的焊盘 7-4 上植本发明所述的焊球 100, 再将封装体切割成封装单体。

[0037] 实施例八:

如图 8 所示,结构同实施例七,其中,塑封材料 7-2 部分覆盖基板 7-1 的背面。

[0038] 如图 9、图 10 所示,将本发明所述的小间距 PoP 封装单体进行堆叠、回流,可以得到小间距 PoP 封装结构;如图 9 所示,为将实施例四和实施例六所述的封装单体进行堆叠;如图 10 所示,为将实施例七和实施例八所述的封装单体进行堆叠。

[0039] 本发明案采用非中心对称型球(椭球形、矩形柱形、圆柱形等)取向排布应用于 Fan out WLP (扇出型晶圆级封装)及 PoP 工艺,可以解决 PoP 堆叠坍塌、偏移问题,并进一步减小间距,提高 I/O 数量;非对称型焊球的铜核球起到一定的支撑作用,在 Y 轴方向上达到 PoP 芯片堆叠的设计需求;同时,对比传统锡球,焊球在 X 轴方向可以设计很小,且回流前后变化较小,可以满足芯片小间距植球。这样的植球方法及结构,可以应用于 PoP 多层芯片互连堆叠,有效地解决坍塌、偏移等工艺问题。

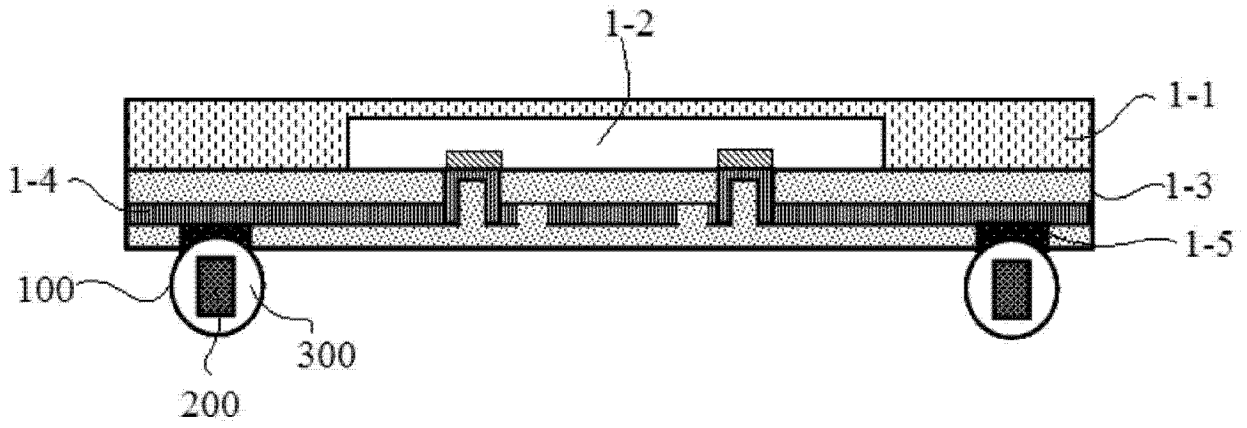


图 1

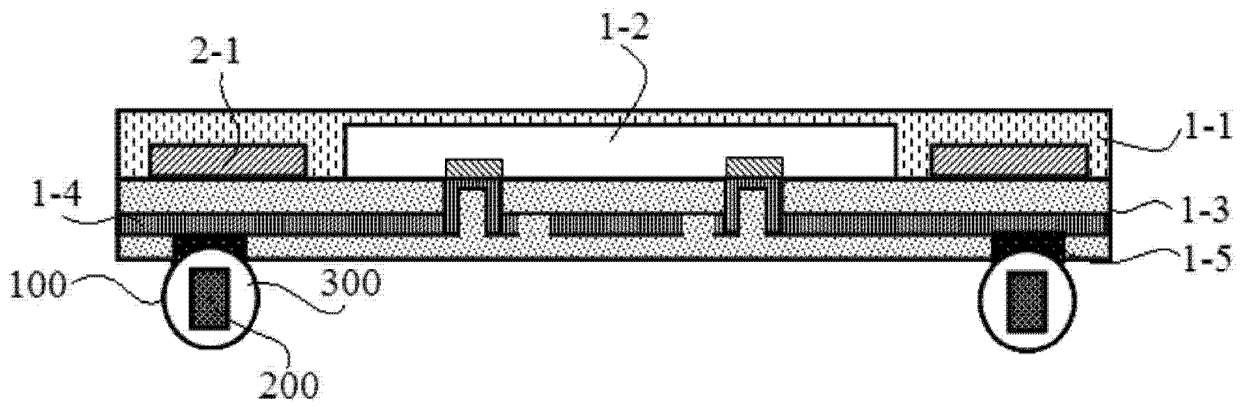


图 2

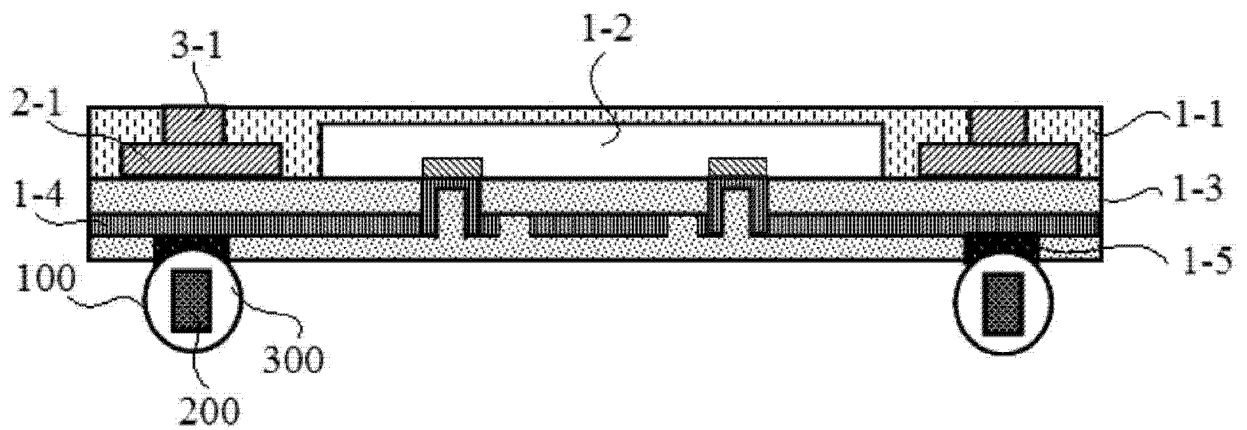


图 3

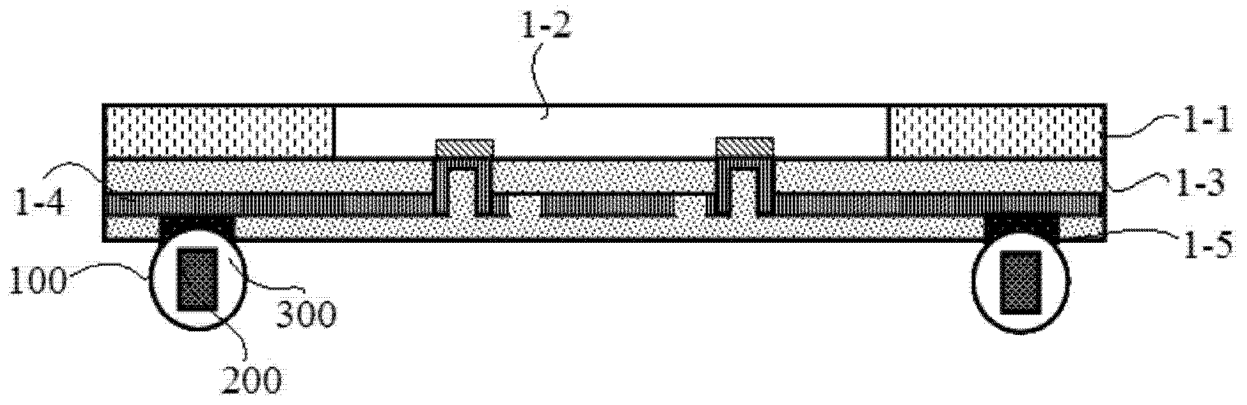


图 4

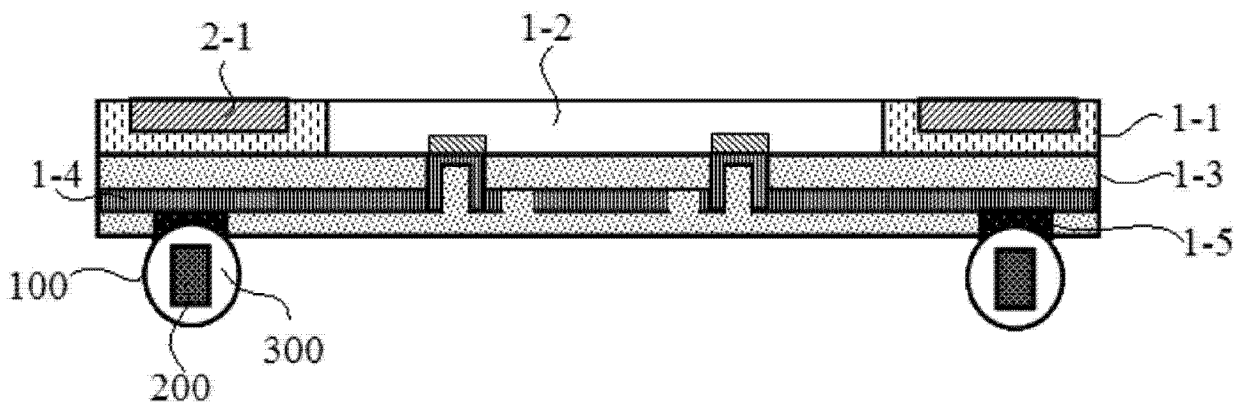


图 5

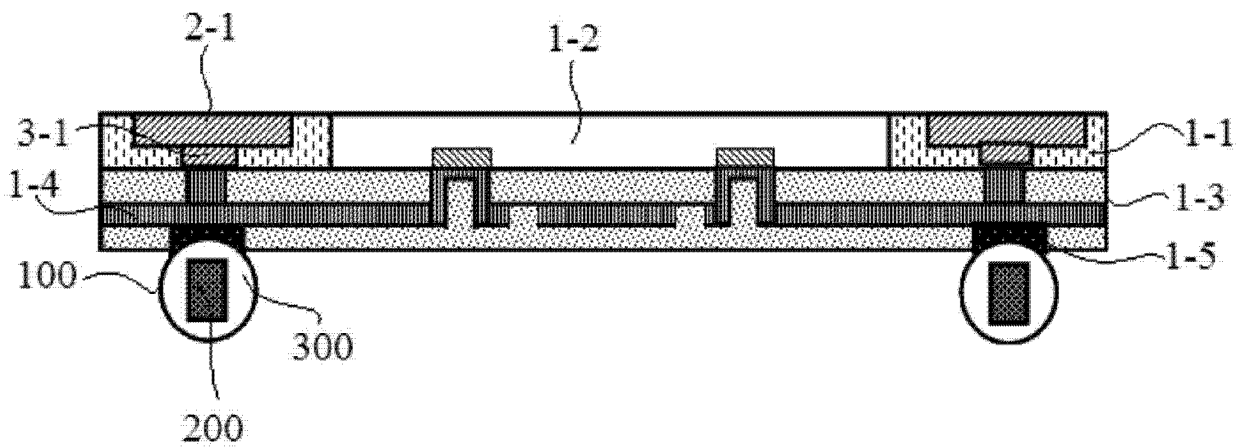


图 6

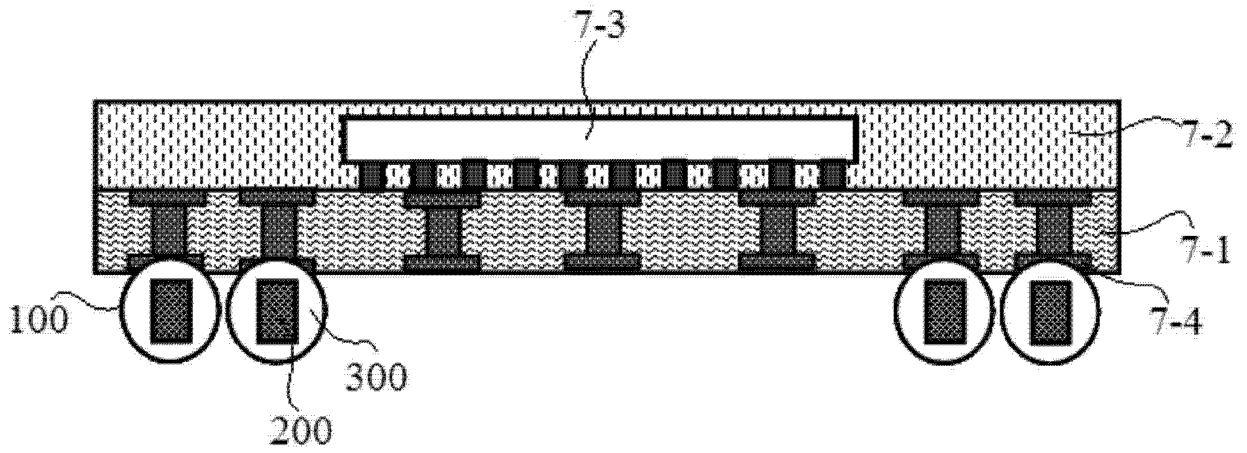


图 7

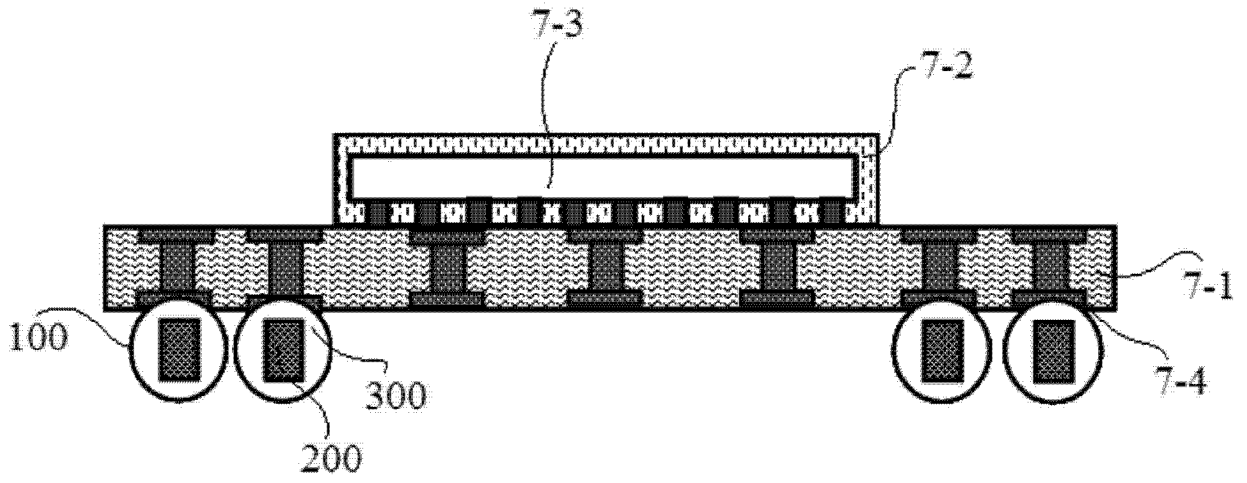


图 8

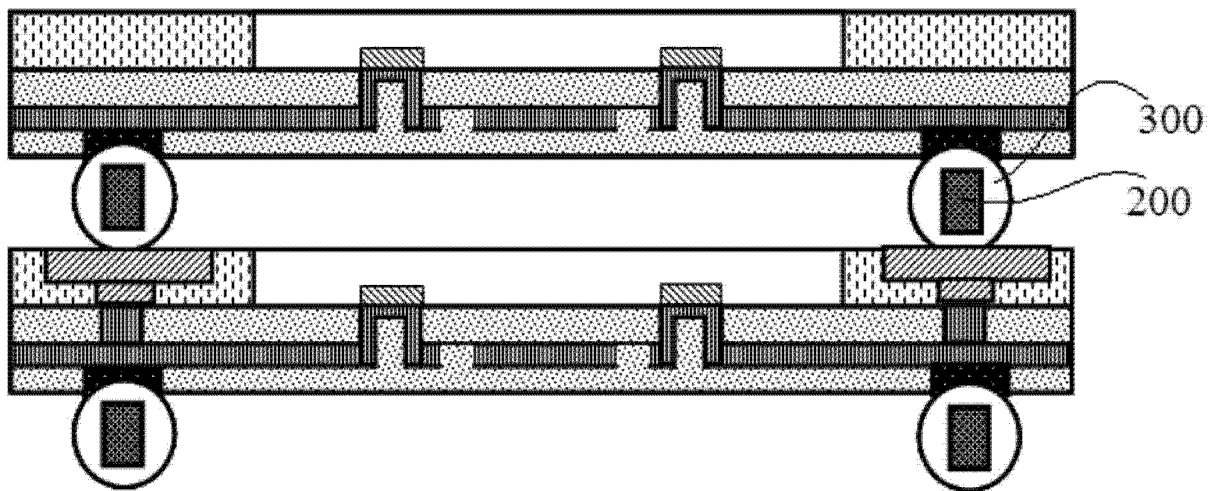


图 9

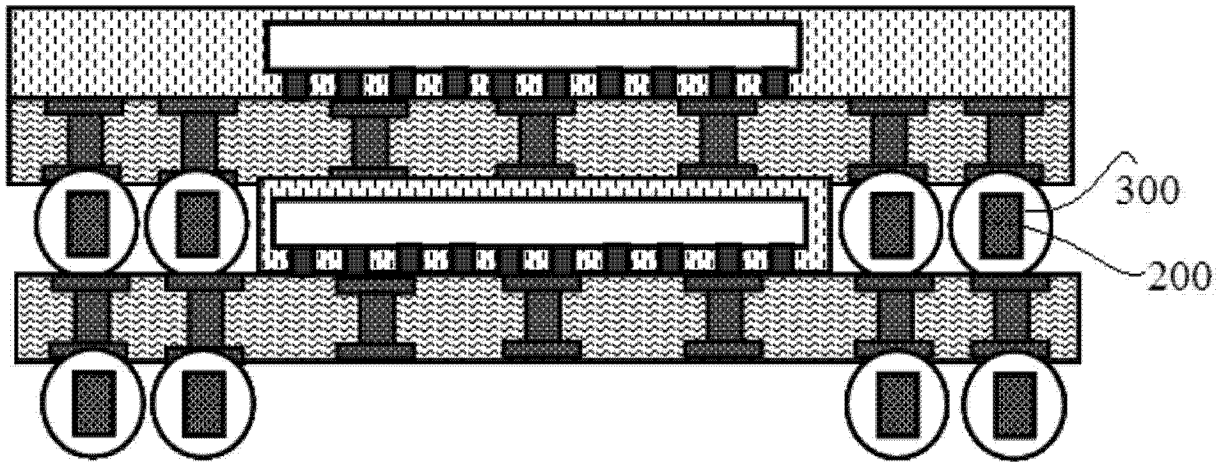


图 10