



(12)发明专利

(10)授权公告号 CN 103929181 B

(45)授权公告日 2018.11.16

(21)申请号 201410015971.3

(22)申请日 2014.01.14

(65)同一申请的已公布的文献号
申请公布号 CN 103929181 A

(43)申请公布日 2014.07.16

(30)优先权数据
13/742,532 2013.01.16 US

(73)专利权人 恩智浦美国有限公司
地址 美国得克萨斯

(72)发明人 M·N·U·迦比尔 B·布瑞斯韦尔
D·A·加里逊

(74)专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038
代理人 申发振

(51)Int.Cl.

H03M 1/66(2006.01)

H03M 1/10(2006.01)

(56)对比文件

US 7701377 B1,2010.04.20,

US 2011221620 A1,2011.09.15,

CN 102006079 A,2011.01.06,

CN 101588179 A,2009.11.25,

US 7605608 B1,2009.10.20,

CN 102447476 A,2012.05.09,

审查员 郭小峰

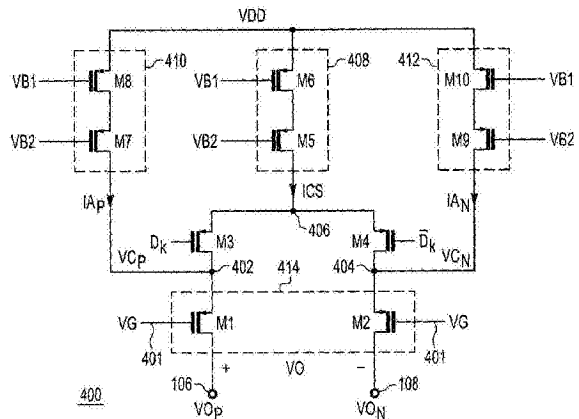
权利要求书3页 说明书10页 附图3页

(54)发明名称

具有减少杂讯能量误差的电流舵型源的数
模转换器

(57)摘要

本公开涉及具有减少杂讯能量误差的电流舵型源的数模转换器。数模转换器包括至少一个电流舵型源和主副本偏置网络。每个电流舵型源包括数据电流源、两个开关、两个缓冲器件以及两个激活电流源。所述开关由数据位和它的反向控制以转换第一和第二控制节点之间的源电流。所述缓冲器件缓冲了相应输出节点之间的控制节点。所述激活电流源确保了不管所述开关的状态如何,每个缓冲器件都保持激活。所述主副本偏置网络包括耦合于副本控制节点的副本缓冲器件和主缓冲放大器。所述主缓冲放大器并行地驱动所述第一、第二以及副本缓冲器件以保持所述第一、第二以及副本控制节点处于共用主控制电压以最小化输出处的噪音和杂讯。



1. 一种数模转换器,包括:

至少一个电流舵型源,每个包括:

数据电流源,给源节点提供源电流;

第一开关,有耦合于所述源节点的第一端子和耦合于第一控制节点的第二端子;以及第二开关,有耦合于所述源节点的第一端子和耦合于第二控制节点的第二端子,其中所述第一和第二开关分别由数据位和反向数据位控制,所述数据位和反向数据位被共同配置以每次激活所述第一和第二开关的其中一个以将所述源电流引至所述第一和第二控制节点的所选的其中一个;

第一缓冲器件,有耦合于所述第一控制节点的第一端子和耦合于第一电流输出节点的第二端子;以及第二缓冲器件,有耦合于所述第二控制节点的第一端子和耦合于第二电流输出节点的第二端子;

第一激活电流源,被配置以通过所述第一控制节点给所述第一缓冲器件提供第一激活电流;以及第二激活电流源,被配置以通过所述第二控制节点给所述第二缓冲器件提供第二激活电流;以及

主副本偏置网络,包括:

副本缓冲器件,耦合于副本控制节点并且被配置以复制所述第一和第二缓冲器件的其中一个的偏置电路结构;以及

主缓冲放大器,有被配置以并行地驱动所述第一和第二缓冲器件以及所述副本缓冲器件的输出,以保持所述第一、第二和副本控制节点处于共用主控制电压。

2. 根据权利要求1所述的数模转换器,其中所述主副本偏置网络还包括:

副本数据电流源,被配置以复制所述数据电流源并且给所述副本控制节点提供副本源电流;以及

副本激活电流源,被配置以复制所述第一和第二激活电流源的其中一个并且给所述副本控制节点提供副本激活电流。

3. 根据权利要求1所述的数模转换器,其中所述第一开关包括:有耦合于所述源节点的第一电流端子、有耦合于所述第一控制节点的第二电流端子以及有接收所述数据位的控制端子的第一晶体管,并且其中所述第二开关包括:有耦合于所述源节点的第一电流端子、有耦合于所述第二控制节点的第二电流端子以及有接收所述反向数据位的控制端子的第二晶体管。

4. 根据权利要求1所述的数模转换器,其中所述第一缓冲器件包括:有耦合于所述第一控制节点的第一电流端子、有耦合于所述第一电流输出节点的第二电流端子以及有耦合于缓冲控制节点的控制端子的第一晶体管,所述缓冲控制节点耦合于所述主缓冲放大器的输出,其中所述第二缓冲器件包括:有耦合于所述第二控制节点的第一电流端子、有耦合于所述第二电流输出节点的第二电流端子以及有耦合于所述缓冲控制节点的控制端子的第二晶体管,并且其中所述副本缓冲器件包括:有耦合于所述副本控制节点的第一电流端子、有耦合于偏置节点的第二电流端子以及有耦合于所述缓冲控制节点的控制端子的第三晶体管。

5. 根据权利要求4所述数模转换器,其中所述主缓冲放大器包括:有接收所述共用主控制电压的非反向输入、有耦合于所述副本控制节点的反向输入以及有耦合于所述缓冲控制

节点的输出的运算放大器。

6. 根据权利要求1所述的数模转换器,还包括:接收代码位和反向代码位并且提供所述数据位和所述反向数据位的电平移位器,其中所述数据位和所述反向数据位分别是所述代码位和所述反向代码位的电压移位版本。

7. 根据权利要求1所述的数模转换器,还包括:接收二进制输入位和时钟信号的锁存器,其中所述锁存器被配置为基于所述二进制输入位在相反逻辑状态之间的转换将所述数据位和所述反向数据位的转换同步至所述相反逻辑状态。

8. 根据权利要求1所述的数模转换器,其中:

所述数据电流源包括:串联耦合的有耦合于电源节点的第一电流端子、有耦合于所述源节点的第二电流端子以及分别接收第一和第二主偏置电压的第一和第二控制端子的第一对晶体管;

其中所述第一激活电流源包括:串联耦合的有耦合于所述电源节点的第一电流端子、有耦合于所述第一控制节点的第二电流端子以及有分别接收所述第一和第二主偏置电压的第三和第四控制端子的第二对晶体管;以及

其中所述第二激活电流源包括:串联耦合的有耦合于所述电源节点的第一电流端子、有耦合于所述第二控制节点的第二电流端子以及有分别接收所述第一和第二主偏置电压的第五和第六控制端子的第三对晶体管。

9. 根据权利要求8所述的数模转换器,其中所述主副本偏置网络还包括:

副本数据电流源,包括:

串联耦合的有耦合于所述电源节点的第一电流端子、有耦合于中间节点的第二电流端子以及有分别接收所述第一和第二主偏置电压的第七和第八控制端子的第四对晶体管;以及

有耦合于所述中间节点的第一电流端子、耦合于所述副本控制节点的第二电流端子以及有耦合于所述电源节点的控制节点的副本开关晶体管;并且

副本激活电流源包括:串联耦合的有耦合于所述电源节点的第一电流端子、有耦合于所述副本控制节点的第二电流端子以及有分别接收所述第一和第二主偏置电压的第九和第十控制端子的第五对晶体管。

10. 根据权利要求9所述的数模转换器,其中所述主副本偏置网络还包括:被配置以基于第一和第二偏置电流生成所述第一和第二主偏置电压的主偏置网络。

11. 根据权利要求1所述的数模转换器,还包括:

转换网络,将多个输入位转换成多个数据位和相应的多个反向数据位;并且

其中所述至少一个电流舵型源包括多个电流舵型源,每个都接收了所述多个数据位和反向数据位中的相应的一对。

12. 根据权利要求11所述的数模转换器,其中所述转换网络包括多个用于改变所述多个数据位和所述多个反向数据位的转换电压电平的电平移位器。

13. 根据权利要求11所述的数模转换器,其中所述转换网络包括多个用于同步所述多个数据位和所述多个反向数据位之间的转换的锁存器。

14. 根据权利要求11所述的数模转换器,其中所述转换网络包括:

解码器,将所述多个输入位转换成相应的多个代码位;以及

多个锁存器,其中所述多个锁存器的每个都将所述多个代码位的相应的其中一个转换成同步的数据位和反向数据位对。

15.一种引导数模转换器的电流的方法,包括:

给源节点提供源电流;

基于数据位的状态,将所述源电流引至第一和第二控制节点的其中一个;

使用第一缓冲器件在所述第一控制节点和第一输出节点之间缓冲电流以及使用第二缓冲器件在所述第二控制节点和第二输出节点之间缓冲电流;

当所述源电流通过所述第二缓冲器件被引至所述第二控制节点的时候,以足以保持所述第一缓冲器件激活的电平给所述第一控制节点提供第一激活电流,以及当所述源电流通过所述第一缓冲器件被引至所述第一控制节点的时候,以足以保持所述第二缓冲器件激活的电平给所述第二控制节点提供第二激活电流;

给耦合于副本偏置器件的副本控制节点提供副本源电流,其中所述副本源电流复制了所述源电流;

给所述副本控制节点提供副本激活电流,其中所述副本激活电流复制了所述第一和第二激活电流的其中一个;以及

用接收了主控制电压并且有与所述副本控制节点耦合的反馈的缓冲放大器并行地驱动所述第一缓冲器件、所述第二缓冲器件以及所述副本缓冲器件,以驱动所述第一、第二以及副本控制节点到所述主控制电压的电压电平。

16.根据权利要求15所述的方法,其中所述引导所述源电流包括:用数据位控制耦合于所述源节点和所述第一控制节点之间的第一开关以及用作为所述数据位的反向版本的反向数据位控制耦合于所述源节点和所述第二控制节点之间的第二开关。

17.根据权利要求16所述的方法,还包括:同步所述数据位与所述反向数据位的转换。

18.根据权利要求16所述的方法,还包括:将所述数据位和所述反向数据位的电压电平相对于第一和第二电源电压的至少一个进行电平移位。

19.根据权利要求15所述的方法,还包括:接收输入位和时钟信号,并且基于所述输入位的转换用所述时钟信号同步代码位和反向代码位之间的转换。

20.根据权利要求19所述的方法,还包括:将所述数据位和反向数据位相对于所述代码位和所述反向代码位进行电压电平移位。

具有减少杂讯能量误差的电流舵型源的数模转换器

技术领域

[0001] 本发明通常涉及数模转换器 (DAC), 更具体地说, 涉及使用主偏置网络减少杂讯 (glitch) 能量误差的 DAC 的电流舵型源。

背景技术

[0002] 数模转换器 (DAC) 是将输入数字信号转换成输出模拟信号电子电路。由输入到 DAC 的数字信号表示的数值相当于由 DAC 输出的模拟信号的幅度。各种因素决定了 DAC 的性能, 包括速度、分辨率以及噪音。速度指 DAC 将数字值转换成稳定的模拟信号所需要的时间。分辨率指由 DAC 生成并且相当于输入数字信号的最低有效位 (LSB) 的最小增量信号。噪音指与预计或所期望电平有关的输出模拟信号偏差, 特别是在从数字值转换成另一个值期间。

[0003] 高性能 DAC 对以高频和低噪音转换高分辨率的数据非常有用。电流舵型结构是用于快速采样应用的选择的结构, 其中每个位或转换的数据位都被用于在一对节点之间转换源自电流源的电流。高频电流舵型 DAC 常常以杂讯能量和/或上升时间和下降时间失配的形式展现非理想特性, 特别是在数字码之间的动态转换期间。电流舵型 DAC 的动态性能退化可以例如由通过开关将控制信号耦合于输出造成。各种方法被用于试图改进特性和性能, 但是很多这种传统技术引起了不期望的定时差异或使电荷通过源自开关控制信号 (例如, 时钟信号) 的注入被馈送, 从而在输出处造成了杂讯能量和其它干扰。

发明内容

[0004] 根据本发明的第一方面, 提供一种数模转换器, 包括:

[0005] 至少一个电流舵型源, 每个包括:

[0006] 数据电流源, 给源节点提供源电流;

[0007] 第一开关, 有耦合于所述源节点的第一端子和耦合于第一控制节点的第二端子; 以及第二开关, 有耦合于所述源节点的第一端子和耦合于第二控制节点的第二端子, 其中所述第一和第二开关分别由数据位和反向数据位控制, 所述数据位和反向数据位被共同配置以每次激活所述第一和第二开关的其中一个以将所述源电流引至所述第一和第二控制节点的所选的其中一个;

[0008] 第一缓冲器件, 有耦合于所述第一控制节点的第一端子和耦合于第一电流输出节点的第二端子; 以及第二缓冲器件, 有耦合于所述第二控制节点的第一端子和耦合于第二电流输出节点的第二端子;

[0009] 第一激活电流源, 被配置以通过所述第一控制节点给所述第一缓冲器件提供第一激活电流; 以及第二激活电流源, 被配置以通过所述第二控制节点给所述第二缓冲器件提供第二激活电流; 以及

[0010] 主副本偏置网络, 包括:

[0011] 副本缓冲器件, 耦合于副本控制节点并且被配置以复制所述第一和第二缓冲器件的至少其中一个的偏置; 以及

[0012] 主缓冲放大器,有被配置以并行地驱动所述第一和第二缓冲器件以及所述副本缓冲器件的输出,以保持所述第一、第二和副本控制节点处于共用主控制电压。

[0013] 在一个或多个实施例中,所述主副本偏置网络还包括:

[0014] 副本数据电流源,被配置以复制所述数据电流源并且给所述副本控制节点提供副本源电流;以及

[0015] 副本激活电流源,被配置以复制所述第一和第二激活电流源的至少其中一个并且给所述副本控制节点提供副本激活电流。

[0016] 在一个或多个实施例中,所述第一开关包括:有耦合于所述源节点的第一电流端子、有耦合于所述第一控制节点的第二电流端子以及有接收所述数据位的控制端子的第一晶体管,并且其中所述第二开关包括:有耦合于所述源节点的第一电流端子、有耦合于所述第二控制节点的第二电流端子以及有接收所述反向数据位的控制端子的第二晶体管。

[0017] 在一个或多个实施例中,所述第一缓冲器件包括:有耦合于所述第一控制节点的第一电流端子、有耦合于所述第一电流输出节点的第二电流端子以及有耦合于缓冲控制节点的控制端子的第一晶体管,所述缓冲控制节点耦合于所述主缓冲放大器的输出,其中所述第二缓冲器件包括:有耦合于所述第二控制节点的第一电流端子、有耦合于所述第二电流输出节点的第二电流端子以及有耦合于所述缓冲控制节点的控制端子的第二晶体管,并且其中所述副本缓冲器件包括:有耦合于所述副本控制节点的第一电流端子、有耦合于偏置节点的第二电流端子以及有耦合于所述缓冲控制节点的控制端子的第三晶体管。

[0018] 在一个或多个实施例中,所述主缓冲放大器包括:有接收所述共用主控制电压的非反向输入、有耦合于所述副本控制节点的反向输入以及有耦合于所述缓冲控制节点的输出的运算放大器。

[0019] 在一个或多个实施例中,所述数模转换器还包括:接收代码位和反向代码位并且提供所述数据位和所述反向数据位的电平移位器,其中所述数据位和所述反向数据位分别是所述代码位和所述反向代码位的电压移位版本。

[0020] 在一个或多个实施例中,所述数模转换器还包括:接收二进制输入位和时钟信号的锁存器,其中所述锁存器被配置为基于所述输入二进制位在相反逻辑状态之间的转换将所述数据位和所述反向数据位的转换同步至所述相反逻辑状态。

[0021] 在一个或多个实施例中,所述数据电流源包括:串联耦合的有耦合于电源节点的第一电流端子、有耦合于所述源节点的第二电流端子以及分别接收第一和第二主偏置电压的第一和第二控制端子的第一对晶体管;

[0022] 其中所述第一激活电流源包括:串联耦合的有耦合于所述电源节点的第一电流端子、有耦合于所述第一控制节点的第二电流端子以及有分别接收所述第一和第二主偏置电压的第三和第四控制端子的第二对晶体管;以及

[0023] 其中所述第二激活电流源包括:串联耦合的有耦合于所述电源节点的第一电流端子、有耦合于所述第二控制节点的第二电流端子以及有分别接收所述第一和第二主偏置电压的第五和第六控制端子的第三对晶体管。

[0024] 在一个或多个实施例中,所述主副本偏置网络还包括:

[0025] 副本数据电流源,包括:

[0026] 串联耦合的有耦合于所述电源节点的第一电流端子、有耦合于中间节点的第二电

流端子以及有分别接收所述第一和第二主偏置电压的第七和第八控制端子的第四对晶体管;以及

[0027] 有耦合于所述中间节点的第一电流端子、耦合于所述副本控制节点的第二电流端子以及有耦合于所述电源节点的控制节点的副本开关晶体管;并且

[0028] 副本激活电流源包括:串联耦合的有耦合于所述电源节点的第一电流端子、有耦合于所述副本控制节点的第二电流端子以及有分别接收所述第一和第二主偏置电压的第九和第十控制端子的第五对晶体管。

[0029] 在一个或多个实施例中,所述主副本偏置网络还包括:被配置以基于第一和第二偏置电流生成所述第一和第二主偏置电压的主偏置网络。

[0030] 在一个或多个实施例中,所述数模转换器还包括:

[0031] 转换网络,将多个输入位转换成多个数据位和相应的多个反向数据位;并且

[0032] 其中所述至少一个电流舵型源包括多个电流舵型源,每个都接收了所述多个数据位和反向数据位中的相应的一对。

[0033] 在一个或多个实施例中,所述转换网络包括多个用于改变所述多个数据位和所述多个反向数据位的转换电压电平的电平移位器。

[0034] 在一个或多个实施例中,所述转换网络包括多个用于同步所述多个数据位和所述多个反向数据位之间的转换的锁存器。

[0035] 在一个或多个实施例中,所述转换网络包括:

[0036] 解码器,将所述多个输入位转换成相应的多个代码位;以及

[0037] 多个锁存器,其中所述多个锁存器的每个都将所述多个代码位的相应的其中一个转换成同步的数据位和反向数据位对。

[0038] 根据本发明的第二方面,提供一种引导数模转换器的电流的方法,包括:

[0039] 给源节点提供源电流;

[0040] 基于数据位的状态,将所述源电流引至第一和第二控制节点的其中一个;

[0041] 使用第一缓冲器件在所述第一控制节点和第一输出节点之间缓冲电流以及使用第二缓冲器件在所述第二控制节点和第二输出节点之间缓冲电流;

[0042] 当所述源电流通过所述第二缓冲器件被引至所述第二控制节点的时候,以足以保持所述第一缓冲器件激活的电平给所述第一控制节点提供第一激活电流,以及当所述源电流通过所述第一缓冲器件被引至所述第一控制节点的时候,以足以保持所述第二缓冲器件激活的电平给所述第二控制节点提供第二激活电流;

[0043] 给耦合于副本偏置器件的副本控制节点提供副本源电流,其中所述副本源电流复制了所述源电流;

[0044] 给所述副本控制节点提供副本激活电流,其中所述副本激活电流复制了所述第一和第二激活电流的至少其中一个;以及

[0045] 用接收了主控制电压并且有与所述副本控制节点耦合的反馈的缓冲放大器并行地驱动所述第一缓冲器件、所述第二缓冲器件以及所述副本缓冲器件,以驱动所述第一、第二以及副本控制节点到所述主控制电压的电压电平。

[0046] 在一个或多个实施例中,所述引导所述源电流包括:用数据位控制耦合于所述源节点和所述第一控制节点之间的第一开关以及用作为所述数据位的反向版本的反向数据

位控制耦合于所述源节点和所述第二控制节点之间的第二开关。

[0047] 在一个或多个实施例中,所述方法还包括:同步所述数据位与所述反向数据位的转换。

[0048] 在一个或多个实施例中,所述方法还包括:将所述数据位和所述反向数据位的电压电平相对于第一和第二电源电压的至少一个进行电平移位。

[0049] 在一个或多个实施例中,所述方法还包括:接收输入位和时钟信号,并且基于所述输入位的转换用所述时钟信号同步代码位和反向代码位之间的转换。

[0050] 在一个或多个实施例中,所述方法还包括:将所述数据位和反向数据位相对于所述代码位和所述反向代码位进行电压电平移位。

[0051] 本发明的这些和其它方面将根据下文中所描述的实施例显而易见,且参考这些实施例予以阐明。

附图说明

[0052] 本发明通过举例的方式由附图例示而没有被附图所限制,在附图中类似的参考符号表示相似的元素。附图中的元素为了简便以及清晰而例示,不一定按比例绘制。

[0053] 图1是根据一个实施例实现的DAC的简化方框图;

[0054] 图2根据一元配置,是图1的其中一个或两个DAC的转换网络的简化方框图;

[0055] 图3是根据一个实施例实现的可以被用于图2的转换器网络和图4的电流源之间的电平移位器的示意图;

[0056] 图4是用于图1的其中一个或两个DAC的电流舵型源的示意图;

[0057] 图5是用于设置图4的电流舵型源的偏置电压,并且还用于驱动VG电压以确保图4的电流舵型源的第一和第二控制节点被驱动到共用主控制电压的主副本偏置网络的示意图和方框图;以及

[0058] 图6是根据一个实施例实现的DAC的简化方框图,其中该图表示了图1的MSB或LSB DAC的其中一个并且说明了先前描述的功能电路之间的示例关系。

具体实施方式

[0059] 提出以下说明书以使本领域普通技术人员能够在特定应用背景及其要求下进行和使用本发明。然而,优选实施例的各种修改对本领域所属技术人员来说很明显,并且本发明所定义的一般原则可以应用于其它实施例。因此,本发明不旨在被限定于所显示的和本文所描述的特定实施例,而与符合本文所公开的原则和新颖特性的较宽范围是一致的。

[0060] 根据本文所描述的实施例,数模转换器(DAC)的电流舵型源使用了副本偏置和主放大缓冲器以启用不同阈值器件以实现非常快速信号响应并且减少上升沿和下降沿失配。本文所描述的系统和方法减少了杂讯能量误差并且实现了当从数字值转换成另一个数字值的精确台阶。本文所描述的系统和方法还减少了时钟信号摆动以进一步减少杂讯能量和降低上升时间和下降时间失配。动态性能通过共源共栅晶体管被改进,其中该共源共栅晶体管甚至当其相应电流开关被关闭的时候也保持接通。副本偏置确保了共源共栅晶体管的源电压保持不变,这允许了使用较大的低阈值电压晶体管或有标准阈值电压的较小晶体管。电流舵型源可以被用于二进制DAC、一元DAC或分段结构的一个或多个部分内。

[0061] 图1是根据一个实施例实现的DAC 100的简化方框图。在DAC100的输入处提供了多位数字值DIG,其生成(develop)了包括穿过了负载电阻器 RL_P 的正极性电压 VO_P 和穿过了负载电阻器 RL_N 的负极性电压 VO_N 的差分输出电压 VO 。DAC 100作为分段结构被说明,其中DIG值的最高有效位(MSB)被提供给MSB DAC 102以及最低有效位(LSB)被提供给LSB DAC 104。

[0062] DIG位的总数被划分在MSB和LSB之间并且根据给定应用所期望分辨率被确定。此外,DIG值的MSB和LSB的数量取决于特定配置。虽然DIG位可以在MSB和LSB之间被平均分配,但是替代配置也被考虑在内。例如,对于12位分辨率,虽然对于给定分辨率可以考虑非对称分离,例如(4/8)、(5/7)、(7/5)、(8/4)等等,DIG可以是有6个MSB和6个LSB(6/6)的分离的12位。

[0063] MSB DAC 102和LSB DAC 104都根据正如下面进一步描述的电流舵型结构被配置以用于生成在负载电阻器 RL_P 和负载电阻器 RL_N 之间划分的电流信号,其中负载电阻器 RL_P 用于生成差分输出电压 VO 的正极性 VO_P ,负载电阻器 RL_N 用于生成差分输出电压 VO 的负极性 VO_N 。MSB DAC 102基于MSB的值,引导第一电流 IM_P 和第二电流 IM_N 之间的电流,以及LSB DAC 104基于LSB的值,引导第一电流 IL_P 和第二电流 IL_N 之间的电流。电流 IM_P 和 IL_P 在正极性节点106处被加在一起并且被应用于 RL_P 以用于生成 VO_P ,以及电流 IM_N 和 IL_N 在负极性节点108处被加在一起并且被应用于 RL_N 以用于生成 VO_N 。

[0064] 如图所示,电阻器 RL_P 耦合于节点106和电源参考节点VSS之间,该VSS有任何合适的负、正或地面参考电压电平。电阻器 RL_N 耦合于节点108和VSS之间。MSB DAC 102和LSB DAC 104耦合于正电源电压VDD,该正电源电压VDD有取决于所使用的特定技术的任何合适的电源电压电平。

[0065] 图2根据一元配置,是DAC 102和104其中一个或两个的转换网络200的简化方框图。数量“N”个显示为BIT的输入二进制位值被提供给解码器202的相应输入,其中该值表示一元配置的MSB或LSB的其中一个。在一个实施例中,解码器202被配置为给温度解码器的二进制,其中N个输入BIT被转换成输出一元代码值CODE,包括数量“X”个二进制CODE位,其中N和X都是大于0的正整数。在一个实施例中,CODE位的数值X为 $X=2^N$,其中表示了自然数或十进制数的输入BIT被转换成包括N个逻辑“1”二进制值的X个CODE位。例如,对于 $N=4$, $X=16$,表示了正十进制数7的0111b的输入值被转换成二进制CODE值0000000001111111。

[0066] X个CODE位被提供给一组接收了时钟信号CLK的锁存器204的各自输入。锁存器204将每个CODE位转换成同步的非反向代码位 C_j 和反向代码位 \bar{C}_j ,其中“j”是从1到X的指数。在信号名称上方的重复打印线或条示了相应信号的逻辑反向。例如,当其中一个输出代码位 C_j 有二进制值“1”的时候,那么 \bar{C}_j 有二进制值“0”,反之亦然。锁存器204进行操作以将每个CODE位转换成代码位 C_j 和 \bar{C}_j 中的相应代码位,这些代码位的相应转换与时钟信号CLK的操作沿转换(上升沿或下降沿)同步。

[0067] 在一个实施例中,MSB DAC 102和LSB DAC 104根据图2所显示的一元配置(即,一元/一元)被实现。正如本文进一步描述的,每个一元配置的DAC都包括相应组等价可转换的或舵型电流源,其转换了根据相应代码位 C_j 和 \bar{C}_j 的正负极性节点106和108之间的共用电流值。对于一元/一元配置,与MSB DAC 102的每个位有关的电流电平大于与LSB DAC 104的每个位有关的电流电平,其中电流比率根据与LSB相关的MSB的二进制值被确定。

[0068] 在一个替代实施例中,转换网络200的二元配置被考虑在内,其中每个BIT值直接

被提供给锁存器204 (绕过解码器202) 以用于生成代码位 C_j 和 \bar{C}_j 中的相应一个,每对代码位表示了相应输入BIT值。在一个实施例中,一元/二元配置被考虑在内,其中MSB DAC 102根据一元配置以及LSB DAC 104根据二元配置被实现。在二元配置的例子中,相应DAC包括一组二进制加权可转换的或舵型电流源,其中下一个或更多有效位值相当于一个电流源,该电流源提供了两倍 (twice) 电流电平,例如加权电流电平值 $I \cdot 2^0$ 、 $I \cdot 2^1$ 、 $I \cdot 2^2 \dots I \cdot 2^N$,其中“ I ”是LSB电流电平。

[0069] 图3是根据一个实施例实现的电平移位器300的示意图。一组四个开关S1、S2、S3和S4由一对自相应(相应一些)锁存器204输出的代码位 C_k 和 \bar{C}_k 控制,其中下标“ k ”表示 j 个代码位中的代表性的代码位。开关S1耦合于电平移位电源电压VDD_LS和节点302之间并且由代码位 C_k 控制。开关S2耦合于节点302和电平移位电源电压节点306之间并且由代码位 \bar{C}_k 控制。类似地,开关S3耦合于VDD_LS和节点304之间并且由代码位 \bar{C}_k 控制,开关S4耦合于节点304和306之间并且由代码位 C_k 控制。放大器308有接收了电平移位电源电压VSS_LSM的正输入,并有在节点306耦合在一起的负输入和输出。过滤电容器CF耦合于节点306和VSS之间。节点302断言(assert)代表性的数据位 D_k ,节点304断言数据位 \bar{D}_k ,其中 \bar{D}_k 是 D_k 的逻辑反向。

[0070] 在一个实施例中,VDD_LS是相对于VDD移位的电平,例如有从VDD偏移了预定量的预定或固定电压电平。或者,VDD_LS可以从VDD偏移可调节量。在任何情况下,假设VDD有固定正电压电平,那么VDD_LS被偏移量移位到较低电压电平以用于减小总电压转换范围,如本文进一步描述的。在另一个实施例中,VDD_LS可以耦合于VDD或以其它方式被VDD代替,其中上面的电压电平没有被移位。

[0071] 在一个实施例中,VSS_LS是相对于VSS移位的电平,例如有从VSS偏移了预定量的预定或固定电压电平。或者,VSS_LS可以偏移VSS可调节量。在任何情况下,假设VSS小于VDD,那么VSS_LS被偏移量移位到较高电压电平以用于减小总电压转换范围,如本文进一步描述的。放大器308被配置为单位增益放大器或缓冲放大器,以便VSS_LS的电压电平跟随与VSS_LSM相同的电压电平。VSS_LSM被外部电压源(未显示)设置。

[0072] 在操作中,代码位 C_k 和 \bar{C}_k 被锁存器204同步地断言为VDD和VSS之间的相反逻辑电平。当 C_k 高的时候,关闭开关S1和S4,以及当 \bar{C}_k 低的时候,打开开关S2和S3。因此,被节点302断言的 D_k 位被拉高到VDD_LS,以及反向 \bar{D}_k 位被拉低到VSS_LS。此外,当 C_k 低的时候,打开开关S1和S4以及当 \bar{C}_k 高的时候,关闭开关S2和S3。因此,被节点302断言的 D_k 位被拉低到VSS_LS,以及反向 \bar{D}_k 位被拉高到VDD_LS。以这种方式,响应于在VSS和VDD之间转换的 C_k 和 \bar{C}_k 的相应同步转换, D_k 和 \bar{D}_k 被同步地断言到移位电压电平VSS_LS和VDD_LS之间的相反逻辑状态。因此,响应于被解码器202断言的相应CODE值或源自相应MSB或LSB的值,数据位 D_k 和 \bar{D}_k 在VSS_LS和VDD_LS之间的减小的电压范围内被同步地转换。

[0073] 图4是用于MSB DAC 102和LSB DAC 104其中一个或两个,并且由数据位对 D_k 和 \bar{D}_k 控制的电流舵型源400的示意图。单独的电流舵型源被提供给代码或数据位的每个同步对。第一P型MOS(金属氧化物半导体)(PMOS)晶体管M1的源极耦合于第一控制节点402,漏极耦合于节点106,以及栅极接收了在缓冲控制节点401上生成的栅电压信号VG。第二PMOS晶体管M2的源极耦合于第二控制节点404,漏极耦合于节点108,以及栅极耦合于节点401并且接收了VG信号。M1和M2分别是第一和第二缓冲器件,并被节点401上的共用栅电压VG驱动。第

三PMOS晶体管M3的源极耦合于源节点406,漏极耦合于节点402,以及栅极接收了非反向数据位 D_k 。第四PMOS晶体管M4的源极耦合于节点406,漏极耦合于节点404,以及栅极接收了反向数据位 \overline{D}_k 。M3和M4分别是由 D_k 和 \overline{D}_k 控制的第一和第二开关。第五PMOS晶体管M5的源极耦合于第六PMOS晶体管M6的漏极,漏极耦合于节点406,以及栅极接收了偏置电压VB2。M6的源极耦合于VDD,栅极接收了偏置电压VB1。

[0074] 第七PMOS晶体管M7的源极耦合于第八PMOS晶体管M8的漏极,漏极耦合于节点402,以及栅极接收了偏置电压VB2。M8的源极耦合于VDD,以及栅极接收了偏置电压VB1。第九PMOS晶体管M9的源极耦合于第十PMOS晶体管M10的漏极,漏极耦合于节点404,以及栅极接收了偏置电压VB2。M10的源极耦合于VDD,栅极接收了偏置电压VB1。

[0075] M6和M5共同形成了给节点406提供了源电流ICS的数据电流源408。M3和M4是主数据转换器件,其中当 D_k 高接通M3以及 \overline{D}_k 低关闭M4的时候,ICS电流被引至节点402。类似地,当 D_k 低关闭M3以及 \overline{D}_k 高接通M4的时候,ICS被引至节点404。M1和M2是由相同栅电压VG驱动的缓冲器件。M7和M8共同形成了给节点402提供了第一激活电流 I_{Ap} 的第一激活电流源410,以及M9和M10共同形成了给节点404提供了第二激活电流 I_{An} 的第二激活电流源412。 I_{Ap} 被配置为有充足的电流电平,以便即使当M3关闭M4接通的时候,M1也能保持饱和,以便电流 I_{Ap} 连续不断地被提供给节点106。类似地, I_{An} 被配置为有充足的电流电平,以便即使当M4关闭M3接通的时候,M2也能保持饱和,以便电流 I_{An} 连续不断地被提供给节点108。M1和M2共同形成了数据缓冲器414,其中M1是第一缓冲器件以及M2是第二缓冲器件,它们分别被用于将数据电流信号缓冲到正极性节点106和负极性节点108。

[0076] 电流舵型源400可以为二元配置的每个位值或一元配置的每个CODE位重用。在一个实施例中,M1和M2尺寸相同,M7和M9尺寸相同以及M8和M10尺寸相同,其中 I_{Ap} 大致与 I_{An} 相等。M5和M6根据ICS的所期望电流电平被调整尺寸。ICS与 I_{Ap} 或 I_{An} 的其中一个的组合电流电平被配置以给输入值DIG的相应位提供所期望电流电平。

[0077] 在有N个输入位的一元配置中,X个相应电流舵型源被提供,每个都类似于电流舵型源400被配置,其中 D_k 和 \overline{D}_k 响应于相应输入位被同步转换。对于每个电流舵型源400,每个相应M5器件尺寸大致相同,并且类似地,对于ICS也大致相同的相同DAC (LSB或MSB) 中的每个电流舵型源400,每个相应M6器件尺寸大致相同。MSB DAC 102中的ICS电流源是大于MSB DAC 104中ICS电流源的所选因素。

[0078] 在有N个输入位的二元配置中,N个相应电流舵型源被提供,每个都类似于电流舵型源400被配置,其中 D_k 和 \overline{D}_k 响应于相应输入位被同步转换。M5和M6基于相同DAC (LSB或MSB) 中的相应电流舵型源400的位的位置分别被调整尺寸,其中ICS基于每个电流舵型源中M5和M6的相对尺寸。根据二元配置,从电流舵型源到下电流舵型源的ICS电流增大了两倍以实现二元加权函数。

[0079] 图5是用于设置电流舵型源的偏置电压VB1和VB2,并且还用于驱动VG电压以确保电流舵型源的第一和第二控制节点402和404被驱动到共用主控制电压 V_{CM} 的“主”副本偏置网络500的示意图和方框图。如上所述,电流舵型源400为每个数据位(位对)重用,而一个主副本偏置网络500被提供给多个(或甚至所有)电流舵型源。主副本偏置网络500包括主偏置网络514,该偏置网络包括第一和第二电流吸收(sink)器件CS1 502和CS2506以及PMOS晶体

管PB0、PB1、PB2和PB3。第一电流吸收器件CS1 502通过PB0和PB1生成了第一偏置电流 I_{VB1} ，其中PB0和PB1串联耦合于VDD和节点504之间。如图所示，PB0的源极耦合于VDD以及漏极耦合于PB1的源极，PB1的漏极在生成了第一偏置电压 V_{B1} 的节点504处耦合于PB0的栅极。第二电流吸收器件CS2506通过二极管接法的PB2和PB3生成了第二偏置电流 I_{VB2} 。如图所示，PB2的源极耦合于VDD，漏极耦合于PB3的源极，以及PB2和PB3的栅极和PB3的漏极在生成了第二偏置电压 V_{B2} 的节点508处耦合在一起。 V_{B2} 被提供给PB1的栅极。在一个实施例中，电流吸收器件CS1 502和CS2506可以生成与温度无关的电流电平，例如使用带隙器件等等被配置。

[0080] 副本数据电流源516通过使用PMOS器件PB4、PB5以及PB6被配置以生成至副本控制节点510的副本源电流 I_{CSR} 。如图所示，PB4的源极耦合于VDD，漏极耦合于PB5的源极，PB5的漏极耦合于PB6的源极。PB6的漏极耦合于节点510。PB4、PB5以及PB6的栅极分别接收了电压 V_{B1} 、 V_{B2} 以及VDD。PB4、PB5以及PB6有效地复制了电流舵型源400的M6、M5以及M3或M4中的激活的一个的结构，其中 I_{CS} 与 I_{CSR} 成比例生成。

[0081] 副本激活电流源518通过使用PMOS器件PB8和PB9被配置以生成至副本源节点510的副本激活电流 I_{AR} 。如图所示，PB8的源极耦合于VDD，漏极耦合于PB9的源极，PB9的漏极耦合于节点510。PB8和PB9的栅极分别接收了电压 V_{B1} 和 V_{B2} 。PB8和PB9有效地复制了电流舵型源400的M8和M7或M10和M9的结构，其中 I_{AP} 和 I_{AN} 与副本激活电流 I_{AR} 成比例生成。

[0082] 主缓冲放大器512在其正输入处接收主控制电压 V_{CM} ，并且其负输入耦合于节点510。放大器512的输出断言了耦合于另一个PMOS晶体管PB7的栅极的缓冲控制节点401上的VG信号。PB7的源极耦合于副本控制节点510，并且其漏极耦合于偏置节点处的偏置电阻器RB的一端，其中RB的另一端耦合于VSS。正如前面针对电流舵型源400所描述的，VG也被提供给缓冲器件M1和M2的栅极。PB7充当了耦合于副本控制节点510的副本缓冲器件，其中副本控制节点510复制了第一和第二缓冲器件M1和M2的偏置。

[0083] 在操作中，放大器512控制了到PB7的VG的电压电平，以便节点510生成大致与主控制电压 V_{CM} 相等的副本控制电压 V_{CR} 。 V_{CM} 由另一个器件(未显示)提供以创建 V_{CR} 的所期望电压电平。由于VG还被提供给第一和第二缓冲器件M1和M2的栅极，放大器512进行操作以控制PB7、M1以及M2晶体管分别将节点510、402和404的电压 V_{CR} 、 V_{CP} 和 V_{CN} 驱动到与主控制电压 V_{CM} 大致相等。特别是，放大器512调整VG以保持 V_{CR} 、 V_{CP} 和 V_{CN} 与 V_{CM} 大致相等，因此彼此大致相等。虽然第一和第二控制节点402和404都有效地彼此隔离，并且也与副本控制节点510隔离，主缓冲放大器512同时驱动了副本、第一和第二缓冲器件PB7、M1以及M2以创建位于这些节点之间的“软”耦合，以便副本、第一和第二控制节点510、402以及404都被驱动到与共用主控制电压 V_{CM} 相同的电压电平。此外，放大器512在开关转换期间保持了电压 V_{CR} 、 V_{CP} 以及 V_{CN} 相对恒定。

[0084] 主副本偏置网络500的主缓冲放大器512通过过程和温度的改变调整VG，确保了恒定源电压 V_{CR} 、 V_{CP} 以及 V_{CN} 。这种功能有助于提供更大的能够减小M3和M4开关晶体管的尺寸的电压空间。这对于相对于相应LSB DAC有高于电流电平的MSB DAC来说特别有益。

[0085] 由主副本偏置网络500提供的副本偏置和由电平移位器300提供的电平移位分别有助于减少给定DAC(例如MSB DAC 102和LSB DAC 104其中一个或两个)中的每个电流舵型源400的杂讯能量以及上升和下降时间失配。副本偏置启用了不同阈值器件，而没有引入任何可靠性问题，以实现具有降低的跃迁失配的非常快速上升和下降跃迁，以实现非常精确

的台阶 (step)。副本偏置和电平移位还减少了时钟信号摆动以减少杂讯能量和降低上升/下降时间失配。

[0086] 图6是根据一个实施例实现的DAC 600的简化方框图,其中该图表示了DAC 102或104的其中一个并且说明了先前描述的功能电路之间的示例关系。表示了MSB或LSB的其中一个的N个BIT被提供给转换网络602的相应输入,该网络可以根据一元或二元配置实现。对于一元配置,转换网络602可以以一种类似于转换网络200的方式被实现,其中转换网络200包括接收BIT并且给一组锁存器(例如,锁存器204)提供相应代码位的解码器(例如,解码器202),其中所述转换网络提供了输出代码位 C_j 和相应反向代码位 \bar{C}_j 。在二元配置中,转换网络602可以不包括将BIT直接提供给锁存器的解码器。转换网络602进行操作以将每个BIT或代码位转换成j个代码位对 C_j 和 \bar{C}_j 中的相应的代码位对,其相应转换与时钟信号CLK的操作沿(上升沿或下降沿)转换同步。

[0087] 代码位对 C_j 和 \bar{C}_j 可以被提供给一组电平移位器604的相应输入,每个都将一对相应代码位 C_j 和 \bar{C}_j 转换成一一对应数据位对 D_j 和 \bar{D}_j 。每个电平移位器604可以以一种类似于电平移位器300的方式被配置。电平移位可以被旁路,其中电平移位器604被配置为旁路(例如, $VDD_LS=VDD$ 以及 $VSS_LSM=VSS$),以便代码位对 C_j 和 \bar{C}_j 未经更改地通过而作为代码位对 D_j 和 \bar{D}_j 。或者,电平移位器604没有被提供或代码位对 C_j 和 \bar{C}_j 直接通过而作为代码位对 D_j 和 \bar{D}_j 。

[0088] 数据位对 D_j 和 \bar{D}_j 被提供给一组电流舵型源606的各自输入,其共同地提供了第一和第二输出电流 I_{Op} 和 I_{On} 。输出电流 I_{Op} 和 I_{On} 可以被提供给相应求和节点,用于以类似于图1所显示的方式生成相应输出电压。每个电流舵型源606可以大致相同于或类似于电流舵型源400的方式被配置。主副本偏置网络608被提供以提供用于偏置每个电流舵型源606的偏置电压(例如, $VB1$ 、 $VB2$)。此外,主副本偏置网络608接收了共用主控制电压 V_{CM} 并且给每个电流舵型源606提供了VG电压。主副本偏置网络608可以大致相同于或类似于主副本偏置网络500的方式被配置。

[0089] 本文所述的具有减少的杂讯能量的电流舵型源可以被用于要求非常低杂讯DAC的电子系统。该DAC可以通过源自数字斜坡的非常精确的台阶尺寸为压控振荡器(VCO,未显示)生成模拟下降斜坡信号。所实现的输出台阶的精确度小于12位的DAC的0.05LSB。下降台阶的下降时间失配在整个斜坡范围中小于1纳秒(ns)。

[0090] 根据一个实施例,数模转换器包括至少一个电流舵型源和主副本偏置网络。每个电流舵型源包括给源节点提供了源电流的数据电流源、第一和第二开关、第一和第二缓冲器件、以及第一和第二激活电流源。所述第一开关有耦合于所述源节点的第一端子和耦合于第一控制节点的第二端子。所述第二开关有耦合于所述源节点的第一端子和耦合于第二控制节点的第二端子,其中所述第一和第二开关分别由数据位和反向数据位控制,这些数据位和反向数据位被共同配置以每次激活所述第一和第二开关的其中一个以将所述源电流引至所述第一和第二控制节点的所选的其中一个。所述第一缓冲器件有耦合于所述第一控制节点的第一端子和耦合于第一电流输出节点的第二端子。所述第二缓冲器件有耦合于所述第二控制节点的第一端子和耦合于第二电流输出节点的第二端子。所述第一激活电流

源被配置以通过所述第一控制节点给所述第一缓冲器件提供第一激活电流。所述第二激活电流源被配置以通过所述第二控制节点给所述第二缓冲器件提供第二激活电流。所述主副本偏置网络包括副本缓冲器件和主缓冲放大器。所述副本缓冲器件耦合于副本控制节点并且被配置以复制所述第一和第二缓冲器件的至少其中一个的偏置。所述主缓冲放大器有被配置以并行驱动所述第一和第二缓冲器件以及所述副本缓冲器件的输出,以保持所述第一、第二和副本控制节点处于一个共用主控制电压。

[0091] 根据一个实施例,一种引导数模转换器的电流的方法包括给源节点提供了源电流;基于数据位的状态,将所述源电流引至第一和第二控制节点的其中一个;使用第一缓冲器件在所述第一控制节点和第一输出节点之间缓冲电流以及使用第二缓冲器件在所述第二控制节点和第二输出节点之间缓冲电流;当所述源电流通过所述第二缓冲器件被引至所述第二控制节点的时候,以足以保持所述第一缓冲器件激活的电平给所述第一控制节点提供了第一激活电流,以及当所述源电流通过所述第一缓冲器件被引至所述第一控制节点的时候,以足以保持所述第二缓冲器件激活的电平给所述第二控制节点提供了第二激活电流;给耦合于副本偏置器件的副本控制节点提供副本源电流,其中所述副本源电流复制了所述源电流;给所述副本控制节点提供了副本激活电流,其中所述副本激活电流复制了所述第一和第二激活电流的至少其中一个;以及用接收了主控制电压并且有与所述副本控制节点耦合的反馈的缓冲放大器并行地驱动所述第一缓冲器件、所述第二缓冲器件以及所述副本缓冲器件,以驱动所述第一、第二以及副本控制节点到所述主控制电压的电压电平。

[0092] 虽然参照具体实施例描述了本发明,在不脱离如以下权利要求所陈述的本发明范围的情况下,可以进行各种修改以及变化。因此,说明书以及附图被认为是说明性而不是限制性的,并且所有这些修改意图包括在本发明范围内。本文关于具体实施例所描述的任何好处、优点或解决方案都不旨在被解释为任何或所有权利要求的关键的、必需的、或本质特征或元素。除非另有说明,使用术语如“第一”以及“第二”是用于任意区分这些术语描述的元素。因此,这些术语不一定表示这些元素的时间或其它优先次序。

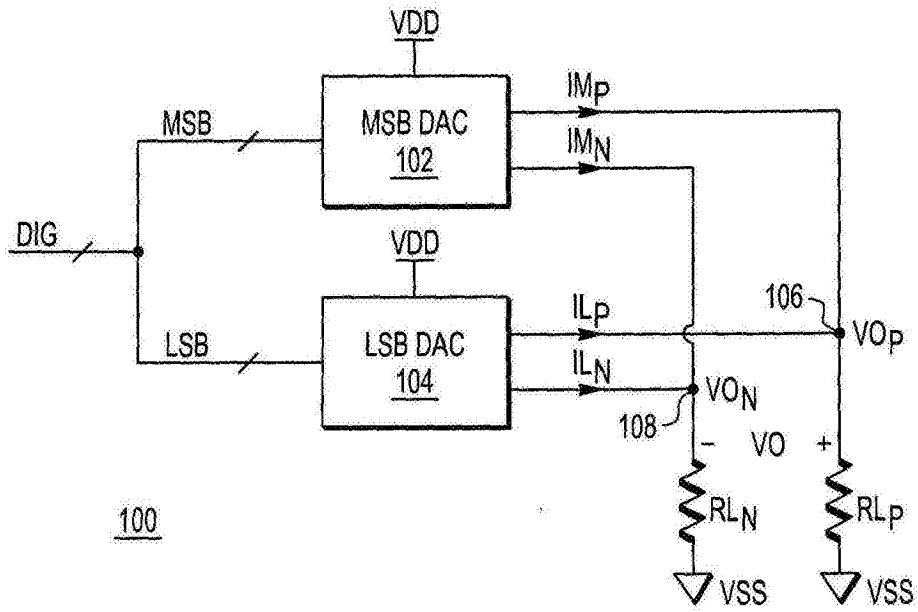


图1

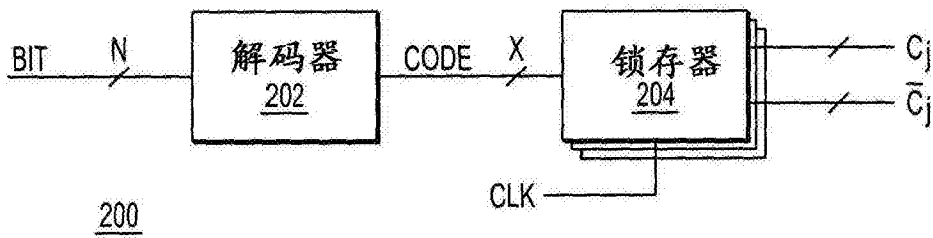


图2

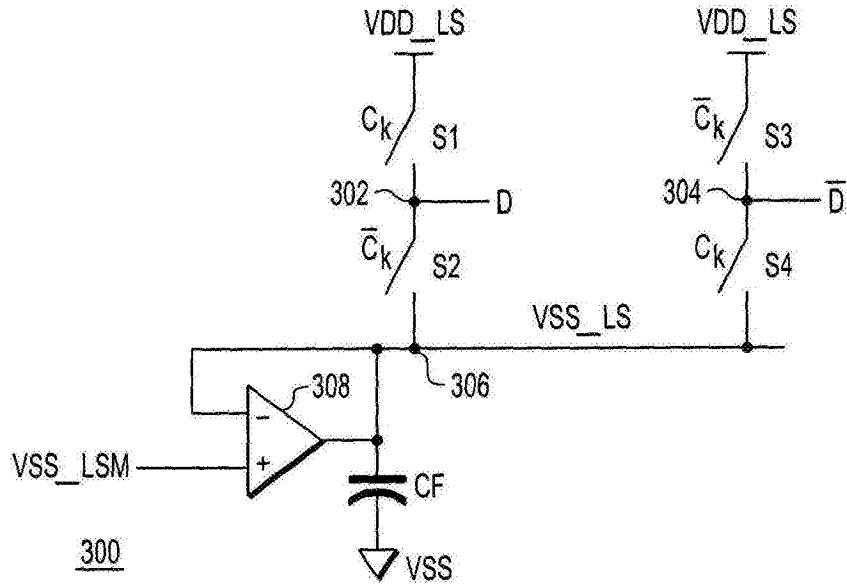


图3

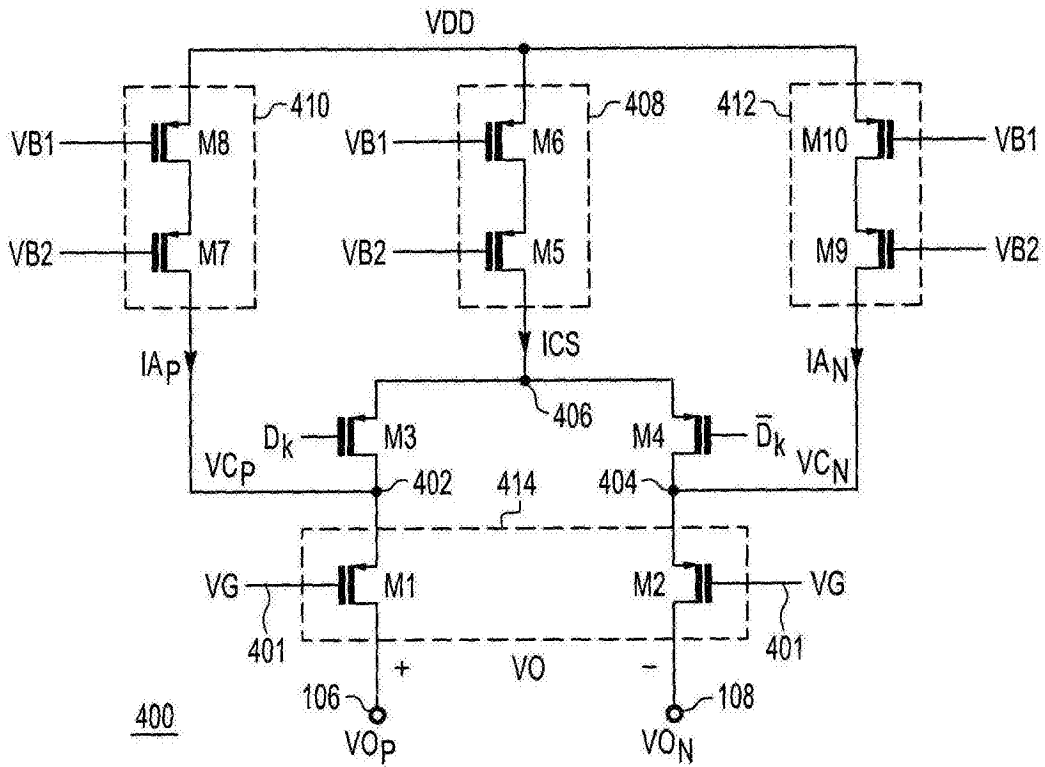


图4

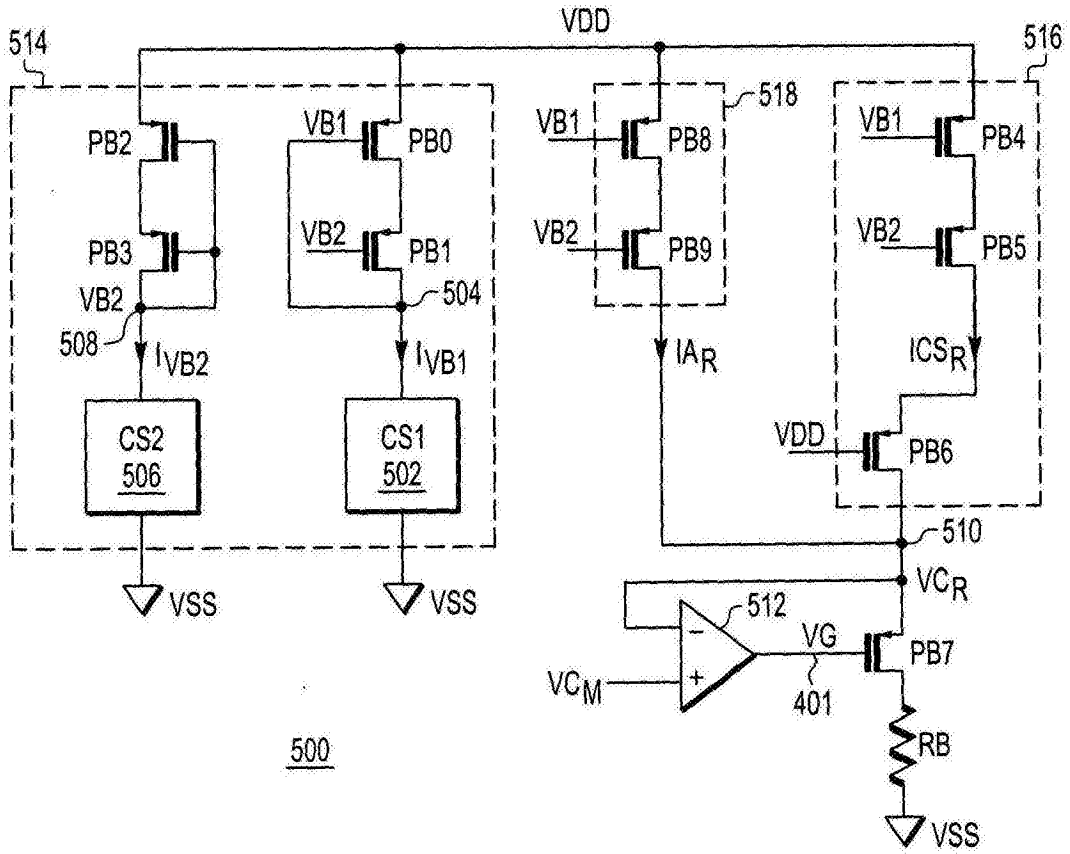


图5

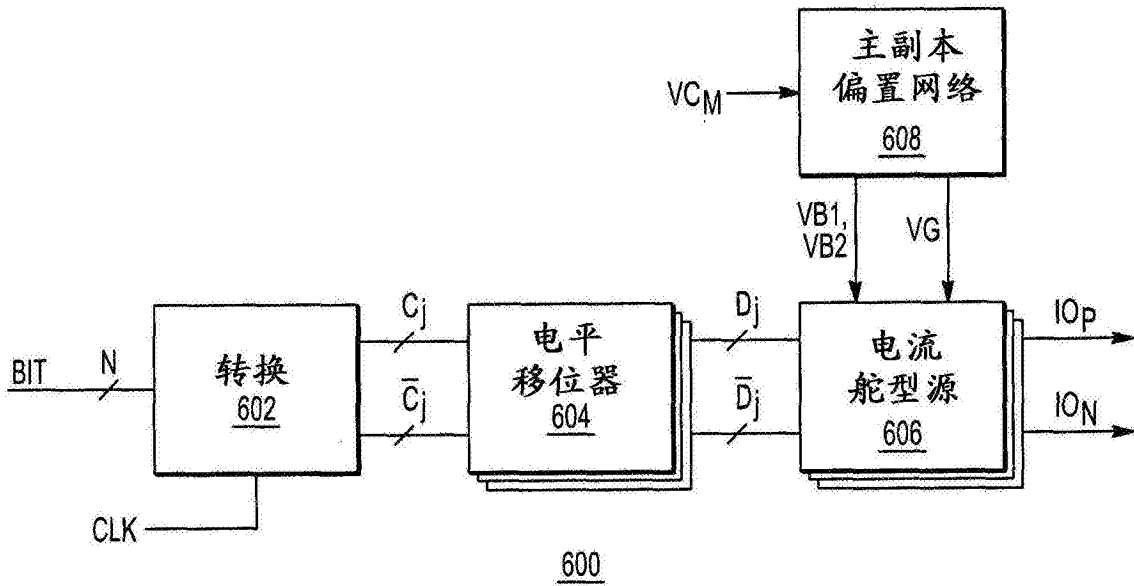


图6