

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3844930号
(P3844930)

(45) 発行日 平成18年11月15日(2006.11.15)

(24) 登録日 平成18年8月25日(2006.8.25)

(51) Int. Cl.

G 1 1 C 16/02 (2006.01)

F I

G 1 1 C 17/00 6 1 1 G

G 1 1 C 17/00 6 1 2 F

請求項の数 5 (全 15 頁)

| | | | |
|-----------|-------------------------------|-----------|--|
| (21) 出願番号 | 特願2000-32338 (P2000-32338) | (73) 特許権者 | 000003078 |
| (22) 出願日 | 平成12年2月9日(2000.2.9) | | 株式会社東芝 |
| (65) 公開番号 | 特開2001-229680 (P2001-229680A) | | 東京都港区芝浦一丁目1番1号 |
| (43) 公開日 | 平成13年8月24日(2001.8.24) | (74) 代理人 | 100092820 |
| 審査請求日 | 平成15年4月14日(2003.4.14) | | 弁理士 伊丹 勝 |
| | | (72) 発明者 | 野田 潤一郎 |
| | | | 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内 |
| | | 審査官 | 小松 正 |
| | | (56) 参考文献 | 特開平07-169288 (JP, A) |
| | | | 特開平03-228146 (JP, A) |
| | | | 特表平09-512658 (JP, A) |
| | | | 最終頁に続く |

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

不揮発性メモリセルがマトリクス配列されたメモリセルアレイと、
外部端子から供給されるアドレス信号を取り込むアドレスバッファ回路と、
このアドレスバッファ回路により取り込まれるページアドレス信号により選択される不揮発性メモリセルに書き込むべき1ページ分のデータを保持するためのページバッファと

前記ページアドレス信号により選択される不揮発性メモリセルのうち、カラムアドレス信号により選択される複数ビットのデータを検知増幅するセンスアンプ回路と、

データ書き換えモードで前記ページバッファに1ページ分のデータを複数ビットずつ順次ロードするために、1ページ内のカラムアドレス信号を順次発生する内部カラムアドレス発生回路と、

この内部カラムアドレス発生回路により発生されるカラムアドレス信号と、前記アドレスバッファ回路により取り込まれるカラムアドレス信号とを切り換える選択ゲート回路と

前記ページアドレスにより選択された不揮発性メモリセルについて、一括してデータ消去し、引き続き前記ページバッファにロードされた1ページ分のデータを一括してデータ書き込みするデータ書き換えモードを制御する制御回路と、

を有することを特徴とする不揮発性半導体記憶装置。

【請求項2】

10

20

前記データ書き換えモードは、データ書き込み後に書き込み状態を確認するベリファイ読み出し動作を含む

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記ページバッファへの 1 ページ分のデータを複数ビットずつ順次ロードする際に、ある複数ビットのデータをロードした後、一定時間経過しても次の複数ビットのデータが供給されない場合にデータ書き換えモードがリセットされるようにデータロード待ち時間が設定されている

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】

前記内部カラムアドレス発生回路は、前記制御回路の制御により初期化とインクリメントが行われてカラムアドレス信号を発生するアドレスレジスタである

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 5】

前記メモリセルアレイは、1 ページ分の不揮発性メモリセルの制御ゲートが制御ゲート線に共通接続され、各不揮発性メモリセルのドレインが第 1 の選択ゲートトランジスタを介してビット線に接続され、ソースが第 2 の選択ゲートトランジスタを介して共通ソース線に接続されている

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、データ書き換え可能な不揮発性半導体記憶装置 (EEPROM) に係り、特にページ単位でデータ書き換えを行う EEPROM に関する。

【0002】

【従来の技術】

従来より、バイト単位でデータ書き換えを行う EEPROM (バイト型 EEPROM) が知られている (例えば、W. Johnson et al, "A 16 Kb Electrically Erasable Nonvolatile Memory", ISSCC Digest of Technical Papers, pp. 152 - 153, Feb. 1982)。

【0003】

このバイト型 EEPROM のメモリセルアレイは、図 11 に示すように、一つのメモリセル MC が一つの選択ゲートトランジスタ SG を介してビット線 BL に接続される。メモリセル MC は、浮遊ゲート下のゲート絶縁膜のうちドレイン寄りの部分に書き換え用のトンネル絶縁膜が形成された FLOTOX (Floating Gate Tunneling Oxide) 構造を有する。メモリセル MC の制御ゲート線 CGL は、1 バイト分のメモリセル MC に共通に設けられ、これが選択スイッチ S により選択され、バイト単位でのデータ書き換えが行われるようになっている。

【0004】

このバイト型 EEPROM に比べて、より大きな規模でのデータ書き換えに適したものとして、NAND 型 EEPROM がある (例えば、F. Masuoka et al, "A new Flash EEPROM cell using triple polysilicon technology", IEDM Technical Digest, pp. 464 - 467, Dec. 1984)。

【0005】

NAND 型 EEPROM のメモリセルアレイは、図 12 に示すように、例えば 16 個のメモリセル MC0 ~ MC15 が直列接続され、その一端は選択ゲートトランジスタ SG1 を介してビット線 BL に接続され、他端は選択ゲートトランジスタ SG2 を介して共通ソース線 SL に接続される。メモリセル MC は、浮遊ゲートと制御ゲートが積層されたスタッ

10

20

30

40

50

クトゲート構造を有し、浮遊ゲート下は全面トンネル絶縁膜として、浮遊ゲートとチャネルの間でFNTトンネリングにより電子の授受が行われる。ロウ方向の例えば128バイト分のメモリセルMCの制御ゲートが共通に制御ゲート線CGL0～CGL15に接続される。NAND型EEPROMでは、1ページ分の書き込みデータをロードできるページバッファを備えることにより、ページ単位でのデータ書き込みが可能とされる。

【0006】

図13は、バイト型EEPROMでのデータ書き換えの動作タイミングを示している。ここでは、1バイト乃至32バイトの任意の単位でデータ書き換えができる場合を示している。チップイネーブル信号/CEを“L”にしてチップを選択する。そして、書き込みイネーブル信号/WEを“L”にする毎に、書き換えたいアドレスAddとデータDataをバイト単位で順次入力する。書き換えたいアドレスAddとデータDataを入力した後、一定のページウインドウ期間の後に自動的に書き換え動作が始まり、データ消去(イレース)とデータ書き込み(プログラム)が行われる。

10

【0007】

NAND型EEPROMの場合は通常、消去単位と書き込み単位が異なり、データ書き換え動作は、独立したデータ消去動作とデータ書き込み動作により行われる。即ち、データ消去は、図14に示すタイミングで、NANDセルブロック単位で行われる。まずチップイネーブル信号/CEを“L”として、チップを選択する。その後、コマンドラッチイネーブル信号CLEを“H”、書き込みイネーブル信号/WEを“L”として、I/O端子からブロック消去のセットアップコマンドを入力する。次にアドレスラッチイネーブル信号ALEを“H”とし、書き込みイネーブル信号/WEを順次“L”として、消去すべきブロックアドレスをI/O端子からシリアル入力する。その後、コマンドラッチイネーブル信号CLEを“H”、書き込みイネーブル信号/WEを“L”として、消去実行コマンドをI/O端子から入力すると、データ消去が行われる。データ消去には通常、消去状態を確認する消去ベリファイ読み出し動作が含まれる。

20

【0008】

以上の動作でブロック消去された後、そのブロック内へのデータ書き込みは、図15に示す動作タイミングに従って行われる。まずチップイネーブル信号/CEを“L”として、チップを選択する。その後、コマンドラッチイネーブル信号CLEを“H”、書き込みイネーブル信号/WEを“L”として、I/O端子からデータ書き込みのセットアップコマンドを入力する。次にアドレスラッチイネーブル信号ALEを“H”とし、書き込みイネーブル信号/WEを順次“L”として、書き込むべきページアドレスをI/O端子から順に入力する。続いて、アドレスラッチイネーブル信号ALEを“L”とし、書き込みイネーブル信号/WEを順次“L”として、1ページ分の書き込むべきデータを入力する。データロードが終了後、コマンドラッチイネーブル信号CLEを“H”、書き込みイネーブル信号/WEを“L”として、書き込み実行コマンドをI/O端子から入力すると、選択されたページのデータ書き込みが行われる。データ書き込みには通常、書き込み状態を確認する書き込みベリファイ読み出し動作が含まれる。

30

【0009】

【発明が解決しようとする課題】

バイト型EEPROMは、1ビットの記憶にメモリセルと選択ゲートトランジスタの2素子を必要とし、従って単位セル面積が大きく、大容量化、低コスト化が難しいという難点がある。

40

NAND型EEPROMは、この様なバイト型EEPROMの難点を解消するものとして開発された。NAND型EEPROMでは、複数個(例えば16個)のメモリセルについて2個の選択ゲートトランジスタが設けられるため、1ビットの記憶に要する単位セル面積がバイト型EEPROMに比べて極めて小さくなり、大容量化、低コスト化が可能である。従って、大容量のファイルメモリ等に適している。

【0010】

しかし、NAND型EEPROMの場合、通常消去単位と書き込み単位が異なるため、デ

50

ータ書き換えには独立したデータ消去動作とデータ書き込み動作を必要とし、データ書き換え制御が容易ではない。加えて、通常はコマンド入力方式が採用されるため、書き換え制御は一層複雑になる。例えばデータ書き込み動作では、(1)書き込みセットアップコマンド入力、(2)ページアドレス入力、(3)データ入力、(4)書き込み実行コマンド入力、という一連の入力動作が必要になる。更に、NAND型EEPROMは、複数のメモリセルが直列接続されるため、NOR型EEPROMのような高速アクセス性能を得ることができない。

【0011】

NAND型EEPROMにおいて、データ消去をページ単位で行うことは不可能ではない。しかし、従来のデータ書き換え制御の仕様を踏襲した場合には、データ書き換え制御が

10

複雑であり、また高速性能が得られないという難点はそのまま残る。この発明は、簡単な制御によりページ単位のデータ書き換えを可能としたEEPROMを提供することを目的としている。

【0012】

【課題を解決するための手段】

この発明に係る不揮発性半導体記憶装置は、不揮発性メモリセルがマトリクス配列されたメモリセルアレイと、外部端子から供給されるアドレス信号を取り込むアドレスバッファ回路と、このアドレスバッファ回路により取り込まれるページアドレス信号により選択される不揮発性メモリセルに書き込むべき1ページ分のデータを保持するためのページバッファと、前記ページアドレス信号により選択される不揮発性メモリセルのうち、カラム

20

アドレス信号により選択される複数ビットのデータを検知増幅するセンスアンプ回路と、データ書き換えモードで前記ページバッファに1ページ分のデータを複数ビットずつ順次

ロードするために、1ページ内のカラムアドレス信号を順次発生する内部カラムアドレス発生回路と、この内部カラムアドレス発生回路により発生されるカラムアドレス信号と、前記アドレスバッファ回路により取り込まれるカラムアドレス信号とを切り換える選択ゲート回路と、前記ページアドレスにより選択された不揮発性メモリセルについて、一括してデータ消去し、引き続き前記ページバッファにロードされた1ページ分のデータを一括してデータ書き込みするデータ書き換えモードを制御する制御回路と、を有することを特徴としている。

30

【0013】

この発明によると、ページアドレスの指定と1ページ分のデータロードを行うことにより、ページ単位でデータ消去と引き続くデータ書き込みを含むデータ書き換え動作が自動的に

行われるようにしている。従って、データ書き換えの制御が通常のNAND型EEPROMやバイト型EEPROMに比べて簡単になる。

40

【0014】

この発明において、好ましくは、データ書き換えモードは、データ書き込み後に書き込み状態を確認するペリファイ読み出し動作を含むものとする。またこの発明において、好ましくは、ページバッファへの1ページ分のデータを複数ビットずつ順次ロードする際に、ある複数ビットのデータをロードした後、一定時間経過しても次の複数ビットのデータが供給されない場合にデータ書き換えモードがリセットされる

【0015】

この発明において、内部カラムアドレス発生回路は具体的には、制御回路の制御により初期化とインクリメントが行われてカラムアドレス信号を発生するアドレスレジスタにより構成される。

【0016】

この発明において、メモリセルアレイには、好ましくは、1ページ分の不揮発性メモリセルの制御ゲートが制御ゲート線に共通接続され、各不揮発性メモリセルのドレインが第1

50

の選択ゲートトランジスタを介してビット線に接続され、ソースが第2の選択ゲートトランジスタを介して共通ソース線に接続された、3トランジスタのメモリセルユニットが用

いられる。

【0017】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

図1は、この発明の実施の形態によるEEPROMのブロック構成を示す。メモリセルアレイ1は、図2に示すように、不揮発性メモリセルMCをマトリクス配列して構成される。メモリセルMCのドレインは、選択ゲートトランジスタSG1を介してビット線BLに接続され、ソースは選択ゲートトランジスタSG2を介して共通ソース線SLに接続される。即ち、メモリセルMCと選択ゲートトランジスタSG1、SG2の3トランジスタによりメモリセルユニットが構成されている。

10

【0018】

ロウ方向のメモリセルMCの制御ゲートは共通に制御ゲート線CGLに接続される。同様にロウ方向の選択ゲートトランジスタSG1、SG2のゲート電極は共通に選択ゲート線GSL、SSLに接続される。この実施の形態の場合、制御ゲート線CGLに沿った1024個(128バイト分)のメモリセルMCの範囲が、データ書き換えの単位となる1ページである。

【0019】

メモリセルアレイ1のビット線BLには、データ書き換え時に1ページ分の書き込むべきデータをロードするページバッファ2が設けられている。具体的にページバッファ2は、各ビット線BL毎に接続されたデータラッチにより構成される。ビット線BLはまたカラムデコーダ10により制御されるカラムゲート3により、1カラムずつ選択されて、センスアンプ回路4及びI/Oバッファ5に接続される。ここで1カラムが1バイトの場合を説明するが、1ワード(16ビット)でもよいし、或いは他の適当な複数ビット単位でもよい。データ書き換え時には、入出力端子I/O0~I/O7から1バイト分ずつ順次供給される1ページ分のデータが、1バイトずつI/Oバッファ5を介し、カラムゲート3により選択されたカラム毎にページバッファ2にロードされる。またデータ読み出し時は、カラムゲート3により選択された1バイトの読み出しデータがセンスアンプ回路4で検知増幅され、I/Oバッファ5を介して入出力端子I/O0~I/O7に取り出される。

20

【0020】

メモリセルアレイ1の制御ゲート線CGL及び選択ゲート線GSL、SSLを選択するのがロウデコーダ6である。ページアドレス信号PAは外部端子からロウアドレスバッファ7に取り込まれてラッチされる。このラッチされたページアドレス信号はロウデコーダ6によりデコードされて、選択されたページの制御ゲート線CGL及び選択ゲート線GSL、SSLに動作モードに応じて所定の電位が与えられる。

30

【0021】

データ読み出しモードにおいては、外部から供給されるカラムアドレス信号CAがカラムアドレスバッファ8により取り込まれて、内部カラムアドレス信号CAaが得られる。一方、データ書き換えモードにおいては、内部カラムアドレス信号CAbを自動発生するカラムアドレス発生回路として、アドレスレジスタ11が設けられている。アドレスレジスタ11は、データ書き換えモードにおいて、制御回路13から発生されるカラムアドレスリセット信号CA-RSにより初期化され、カラムアドレスインクリメント信号CA-INCにより順次更新される内部カラムアドレス信号CAbを発生する。

40

【0022】

データ読み出しモードにおいてカラムアドレスバッファ8に取り込まれる内部カラムアドレス信号CAaと、データ書き換えモードにおいてアドレスレジスタ11から発生される内部カラムアドレス信号CAbとは、選択ゲート回路9により選択されてカラムデコーダ10に転送される。選択ゲート回路9は制御回路13から発生される制御信号E/Wにより切り換え制御がなされる。

【0023】

制御回路13には、チップイネーブル信号/CE、書き込みイネーブル信号/WE及び出

50

カインープル信号 / O E が動作モードに応じて入力される。制御回路 1 3 は、オシレータやカウンタを含み、制御入力信号の論理に従って、アドレスレジスタ 1 1 を制御するカラムアドレスリセット信号 C A - R S、カラムアドレスインクリメント信号 C A - I N C、選択ゲート回路 9 を制御する制御信号 E / W 等を発生する。

【 0 0 2 4 】

昇圧回路 1 2 は、動作モードに応じて、書き込み電位 V p g m、消去電位 V e r a 等を発生する。この昇圧回路 1 2 も制御回路 1 3 により制御される。制御回路 1 3 はその他、データ書き換えモードでの自動データ書き換えのシーケンス制御を行う各種内部タイミング信号を発生する。

【 0 0 2 5 】

図 3 は、メモリセルアレイ 1 のレイアウトを示し、図 4 (a)、(b) はそれぞれ図 3 の A - A ' 及び B - B ' 断面を示している。p 型シリコン基板 3 0 に n 型ウェル 3 1 が形成され、この n 型ウェル 3 1 内にセルアレイ領域となる p 型ウェル 3 2 が形成されている。この様なウェル構造の基板に、ストライプ状の素子分離絶縁膜 3 3 が例えば S T I 技術により形成される。素子分離絶縁膜 3 3 により挟まれた p 型ウェル 3 2 上に、トンネル絶縁膜 3 4 を介して第 1 層ゲート膜により浮遊ゲート 3 5 が形成され、浮遊ゲート 3 5 上に絶縁膜 3 6 を介して第 2 層ゲート膜により制御ゲート 3 7 が形成されて、スタックトゲート構造のメモリセル M C が作られる。

【 0 0 2 6 】

浮遊ゲート 3 5 は、各メモリセル M C 毎に分離される。制御ゲート 3 7 は、ロウ方向に連続的にパターン形成されて、これが制御ゲート線 C G L となる。選択ゲートトランジスタ S G 1、S G 2 は、メモリセル M C と同様の構造を有するが、第 1 層ゲート膜と第 2 層ゲート膜が適当な箇所短絡されて一体としてパターン形成されて、選択ゲート線 G S L、S S L が形成される。メモリセル M C 及び選択ゲートトランジスタ S G 1、S G 2 のソース、ドレイン拡散層 3 8 は、制御ゲート線 C G L 及び選択ゲート線 G S L、S S L に自己整合的に拡散形成される。素子形成された基板は層間絶縁膜 3 9 で覆われ、この上にビット線 4 0 が配設される。

【 0 0 2 7 】

この実施の形態による 3 トランジスタのメモリセルユニットを持つ E E P R O M は、ページ単位でのデータ書き換えを行うこと、1 ページのデータ書き換え動作のなかにデータ消去とデータ書き込み、及びその後の書き込みベリファイ読み出しの一連の動作を含むこと、及びデータ書き換えモードがコマンド入力によらずに簡単な外部制御信号により制御されること、等の特徴としている。

【 0 0 2 8 】

図 5 は、データ書き換えモードの基本動作フローを示している。データ書き換えモードに入ると、まず 1 ページ分の書き込みデータがページバッファ 2 にロードされる (S 1)。その後、ページアドレスにより選択されたページのデータが一括消去される (S 2)。続いて、消去されたページのメモリセルに、ページバッファ 2 にロードされているデータが一括書き込みされる (S 3)。書き込みが終わると、次に書き込みベリファイ読み出しが行われる (S 4)。書き込みベリファイ読み出しは、バイト単位で行われる。

【 0 0 2 9 】

ベリファイ読み出しの際、書き込みが十分であるメモリセルについて、ページバッファ 2 の対応するデータを反転させる。この結果、選択されたページに書き込み不十分のメモリセルが一つでもある間は、フェイルのフラグが立ち、選択されたページの全てのメモリセルが書き込み十分になると、ベリファイの結果がパスとなって、フェイルのフラグが立たなくなる。こうして、1 ページ分のベリファイ読み出しが終わった後、ベリファイの結果がパスとなったか否かが、書き込みループ数が最大に達したか否かと併せて判定される (S 5)。判定が Y E S であれば書き換え動作は終了し、フェイルのフラグが立っていて且つ、書き込みループ数が最大に達していない場合には、書き換え終了の判定は N O となり、再度データ書き込みが行われる (S 3)。この再書き込み動作では、ページバッファ 2

10

20

30

40

50

のデータが書き込み十分の箇所では書き換えられているから、実質的には書き込み不十分であったビットについてのみ、再度の書き込み動作が行われる。なお、フェイルのフラグが立っているにも拘わらず、書き込みと書き込みベリファイの繰り返しループ数が最大に達したため書き込み終了と判定された場合、書き換え失敗による強制終了である。

【0030】

図6は、以上のデータ書き換えモードの動作タイミング図である。まずチップイネーブル信号/CEを“L”として、チップを選択する。出力イネーブル信号/OEは書き換え動作の間、“H”に保持される。チップが選択された後、書き込みイネーブル信号/WE = “L”にする毎に1ページのバイト数分のデータを順次入力する。アドレスは、最初に書き込みイネーブル信号/WEを“L”としたときにページアドレス信号PAのみを入力する。これにより、内部ページアドレス信号PAは、アドレスバッファ7にラッチされ、書き換え動作が終了するまで保持される。

10

【0031】

外部カラムアドレス信号CAの入力は行わず、そのアドレス端子はデータ書き換え動作の間、“L”に保持される。書き換えモードにおいて、内部カラムアドレス信号は、アドレスレジスタ11からの出力が用いられる。内部カラムアドレス信号は、最初の書き込みイネーブル信号/WEの立ち下がり、制御回路13から発生されるカラムアドレスリセット信号CA-RSによりアドレスレジスタ11において先頭カラムアドレスCol.1にセット(初期化)される。最初の書き込みイネーブル信号/WEが立ち上がると、制御回路13はレディ/ビジー信号“L”(=Busy)を外部に出力する。そして、以後書き込みイネーブル信号/WEが“L”になる毎に、制御回路13から発生されるインクリメント信号CA-INCによりインクリメントされて、順次内部カラムアドレスCol.2, Col.3, ...が自動的に発生される。また、I/Oバッファ5は、書き込みイネーブル信号/WEに同期して制御されて、1バイトずつI/O端子から供給される書き込みデータを取り込む。取り込まれたデータは、インクリメントされる内部カラムアドレス信号により1カラムずつページバッファ2に格納される。

20

【0032】

図8は、書き込みイネーブル信号/WEに基づいて、上述したカラムアドレスリセット信号CA-RS及びカラムアドレスインクリメント信号CA-INCを発生するタイミング図を示している。また図8には、内部カラムアドレス信号の切り替えを行う選択ゲート回路9の制御信号E/Wを示している。これは、チップイネーブル信号/CEの“L”と書き込みイネーブル信号/WEの“L”の論理で立ち上がって、書き換え動作の間“H”を保持する信号として、やはり制御回路13で作られ、その間アドレスレジスタ11からの内部カラムアドレス信号CAbが選択されることになる。

30

【0033】

1ページ分のデータがロードされ、内部カラムアドレスが最終アドレスまでインクリメントされると、自動的に実際のデータ書き換え動作に入る。書き換え動作時間Tは予めタイマーにより設定されている。この書き換え動作では、保持されている内部ページアドレス信号により指定されたページの全メモリセルのデータ一括消去、続いて消去されたページの全メモリセルに対する一括データ書き込みが行われ、自動ベリファイ機能がある場合にはベリファイ読み出しが行われる。データ書き換え動作が終了すると、制御回路13は、レディ/ビジー信号“H”(=Ready)を出す。

40

なお、ベリファイ読み出し動作においては、1バイト単位でセンスアンプ回路4によりデータ読み出しを行うために、制御回路13により内部カラムアドレスの初期化とインクリメント動作が行われる。

【0034】

図7は、データロード後の自動的な消去、書き込み及びベリファイ読み出しの制御を行う内部信号を示している。N回のデータロードが終了し、内部カラムアドレスが最終アドレスまでインクリメントされると、カラムアドレスエンド信号CA-ENDが“H”になり、これを受けて、データロードエンドパルスData Load ENDが出る。このデー

50

タロードエンドパルスData Load ENDをトリガとして、消去パルスEraseが発生される。この消去パルスEraseのパルス時間T1は予めタイマ設定されており、このパルス時間T1内で選択されたページの一括消去が行われる。消去パルスEraseは具体的には、図1における昇圧回路12の制御パルスであり、これに対応して、昇圧された消去電位Veraのパルスが発生されることになる。なおこの消去動作内に消去ベリファイ動作を含むものであってもよい。

【0035】

消去動作が終了すると、消去エンドパルスErase ENDが出て、これをトリガとして書き込みパルスProgram = "H"が発生される。この書き込みパルスProgramのパルス時間T2も予めタイマ設定されている。この書き込みパルスProgramは具体的には、図1において昇圧回路12を制御するパルスであり、これに対応して、昇圧された書き込み電位Vp gmのパルスが発生されることになる。書き込み動作が終了すると、書き込みエンドパルスProgram ENDが出る。これをトリガとして書き込みベリファイ信号Verifyが"H"になり、ベリファイ読み出し動作が行われる。ベリファイの結果が書き込み不十分であれば、ベリファイフェイルパルスVerify FAILが出て、再度書き込みとベリファイを繰り返す。

【0036】

ベリファイ結果がパス、又はループ数が最大になると、ベリファイエンドパルスVerify ENDが出て、これをトリガとしてリカバリ信号Recoveryが出る。このリカバリ信号Recoveryに基づいてチップ内部が初期化される。そしてリカバリエンドパルスRecovery ENDが出ると、レディ/ビジー信号を"H"（レディ状態）として、書き換えモードが終了する。

なお、データロード終了後の書き込みイネーブル信号/WEの受付を禁止するためには、図7に示すように、データロードエンドパルスData Load ENDに基づいて、書き換え動作終了まで"H"を保持する受付禁止信号を発生させればよい。これにより、N回のデータロード後のデータロードが無視されるようにすることができる。

【0037】

図7に示した内部信号は、全て制御回路13に含まれる内部タイミング信号発生回路及びタイマ回路により作られる。その詳細は示さないが、内部タイミング信号は基本的な論理ゲートやフリップフロップ、シフトレジスタ、インクリメンタル回路等の組み合わせで実現でき、タイマはシステムクロックをカウントするカウンタにより構成される。

【0038】

図9は、この実施の形態での3トランジスタ型メモリセルユニットの各動作モードにおける電位関係の一例を示している。基本的な電位関係は、NAND型EEPROMと同様であるが、NAND型EEPROMと異なり、選択ブロックのなかで非選択メモリセルを導通トランジスタとして用いるための中間電位（パス電位）を必要としない。

【0039】

書き換えモードにおけるデータ消去動作では、セルアレイのp型ウェルに消去電位Veraが与えられ、選択ページの制御ゲート線CGLに0V、その両側の選択ゲート線GSL, SSLはフローティングとされる。非選択ページでは、制御ゲート線、選択ゲート線全てフローティングとされる。ビット線BL及び共通ソース線SLは、p型ウェルに与えられる消去電位Veraにより、これからpn接合のビルトイン電圧Vbだけ低下した電位となる。これにより、選択ページの全メモリセルでは浮遊ゲートの電子がFNトンネリングによりチャンネルに放出され、しきい値の低い消去状態（"1"データ状態）になる。

【0040】

データ書き込み動作では、予めビット線BLにデータ"1", "0"に応じて、電源電位Vcc, 0Vが与えられ、選択ページのビット線側選択ゲート線GSLにVcc、共通ソース線側選択ゲート線SSLに0Vが与えられる。これにより、ビット線電位に応じて、メモリセルのチャンネルがVcc - Vth（Vthは選択ゲートトランジスタのしきい値電圧）、0Vに予備充電される。"1"データのビット線に沿ったメモリセルではビット線

10

20

30

40

50

側の選択ゲートトランジスタがオフになる。非選択ページでは、制御ゲート線、選択ゲート線全て0Vとされる。

【0041】

そしてp型ウェルは0Vとして、選択ページの制御ゲート線CGLに書き込み電位 V_{pgm} が与えられる。このとき、“0”データが与えられたビット線に沿う選択ページのメモリセルでは、浮遊ゲートとチャンネル間に大きな電界がかかり、チャンネルから浮遊ゲートにFNTトンネリングにより電子注入され、しきい値電圧の高い書き込み状態(“0”データ状態)になる。“1”データが与えられたビット線に沿う選択ページのメモリセルでは、フローティングのチャンネルが制御ゲートとの容量結合により電位上昇して、電子注入は生じず、“1”状態が保持される。

10

【0042】

データ読み出し動作は、チップイネーブル信号/CE = “L”とした後、出力イネーブル信号/OE = “H”として、動作開始する。このデータ読み出し時、図1においては、外部からアドレスバッファ8により取り込まれるカラムアドレス信号CAaが用いられるように、制御回路13により選択ゲート回路9が切り換え制御される。選択ページの選択ゲート線GSL, SSLにVcc、制御ゲート線CGLに0Vが与えられ、カラムアドレスにより選択された1バイトのデータがセンスアンプ回路4により検知され、I/Oバッファ5を介してI/O端子に取り出される。非選択ページでは、制御ゲート線、選択ゲート線全て0Vとされる。

【0043】

20

この実施の形態によると、次のような効果が得られる。

(a) データ消去単位と書き込み単位を共にページ単位として、ページアドレスを入力し、書き込むべき1ページ分のデータをロードすると、自動的に消去、書き込み及び書き込みベリファイの一連の動作が自動的に行われる。従って、通常のNAND型EEPROMにおけるように、消去モードと書き込みモードを別々に制御する必要がない。

(b) カラムアドレス信号は内部的に自動発生させているから、バイト型EEPROMにおけるようにデータロード毎にアドレス信号を入力するという複雑な操作が必要ない。即ちページアドレス信号を一度入力すれば、データロード毎のアドレス入力を必要としない。

(c) 通常のNAND型EEPROMにおけるコマンド入力方式におけるような、複雑な制御入力動作が必要ない。データ書き換え制御は基本的に、書き込みイネーブル信号/WEに基づいて、ページアドレス入力とデータロードのみにより行われるため、極めて制御が簡単である。

30

【0044】

またこの実施の形態では、3トランジスタのメモリセルユニットを用いることにより次のような効果が得られる。

(d) 通常のNAND型EEPROMにおけるように、書き込みや読み出し動作において、選択ブロック内で非選択メモリセルを導通させるための制御、即ち非選択の制御ゲート線にパス電圧を与える制御が必要ない。このためメモリセルに無用のストレスがかからず、信頼性が高いものとなる。

40

(e) 通常のNAND型EEPROMでは、上述のように、非選択メモリセルの導通、非導通を考慮しなければならないため、消去や書き込みのしきい値制御が厳しく要求される。具体的には、過消去や過書き込みがないように、しきい値分布を狭い範囲に制御することが要求される。従って、書き込みや消去の制御は難しく、時間もかかる。これに対してこの実施の形態の場合、非選択メモリセルを導通トランジスタとして用いることはないから、厳しいしきい値制御が要求されることはなく、書き込みや消去も容易である。この意味で、書き込みベリファイ動作を省略することも可能である。

(f) 通常のNAND型EEPROMのように電流パスが長くならず、高速動作が可能になる。

【0045】

50

上記実施の形態において、N回のデータロード動作が途中で中断された場合には、一定の待ち時間をもって、書き換えモードがリセットされるようにしてもよい。図10は、そのような制御を行う場合のタイミング図である。図10に示すように、各書き込みイネーブル信号/WEの立ち上がりエッジからのデータロード待ち時間T3を予め設定しておくものとする。ある書き込みイネーブル信号/WEの立ち上がりから、待ち時間T3内に次の書き込みイネーブル信号/WEとデータが供給されれば、先に説明したように、順次1ページ分のデータロードがなされる。

【0046】

そして、図10に破線で示すように、予定の書き込みイネーブル信号/WEの入力がデータロード待ち時間T3内にない場合には、リセット信号RESETが発生されるようにする。このリセット信号RESETにより、それまでにロードされたデータ、アドレスバッファ7に保持されたページアドレス、更にそれまでインクリメントされたカラムアドレスが保持されたアドレスレジスタ11を全てリセットする。これにより、メモリシステムの高速度性を確保することが可能になる。

10

【0047】

なお上記実施の形態において、チップイネーブル信号/CEと書き込みイネーブル信号/WEとは、端子の入れ替えが可能であり、例えば図16に示すように、書き込みイネーブル/WEの端子にNサイクル分の“L”を与え、チップイネーブル/CEの端子に繰り返し“L”を入れるようにすることができる。或いは図17に示すように、チップイネーブル/CEと書き込みイネーブル/WEの端子に同期して、繰り返し“L”を入力するうに

20

【0048】

ここまでの実施の形態では、3トランジスタのメモリセルユニットを用いた場合を説明したが、この発明の手法は、通常のNAND型EEPROMやバイト型EEPROMのセルアレイ構成のものにも適用が可能である。即ち、NAND型EEPROMにおいても、電位関係の設定によりページ単位の消去を行うことは可能であるから、カラムアドレスを内部で自動的に発生させるようにして、データ書き換えモード内にページ単位の消去と書き込み、及びベリファイを含ませるという仕様を適用することができる。バイト型EEPROMについても同様である。

【0049】

30

【発明の効果】

以上述べたようにこの発明によれば、ページアドレスの指定とデータロードを行うだけで、ページ単位のデータ消去とデータ書き込み、及び必要に応じて書き込みベリファイの一連の動作が自動的に行われるようにした、制御が簡単なデータ書き換えモードを持つEEPROMを得ることができる。

【図面の簡単な説明】

【図1】この発明の実施の形態によるEEPROMのブロック構成を示す図である。

【図2】同実施の形態のメモリセルアレイの等価回路を示す図である。

【図3】同メモリセルアレイのレイアウトを示す図である。

【図4】図3のA-A'及びB-B'断面を示す図である。

40

【図5】同実施の形態のデータ書き換えの基本動作フローを示す図である。

【図6】同実施の形態のデータ書き換え動作のタイミング図である。

【図7】同実施の形態の詳細な内部タイミング信号を示す図である。

【図8】データ書き換えモードにおける図1のアドレスレジスタの制御信号を示す図である。

【図9】同実施の形態における各動作の電位関係を示す図である。

【図10】データロードに待ち時間を設定した場合の動作タイミング図である。

【図11】バイト型EEPROMのセルアレイ等価回路を示す図である。

【図12】NAND型EEPROMのセルアレイ等価回路を示す図である。

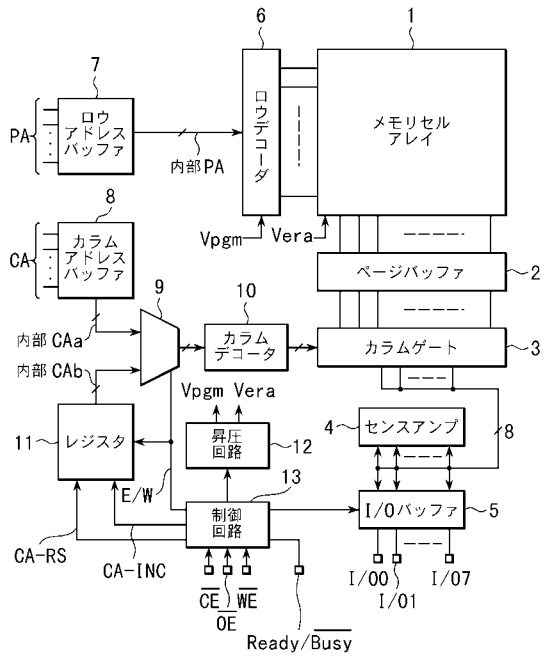
【図13】バイト型EEPROMのデータ書き換え動作タイミング図である。

50

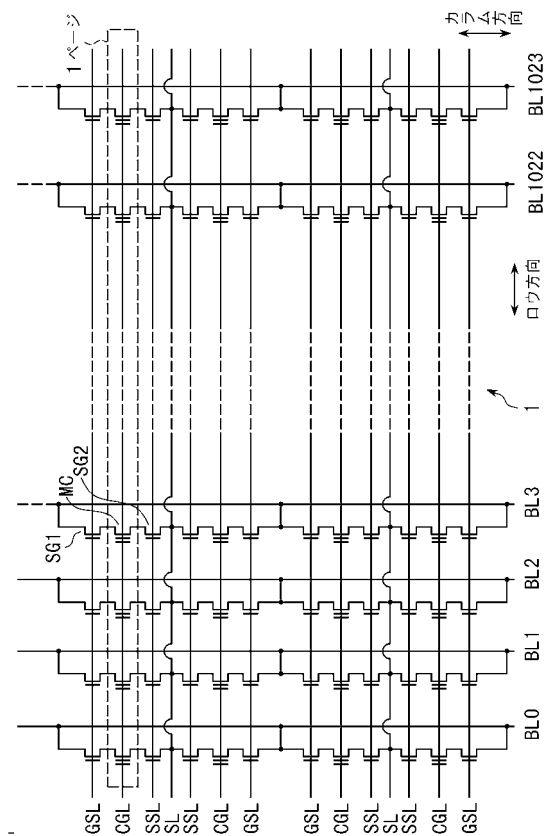
- 【図14】 NAND型EEPROMのデータ消去モードのタイミング図である。
- 【図15】 NAND型EEPROMのデータ書き込みモードのタイミング図である。
- 【図16】 他の実施の形態による /CE 及び /WE 信号の入力方法を示す図である。
- 【図17】 他の実施の形態による /CE 及び /WE 信号の入力方法を示す図である。
- 【符号の説明】

1 ... メモリセルアレイ、 2 ... ページバッファ、 3 ... カラムゲート、 4 ... センスアンプ回路、 5 ... I/Oバッファ、 6 ... ロウデコーダ、 7 ... ロウアドレスバッファ、 8 ... カラムアドレスバッファ、 9 ... 選択ゲート回路、 10 ... カラムデコーダ、 11 ... アドレスレジスタ、 12 ... 昇圧回路、 13 ... 制御回路。

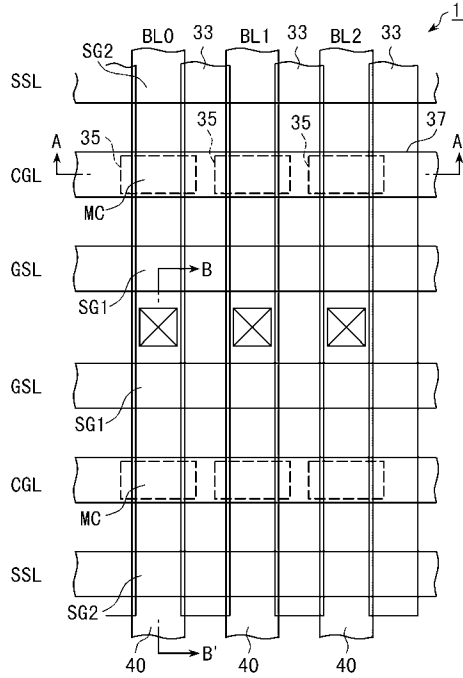
【図1】



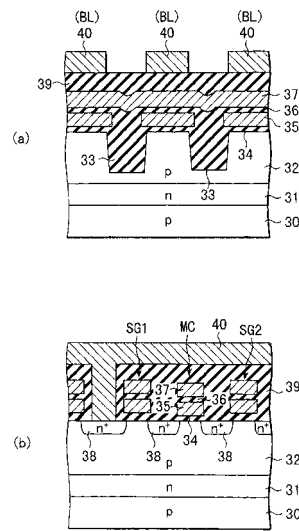
【図2】



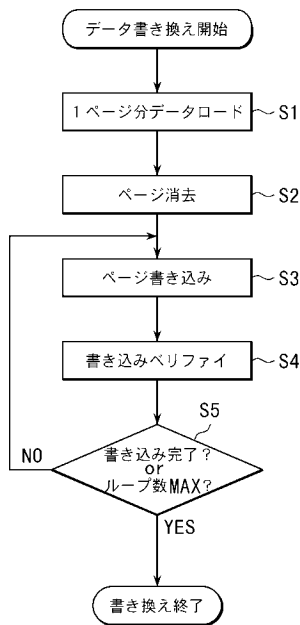
【図3】



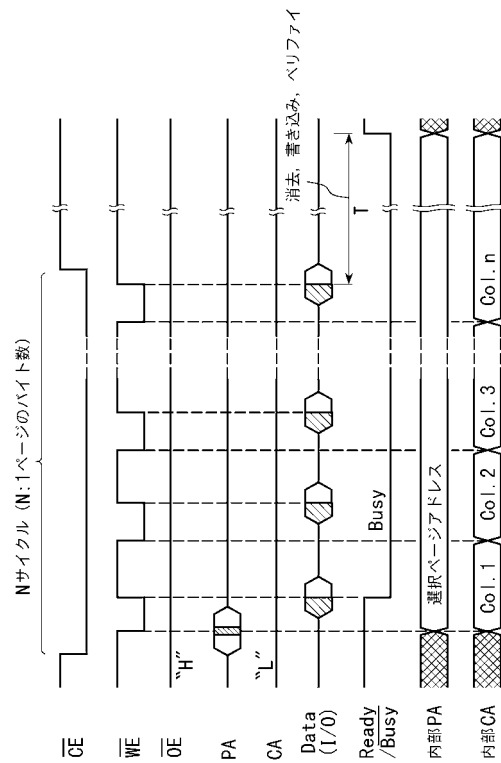
【図4】



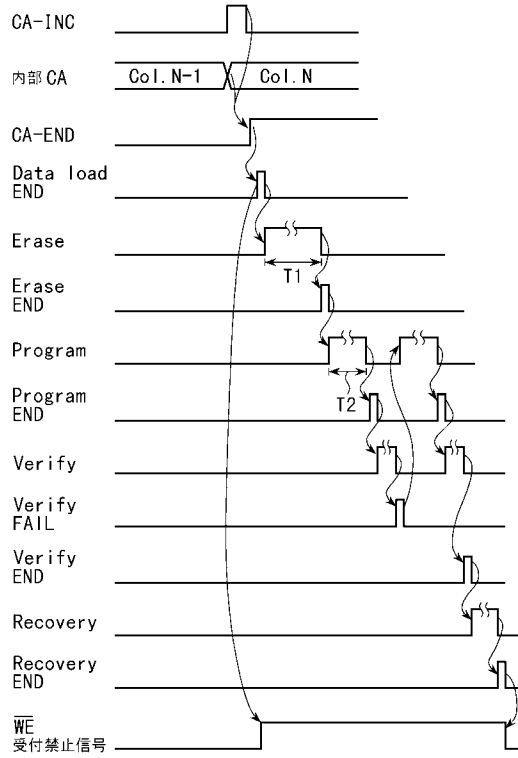
【図5】



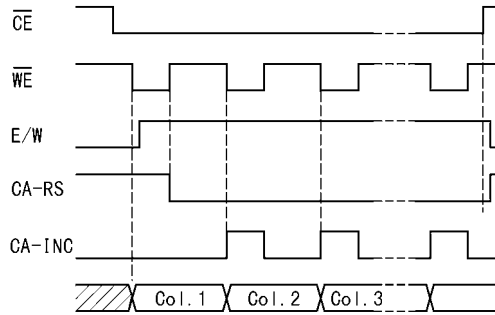
【図6】



【 図 7 】



【 図 8 】

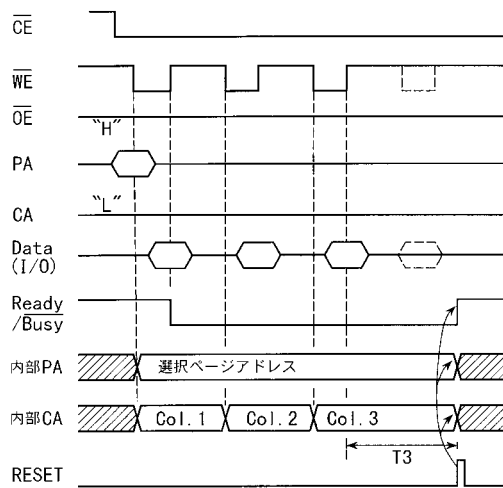


【 図 9 】

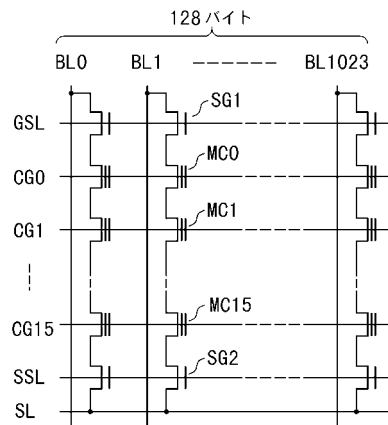
| | | 消去 | 書き込み | | 読み出し |
|--------|-----|---------|--------|--------|------|
| | | | "1"データ | "0"データ | |
| BL | | Vera-Vb | Vcc | 0V | |
| 選択ページ | GSL | F | Vcc | Vcc | Vcc |
| | CGL | 0V | Vpgm | Vpgm | 0V |
| | SSL | F | 0V | 0V | Vcc |
| 非選択ページ | GSL | F | 0V | 0V | 0V |
| | CGL | F | 0V | 0V | 0V |
| | SSL | F | 0V | 0V | 0V |
| SL | | Vera-Vb | 0V | 0V | 0V |
| セルPウエル | | Vera | 0V | 0V | 0V |

F: フローティング

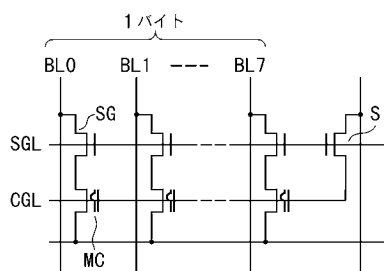
【 図 1 0 】



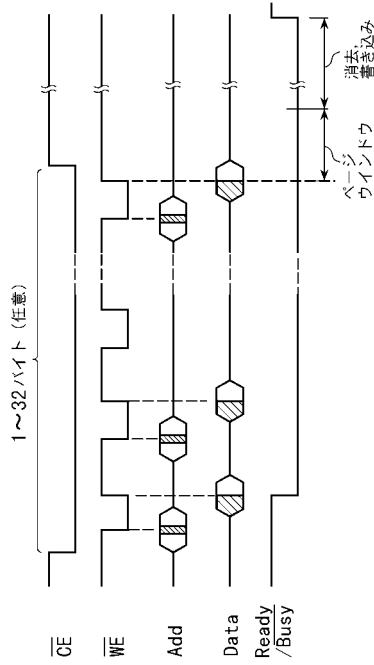
【 図 1 2 】



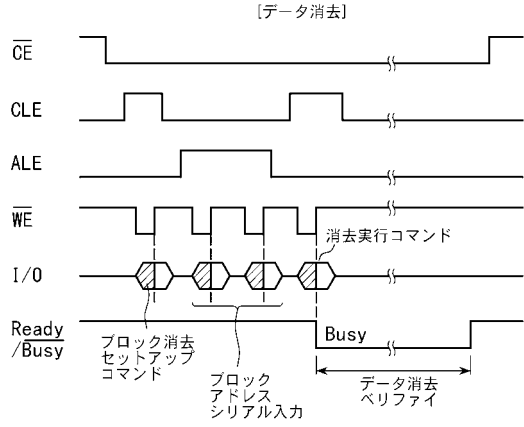
【 図 1 1 】



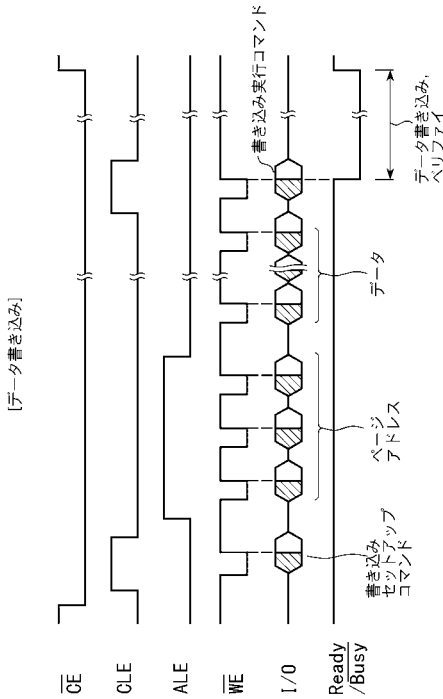
【図 1 3】



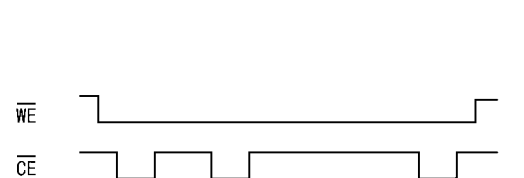
【図 1 4】



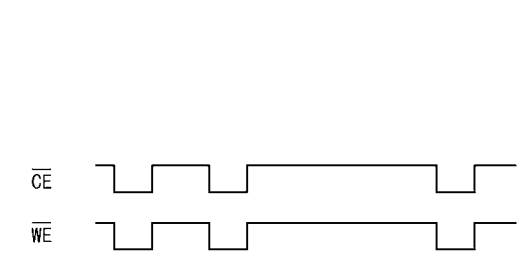
【図 1 5】



【図 1 6】



【図 1 7】



フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

G11C 16/00-16/34