



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA NUMERO	102006901467432
Data Deposito	17/11/2006
Data Pubblicazione	17/05/2008

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
G	06	K		

Titolo

CIRCUITO E METODO PER GENERARE UNA TENSIONE DI RIFERIMENTO IN DISPOSITIVI DI MEMORIA A MATRICE DI CELLE NON VOLATILI.

Domanda di brevetto per invenzione industriale dal titolo: "**Circuito e metodo per generare una tensione di riferimento in dispositivi di memoria a matrice di celle non volatili.**"

a nome di: **STMicroelectronics S.r.l.**

5 con sede in: **Agrate Brianza (Milano)**

* * * * *

DESCRIZIONE

Campo di applicazione

2006 A 0 0 2 2 1 U

10 La presente invenzione si riferisce ad un circuito generatore una tensione di riferimento in dispositivi di memoria a matrice di celle non volatili.

15 Più specificatamente, la presente invenzione fa riferimento ad un circuito generatore di una tensione di riferimento su un terminale di uscita connesso ad una matrice di celle di memoria non volatili e comprendente:

- mezzi convertitori, connessi ad un primo riferimento di alimentazione ed aventi almeno un primo terminale uscita collegato ad un nodo comune ed un secondo terminale di uscita;
 - mezzi comparatori, connessi ad un secondo riferimento di alimentazione ed inseriti tra detto nodo comune e detto terminale di uscita di detto circuito generatore, detti mezzi comparatori avendo almeno un primo ed un secondo terminale di ingresso connessi rispettivamente a detti primo e secondo terminale di uscita di detti mezzi convertitori nonché un terminale di uscita atto a fornire una
- 20
25 tensione comparata data dal confronto tra un primo ed un secondo

17 NOV. 2006

valore di tensione presenti su detti primo e secondo terminale di ingresso; nonché

- almeno una cella di riferimento inserita tra detto nodo comune ed un primo riferimento di tensione.

5 L'invenzione fa altresì riferimento ad un metodo per generare una tale tensione di riferimento in dispositivi di memoria a matrice di celle non volatili.

L'invenzione riguarda in particolare ma non esclusivamente un circuito per generare una tensione di riferimento in dispositivi di memoria di tipo EEPROM e la descrizione è fatta con riferimento a questo campo di applicazione con lo scopo di semplificarne l'esposizione.

Arte nota

15 Come è noto, un dispositivo semiconduttore di memoria comprende una pluralità di celle di memoria non volatili, quali ad esempio le celle di tipo EEPROM, che sono usualmente integrate su un substrato di materiale semiconduttore ed ordinate in righe e colonne in una struttura a matrice di celle. In un tale dispositivo di memoria, l'elemento per la memorizzazione dell'informazione, vale a dire la singola
20 cella, è un transistor MOS del tipo a porta flottante o floating gate e la quantità di carica contenuta in tale floating gate definisce lo stato o livello logico della corrispondente singola cella. In particolare, la floating gate di ciascuna cella di memoria è isolata elettricamente dalla floating gate di ciascuna cella adiacente.

25 Tale dispositivo semiconduttore di memoria comprende,

ulteriormente, opportuni blocchi circuitali integrati sul substrato e connessi alla matrice di celle di memoria per consentire di programmare, di leggere e di cancellare in modo selettivo tali celle.

5 Negli ultimi tempi, un notevole sviluppo hanno mostrato applicazioni che richiedono l'utilizzo di dispositivi di memoria con matrici di celle cancellabili elettricamente, quali sono le celle di memoria di tipo EEPROM.

10 Infatti, le celle EEPROM presentano la peculiarità di poter essere cancellate in parallelo, per singola word, e programmate per singolo bit, vale a dire per singola cella. Inoltre, tali celle di memoria EEPROM presentano la peculiarità di richiedere un consumo di corrente estremamente ridotto sia durante l'operazione di lettura sia durante l'operazione di modifica(cancellazione o programmazione) del contenuto delle celle stesse.

15 Per tali particolarità, i dispositivi di memoria con celle EEPROM sono oggi diffusi in varie applicazioni ed impiegati ad esempio per la realizzazione delle sempre più diffuse ed utilizzate Smart Card.

20 In particolare, la richiesta di applicazioni sempre più compatte ha spinto la ricerca alla riduzione delle dimensioni fisiche dei dispositivi di memoria ed in particolare delle celle di memoria della matrice. Le dimensioni fisiche delle celle oggi raggiunte alla fine del processo produttivo rendono tuttavia impegnativa e complessa, in particolare, l'operazione di cancellazione delle celle di memoria, operazione richiesta per riportare le celle ad uno stato originale o cancellato, ossia ad una
25 condizione di cella vergine mediante eliminazione delle cariche elettriche

contenute nella regione di floating gate.

In tali dispositivi di memoria a dimensioni ridotte, per discriminare uno stato programmato da uno stato cancellato delle celle di memoria, è noto generare, mediante un opportuno circuito generatore di tensione, una tensione di riferimento che è applicata ad un elettrodo di gate della matrice ed è utilizzata per polarizzare, ad un desiderato valore, le celle di memoria.

Alcune soluzioni note, impiegate ad esempio in matrici di celle di memoria di tipo "Flash" EEPROM, prevedono di generare una tale tensione di riferimento mediante l'impiego di opportuni algoritmi atti a definirne il valore.

Tali soluzioni presentano tuttavia degli inconvenienti, l'impiego di algoritmi richiedendo un dispendio maggiore dal punto di vista circuitale, ossia di area occupata, ed anche un maggior dispendio dal punto di vista operativo. Infatti, è richiesta una operazione aggiuntiva sulle celle della matrice, chiamata operazione di "testing", che comporta nella maggior parte delle applicazioni un allungamento eccessivo dei tempi di cancellazione.

Alternativamente, è noto utilizzare un circuito generatore di una tensione di controllo da applicare alla control gate delle celle di memoria ed indicata comunemente come tensione di control gate, il cui schema di principio è rappresentato in figura 1. Tale circuito 1 comprende una o più celle di riferimento EEPROM opportunamente polarizzate ed atte a pilotare in uscita un certo numero di celle di memoria di un dispositivo ad esso connesso. Le celle di riferimento

impiegate nel circuito 1 generatore di tensione sono del tipo UV ossia del tipo in cui è possibile cancellare - mediante l'impiego di raggi ultravioletti - le cariche elettriche immagazzinate nella regione interna di floating gate di ciascuna cella .

5 Nel circuito 1 illustrato schematicamente, per semplicità di rappresentazione, è evidenziata una sola cella di riferimento UV 2 la quale presenta un terminale di source 3 collegato ad un riferimento di tensione V_1 , in particolare una massa Gnd, un terminale di drain 4 ed un terminale di gate 5 connesso ad un terminale di uscita O1 del
10 circuito 1.

Tale circuito 1 comprende inoltre un blocco 6 di emulazione di un amplificatore di "sense", essenzialmente un convertitore corrente-tensione, il quale comprende un primo terminale di ingresso I1 collegato ad un generatore G di una corrente di riferimento I_{ref} ed un secondo
15 terminale di ingresso I2 collegato al terminale di drain 4 della cella di riferimento UV 2. Il blocco 6 di emulazione di un amplificatore di "sense" segnala ad un buffer 8 ad esso posto in cascata che la corrente di riferimento I_{ref} del generatore G e la corrente generata dalla cella di riferimento UV 2 sono uguali.

20 Il buffer 8, che può essere realizzato ad esempio da un amplificatore operazionale, confronta le tensioni in ingresso e se sono uguali fornisce una tensione di riferimento V_{cg} al terminale di uscita O1 del circuito 1.

25 Opportunamente, il terminale di uscita O1 del circuito 1 è collegato all'elettrodo di gate delle celle di memoria della matrice e la

tensione di riferimento V_{cg} generata sul terminale di uscita O1 del circuito consente di polarizzare tali celle.

Ulteriormente, il circuito 1 prevede un collegamento in retroazione tra il proprio terminale di uscita O1 ed il terminale di gate 5 della cella di riferimento UV 2 polarizzandola alla tensione di riferimento V_{cg} .

Il circuito 1 comprende inoltre uno stadio di uscita comprendente essenzialmente una capacità 10 di filtro, connessa tra il terminale di uscita O1 e il riferimento di tensione V1 di massa. In particolare, tale capacità 10 di filtro è atta a ridurre l'eventuale tensione di "ripple" al terminale di uscita O1 del circuito 1 e ad aumentare la sua capacità di pilotare stadi successivi connessi al terminale O1 di uscita. La capacità 10 di filtro è opportunamente dimensionata in base al numero di celle connesse all'elettrodo di gate della matrice.

Il circuito noto appena descritto, pur soddisfacente allo scopo, non è tuttavia esente da inconvenienti. Infatti, la capacità 10 di filtro del suo stadio di uscita, per garantire la riduzione della tensione di "ripple" sul terminale di uscita O1, può raggiungere valori elevati occupando una eccessiva area di silicio. Ad esempio, in alcuni casi, tale capacità può raggiungere valori dell'ordine di alcune decine di pico Farad.

Inoltre, per una corretta polarizzazione delle celle di memoria della matrice durante una operazione di lettura, è necessario che le celle di riferimento UV 2 del circuito 1 siano nella condizione di cella vergine alla fine del relativo processo produttivo.

Le ridotte dimensioni fisiche dei dispositivi attuali richiedono

tuttavia un impiego di un alto dosaggio di raggi UV per portare le celle di riferimento UV 2 ad una condizione vergine. Tale operazione risulta dunque particolarmente impegnativa, lunga e costosa ed in alcuni casi, in presenza di dimensioni estremamente ridotte, rischia di non poter essere più garantita.

Il problema tecnico che sta alla base della presente invenzione è quello di escogitare un circuito generatore di tensione in grado di cancellare le celle di riferimento, utilizzate per generare una tensione di riferimento di lettura, riportandole alla condizione di cella vergine senza l'impiego di raggi UV ed avente caratteristiche strutturali e funzionali tali da consentire di generare una tensione di riferimento in dispositivi di memoria superando le limitazioni e gli inconvenienti che tutt'ora affliggono i circuiti realizzati secondo l'arte nota.

Sommario dell'invenzione

L'idea di soluzione che sta alla base della presente invenzione è quella utilizzare celle di riferimento aventi regioni di floating gate accessibili tramite un terminale di contatto e di scaricarle periodicamente mediante un apposito blocco di polarizzazione.

Sulla base di tale idea di soluzione il problema tecnico è risolto da un circuito generatore di una tensione di riferimento su un terminale di uscita connesso ad una matrice di celle di memoria non volatili e comprendente:

- mezzi convertitori, connessi ad un primo riferimento di alimentazione ed aventi almeno un primo terminale uscita collegato ad un nodo comune ed un secondo terminale di uscita;

5 - mezzi comparatori, connessi ad un secondo riferimento di alimentazione ed inseriti tra detto nodo comune e detto terminale di uscita di detto circuito generatore, detti mezzi comparatori avendo almeno un primo ed un secondo terminale di ingresso connessi
rispettivamente a detti primo e secondo terminale di uscita di detti
mezzi convertitori nonché un terminale di uscita atto a fornire una
tensione comparata data dal confronto tra un primo ed un secondo
valore di tensione presenti su detti primo e secondo terminale di
ingresso; nonché

10 - almeno una cella di riferimento inserita tra detto nodo comune ed un primo riferimento di tensione;

caratterizzato dal fatto che detta almeno una cella di riferimento comprende un terminale di contatto con una sua regione di floating gate connesso ad un primo blocco di polarizzazione, avente a
15 sua volta un terminale di ingresso collegato a detto terminale di uscita di detto circuito generatore ed essendo atto a polarizzare periodicamente detto terminale di contatto di floating gate ad una tensione di polarizzazione di un secondo riferimento di tensione.

Il problema tecnico è altresì risolto da un metodo per generare
20 una tensione di riferimento su un terminale di uscita di un circuito generatore connesso ad una matrice di celle di memoria non volatili e comprendente mezzi convertitori, alimentati da un primo riferimento di alimentazione e connessi in cascata a mezzi comparatori, a loro volta alimentati da un secondo riferimento di alimentazione e atti a generare
25 detta tensione comparata data dal confronto tra un primo ed un

secondo valore di tensione forniti da detti mezzi convertitori, nonché almeno una cella di riferimento inserita tra un nodo comune ed un primo riferimento di tensione, detto nodo comune essendo connesso in ingresso a detti mezzi comparatori, il metodo comprendendo la fase di
5 fornire in retroazione verso un terminale di comando di detta cella di riferimento almeno una porzione di detta tensione comparata ed essendo caratterizzato dal fatto di prevedere le fasi di:

- comandare un terminale di contatto di una regione di floating gate di detta almeno una cella di riferimento mediante un primo
10 blocco di polarizzazione;

- polarizzare periodicamente ad un valore di tensione di polarizzazione detto terminale di contatto di regione di floating gate di detta almeno una cella di riferimento sulla base di un primo segnale di
15 inizializzazione fornito a detto primo blocco di polarizzazione per scaricare eventuali cariche contenute in detta regione di floating gate di detta cella di riferimento.

Le caratteristiche ed i vantaggi della presente invenzione risulteranno dalla descrizione fatta qui di seguito di un suo esempio realizzativo dato a titolo indicativo e non limitativo con riferimento ai
20 disegni allegati.

Breve descrizione dei disegni

In tali disegni:

la Figura 1 illustra un circuito generatore di una tensione di riferimento di tipo noto;

25 la Figura 2 illustra un circuito generatore di una tensione di

riferimento realizzato secondo la presente invenzione;

la Figura 3 illustra una variante di realizzazione del circuito generatore realizzato secondo la presente invenzione;

La Figura 4 illustra un andamento temporale dei segnali che pilotano una porzione del circuito generatore realizzato secondo la presente invenzione.

Descrizione dettagliata

Con riferimento a tali disegni, in figura 2 è illustrato schematicamente un circuito generatore 100 di una tensione di riferimento V_{cg} , realizzato secondo la presente invenzione, utilizzabile per dispositivi semiconduttori di memoria a matrice di celle di memoria non volatili.

Il circuito generatore 100 comprende almeno una cella di riferimento xN , avente a sua volta un primo terminale 31 di conduzione connesso ad un nodo comune 40, un secondo terminale 32 di conduzione connesso ad un primo riferimento di tensione $V1$, in particolare una massa, ed un terzo terminale 33 di comando connesso ad un terminale di uscita Out del circuito generatore 100 stesso.

In particolare, la cella di riferimento xN , quando attivata, presenta al primo terminale 31 di conduzione una corrente I_{cell} .

Secondo una forma di realizzazione preferita, il circuito generatore 100 comprende una pluralità di celle di riferimento xN , ulteriormente preferibilmente in numero N pari a sedici. In figura 2, per semplicità, è illustrata una sola di tali celle di riferimento xN .

Il circuito generatore 100 comprende inoltre mezzi convertitori

o di emulazione di “sense”, indicati complessivamente con SE.

In particolare, i mezzi convertitori SE sono alimentati da un primo riferimento di alimentazione, in particolare una tensione di alimentazione Vdd, e presentano un primo terminale di ingresso In1
5 connesso ad un primo generatore di corrente Ig1 atto a generare una prima corrente Iref di riferimento, di valore costante. Il primo generatore di corrente Ig1 è interposto tra il primo riferimento di tensione V1 ed un primo nodo 80.

I mezzi convertitori SE presentano, inoltre, un primo terminale
10 di uscita Out1 collegato al nodo comune 40 ed un secondo terminale di uscita Out2.

Sul nodo comune 40 è quindi presente una prima tensione Vdrain, generata dalla somma delle tensioni presenti sul primo terminale di uscita Out1 dei mezzi convertitori SE e sul primo terminale
15 di conduzione 31 della cella di riferimento xN. Sul secondo terminale di uscita Out2 dei mezzi convertitori SE è presente una seconda tensione VBL corrispondente alla tensione del primo nodo 80.

I mezzi convertitori SE sono sostanzialmente un convertitore corrente-tensione, che converte segnali di corrente in segnali di
20 tensione, e preferibilmente utilizzando una architettura a specchio di corrente, consentono di modificare la prima tensione Vdrain presente sul nodo comune 40 qualora la corrente Icell della cella di riferimento xN sia difforme dalla prima corrente Iref di riferimento del primo generatore di corrente Ig1.

25 Il circuito generatore 100 comprende ulteriormente mezzi

comparatori 12 i quali sono alimentati da un secondo riferimento di alimentazione, in particolare una sovratensione di alimentazione Vboost e presentano un primo terminale di ingresso In2 connesso al nodo comune 40, un secondo terminale d'ingresso In3 connesso al secondo terminale di uscita Out2 dei mezzi convertitori SE, nonché un terminale di uscita Out3 dove tali mezzi comparatori 12 generano una tensione Vout detta tensione comparata, data dal confronto tra una prima ed una seconda tensione di uscita, Vdrain e VBL, presenti sui rispettivi primo e secondo terminale d'ingresso, In2 ed In3.

10 Opportunamente, in una forma di realizzazione preferita, il secondo riferimento di alimentazione Vboost ha un livello di tensione maggiore del primo riferimento di alimentazione Vdd.

15 Opportunamente, il terminale di uscita Out3 dei mezzi comparatori 12 è collegato al terminale di uscita Out del circuito generatore 100.

20 Preferibilmente, mezzi comparatori 12 comprendono un amplificatore operazionale a transconduttanza dotato di un ingresso Tai ad "Alta Impedenza", tramite il quale lo stesso amplificatore operazionale viene spento e il suo terminale di uscita Out3 posto in uno stato di alta impedenza. Opportunamente, secondo la presente forma di realizzazione del circuito generatore 100 secondo l'invenzione, l'amplificatore operazionale ha il primo terminale di ingresso In2 come ingresso non invertente ed il secondo terminale d'ingresso In3 come ingresso invertente.

25 Vantaggiosamente, secondo l'invenzione, la cella di riferimento

xN del circuito generatore 100 comprende un quarto terminale 34, reso accessibile esternamente alla cella di riferimento xN stessa, collegato ad un primo terminale di uscita Out4 di un primo blocco 25 di polarizzazione, a sua volta comandato da almeno un primo segnale di
5 inizializzazione Reset.

In particolare, il quarto terminale 34 è un terminale che contatta una regione di floating gate della cella di riferimento xN.

Ancor più in particolare, il primo blocco 25 di polarizzazione è atto a polarizzare periodicamente il terminale di floating gate 34 della
10 cella di riferimento xN sulla base del primo segnale di inizializzazione Reset.

Il primo blocco 25 di polarizzazione presenta inoltre un secondo terminale di uscita Out5 collegato al terzo terminale 33 della cella di riferimento xN ed un primo terminale di ingresso In4 collegato al
15 terminale di uscita Out del circuito generatore 100.

Il primo blocco 25 di polarizzazione comprende almeno un primo transistor N1 di polarizzazione il quale presenta un primo terminale 61 di conduzione collegato al primo terminale Out4 di uscita, un secondo terminale 62 di conduzione collegato ad un secondo
20 riferimento di tensione V2, in particolare una tensione di polarizzazione, ed un terzo terminale 63 di comando collegato al primo segnale di inizializzazione Reset.

In un esempio di realizzazione preferito, la tensione V2 di polarizzazione è pari alla tensione di massa.

25 Vantaggiosamente, il primo transistor N1 di polarizzazione è

pilotato dal primo segnale di inizializzazione Reset il quale è opportunamente temporizzato consentendo, periodicamente, di scaricare eventuali cariche contenute nella floating gate della cella di riferimento xN polarizzando la cella stessa alla tensione V2 di polarizzazione.

Il primo blocco 25 di polarizzazione comprende, inoltre, un secondo transistor N2 di polarizzazione, il quale presenta un primo terminale di conduzione 64 collegato al secondo terminale di uscita Out5, un secondo terminale 65 di conduzione collegato al primo riferimento di tensione V1 ed un terzo terminale 66 di comando collegato al terzo terminale 63 di comando del primo transistor N1 di polarizzazione e pilotato dal medesimo primo segnale di inizializzazione Reset.

In particolare, il secondo transistor N2 di polarizzazione è vantaggiosamente utilizzato per polarizzare periodicamente il terzo terminale 33 di comando della cella di riferimento xN.

Il primo blocco 25 comprende, inoltre, un terzo transistor N3 interposto tra i suoi terminale di ingresso In4 e secondo terminale Out5 di uscita, e quindi il terminale di controllo della cella di riferimento xN. In particolare, il terzo transistor N3 di polarizzazione presenta un primo terminale 67 di conduzione collegato al terminale di ingresso In4 del primo blocco 25 di polarizzazione, un secondo terminale 68 di conduzione collegato al terzo terminale 33 di comando della cella xN ed un terzo terminale 69 di comando opportunamente pilotato da un secondo segnale di inizializzazione NresetLS, temporizzato.

Più in particolare, il terzo transistor N3 di polarizzazione consente di scollegare opportunamente il primo blocco 25 dal terminale di uscita Out del circuito generatore 100.

5 In figura 4 sono rappresentati gli andamenti temporali del primo segnale e del secondo segnale di inizializzazione, Reset e NresetLS, atti a pilotare il primo ed il secondo transistor N1 e N2 di polarizzazione e, rispettivamente, il terzo transistor di polarizzazione N3 del primo blocco 25 di polarizzazione.

10 Secondo la presente invenzione, il primo segnale di inizializzazione Reset è opposto al secondo segnale di inizializzazione NresetLS ed in particolare, il primo segnale di inizializzazione Reset è attivato con un primo tempo T1 di ritardo rispetto alla disattivazione del secondo segnale di inizializzazione NresetLS. Inoltre, il primo segnale di
15 inizializzazione Reset è disattivato con un secondo tempo T2 di anticipo rispetto alla attivazione del secondo segnale di inizializzazione NresetLS.

Secondo una forma di realizzazione preferita, il primo tempo T1 di ritardo è corrispondente al secondo tempo T2 di anticipo.

20 Ancor più in particolare, secondo la presente forma di realizzazione, il secondo segnale di inizializzazione NResetLS ha un valore di tensione, in corrispondenza del livello attivo più elevato, superiore rispetto al primo segnale di inizializzazione Reset e superiore anche alla prima tensione di alimentazione Vdd, in modo tale da permettere l'attivazione del terzo transistor di polarizzazione N3. Ad
25 esempio, tale livello attivo più elevato del secondo segnale di inizializzazione NresetLS ha un valore pari alla sovratensione di

alimentazione Vboost.

Grazie al particolare andamento temporale del primo segnale di inizializzazione Reset e del secondo segnale di inizializzazione NresetLS, il primo ed il secondo transistor di polarizzazione, N1 ed N2, sono attivati con un ritardo pari al primo tempo T1 di ritardo rispetto alla disattivazione del terzo transistor di polarizzazione N3, questo consente di scaricare la carica immagazzinata nella regione di floating gate della cella di riferimento xN, solo successivamente al disaccoppiamento del primo blocco 25 di polarizzazione dal terminale di uscita Out del circuito generatore 100.

In particolare, il secondo transistor di polarizzazione N2, quando attivato, consente di forzare una differenza di tensione nulla tra il terzo terminale 33 di comando ed il quarto terminale 34 di floating gate della cella di riferimento xN. Contemporaneamente, il primo transistor di polarizzazione N1, quando attivato, polarizza la cella di riferimento xN alla prefissata tensione V2 di polarizzazione.

Successivamente, il primo segnale di inizializzazione Reset è disattivato, il primo ed il secondo transistor di polarizzazione, N1 ed N2, sono quindi disattivati, con un ritardo pari al secondo tempo T2 di anticipo il secondo segnale di inizializzazione NresetLS è attivato ed il terzo transistor di polarizzazione N3 collega così il terzo terminale 33 di comando della cella di riferimento xN al terminale di uscita Out del circuito generatore 100.

In tal modo, grazie al primo blocco 25 di polarizzazione, pilotato dal primo segnale di inizializzazione Reset e dal secondo segnale

di inizializzazione NresetLS, la cella di riferimento xN è periodicamente sottoposta ad una fase di polarizzazione ed è polarizzata alla predefinita tensione V2 di polarizzazione.

5 Vantaggiosamente, inoltre, tale fase di polarizzazione è ripetuta periodicamente per evitare che il primo terminale di conduzione 61 del primo transistor di polarizzazione N1, qualora la tensione V2 di polarizzazione sia nulla, per il noto effetto di leakage, possa scaricare in modo incontrollato la cella di riferimento xN. Infatti, in tal caso, il primo transistor di polarizzazione N1 tende a scaricare la cella di riferimento
10 xN dopo alcuni millisecondi, determinandone lo spegnimento.

Secondo un altro aspetto della presente invenzione, vantaggiosamente, il circuito 100 comprende un secondo blocco 20 sample and hold interposto tra il terminale di uscita Out3 dei mezzi comparatori 12 ed il terminale di uscita Out del circuito generatore 100.
15 In particolare, il secondo blocco 20 sample and hold consente di mantenere costante la tensione di riferimento Vcg al terminale di uscita Out del circuito generatore 100 e collega in retroazione la cella di riferimento xN.

Ancor più in particolare, il secondo blocco 20 sample and hold
20 presenta un terminale di ingresso In5 collegato al terminale di uscita Out3 dei mezzi comparatori 12 ed un terminale di uscita Out6 collegato al terminale di ingresso In4 del primo blocco 25 di polarizzazione.

Il secondo blocco 20 sample and hold comprende in particolare, un primo transistor N4 di sample and hold ed un secondo
25 transistor N5 di sample and hold opportunamente collegati con una

architettura ad inseguimento di source [source follower].

Il primo ed il secondo transistor di sample and hold, N4 ed N5, presentano rispettivi primi terminali 42, 52 di conduzione collegati al secondo riferimento di alimentazione Vboost, nonché terminali di 41, 51 di comando collegati al terminale di ingresso In5 del secondo blocco 20 sample and hold.

Inoltre, il primo transistor N4 di sample and hold presenta un secondo terminale 43 di conduzione collegato al terminale di uscita Out6.

10 In particolare, secondo la presente forma di realizzazione, il secondo terminale 43 di conduzione del primo transistor N4 di sample and hold è collegato al primo terminale 67 di conduzione del terzo transistor N3 di polarizzazione del primo blocco 25 di polarizzazione.

15 Il secondo transistor N5 presenta a sua volta un secondo terminale 53 di conduzione collegato al terminale di uscita Out del circuito generatore 100.

20 Opportunamente, il secondo blocco 20 sample and hold comprende, inoltre, una capacità C interposta tra il terminale di ingresso In5 ed il primo riferimento di tensione V1, in particolare una massa.

25 Secondo la presente invenzione, l'amplificatore operazionale 12 pilota il secondo blocco 20 sample and hold con la tensione comparata Vout fornita sul terminale Out3 di uscita dai mezzi comparatori 12, ottenuta mediante confronto tra la prima tensione Vdrain e la seconda tensione VBL di uscita presenti rispettivamente sul

primo e secondo terminale di ingresso, In2 e In3, di tali mezzi comparatori 12.

Inoltre, il secondo blocco 20 sample and hold, con una architettura ad inseguimento di source, comprende il primo e secondo
5 transistore di sample and hold, N4 ed transistore N5, aventi caratteristiche elettriche sostanzialmente uguali e quindi tensioni presenti sui secondi terminali di conduzione, rispettivamente 43 e 53, sostanzialmente corrispondenti. In tal modo, la cella di riferimento xN è polarizzata in retroazione con una tensione che è sostanzialmente pari
10 alla tensione di riferimento Vcg, presente sul terminale di uscita Out del circuito generatore 100, tensione con la quale sono polarizzate, durante una fase di lettura, le celle della matrice del dispositivo di memoria.

Secondo la presente forma di realizzazione, il primo ed il secondo transistore di sample and hold, N4 ed N5, del secondo blocco
15 20 sample and hold nonché il primo, il secondo ed il terzo transistore di polarizzazione, N1, N2 ed N3, del primo blocco 25 di polarizzazione sono del tipo MOS, in particolare a canale N.

Inoltre, nella presente forma di realizzazione il convertitore corrente-tensione che realizza i mezzi convertitori SE è formato da un
20 primo ramo circuitale 92 e da un secondo ramo circuitale 93, interposti tra il primo riferimento di alimentazione Vdd ed il primo riferimento di tensione V1, in particolare la massa. Più in particolare, il primo ramo circuitale 92 comprende in serie un primo transistore P2 ed un secondo transistore N6 di conversione, mentre il secondo ramo circuitale 93
25 comprende in serie un terzo transistore P1 ed un quarto transistore N7

di conversione.

Opportunamente, il secondo transistor N6 ed il quarto transistor N7 di conversione sono collegati a specchio di corrente con rispettivi terminali 70, 75 di comando collegati fra loro e collegati al primo nodo 80.

Il secondo transistor N6 di conversione presenta inoltre una configurazione a diodo con un primo terminale 71 di conduzione collegato al proprio terminale 70 di comando ed un secondo terminale 72 di conduzione collegato al primo riferimento di tensione V1. Il quarto transistor N7 di conversione presenta, invece, un primo terminale 76 di conduzione collegato al nodo comune 40 ed un secondo terminale 77 di conduzione collegato al primo riferimento di tensione V1.

Ulteriormente, il primo ed il terzo transistor di conversione, P2 e P1, sono collegati tra loro a specchio di corrente e presentano rispettivi primi terminali 82, 87 di conduzione connessi al primo riferimento di al Vdd, secondi terminali 83, 88 di conduzione collegati rispettivamente al secondo ed al quarto transistor di conversione, N6 ed N7, nonché terminali 81, 86 di comando collegati fra loro e ad un terzo riferimento di tensione, in particolare una ulteriore tensione Vp di polarizzazione.

Secondo la presente forma di realizzazione, il secondo transistor ed il quarto transistor di conversione, N6 ed N7, sono preferibilmente del tipo MOS a canale N, mentre il primo transistor P2 ed il terzo transistor P1 di conversione sono del tipo MOS a canale P ed hanno caratteristiche elettriche sostanzialmente uguali.

Per quanto riguarda il funzionamento, analizziamo di seguito il comportamento del circuito generatore 100 quando il primo blocco 25 di polarizzazione ha il primo segnale di inizializzazione Reset disattivato ed il secondo segnale di inizializzazione NresetLS attivato.

5 In particolare, la tensione comparata V_{out} presente al terminale di uscita Out3 dei mezzi comparatori 12, carica la capacità C del secondo blocco 20 sample and hold e polarizza il primo ed il secondo transistore di sample and hold, N4 ed N5. La tensione presente al terminale di uscita Out6 del secondo blocco 20 sample and hold è
10 sostanzialmente pari alla tensione di riferimento V_{cg} presente al terminale di uscita Out del circuito generatore 100. La cella di riferimento xN è polarizzata quindi in retroazione, attraverso il terzo transistore di polarizzazione N3 attivo del primo blocco 25 di polarizzazione, con la tensione presente al terminale di uscita Out6 del
15 secondo blocco 20 sample and hold.

Contemporaneamente, i mezzi convertitori SE consentono di variare il valore della prima tensione V_{drain} di uscita presente sul loro primo terminale di uscita Out1 in modo tale che la corrente I_{cell} della cella di riferimento xN sia pari alla corrente I_{ref} del primo generatore
20 I_{g1} .

In modalità temporizzata, la fase di polarizzazione commuta il primo ed il secondo segnale di inizializzazione, Reset ed NresetLS, disattivando in particolare il terzo transistore N3 di polarizzazione ed attivando il primo ed il secondo transistore N1 e N2 di polarizzazione.

25 Secondo la presente forma di realizzazione, è opportuno che il

terzo transistoro N3 di polarizzazione sia disattivato prima dell'attivazione del primo transistoro N1 di polarizzazione in modo tale da evitare una possibile scarica tramite un ramo circuitale connesso tra il secondo riferimento di alimentazione Vboost ed il primo riferimento di tensione V1 e comprendente il primo transistoro N4 di sample and hold, il terzo transistoro N3 di polarizzazione e il secondo transistoro N2 di polarizzazione.

Durante la fase di polarizzazione, la cella di riferimento xN è polarizzata dal primo blocco 25 di polarizzazione. In particolare, il primo transistoro N1 di polarizzazione, mediante il quarto terminale 34 di floating gate, polarizza la regione di floating gate della cella di riferimento xN alla prefissata tensione V2 di polarizzazione. Nel contempo, il terzo terminale 33 di comando della cella di riferimento xN è polarizzato al valore di tensione del primo riferimento di tensione V1, in particolare alla massa, mediante il secondo transistoro N2 di polarizzazione.

Vantaggiosamente e contemporaneamente alla polarizzazione della cella di riferimento xN, secondo la presente invenzione, grazie alla capacità C nel secondo blocco 20 sample and hold, la tensione ai terminali 41 e 51 di comando rispettivamente del primo e secondo transistoro di sample and hold, N4 ed N5, è mantenuta sostanzialmente costante. Questo assicura una tensione di riferimento Vcg costante sul terminale di uscita Out del circuito generatore 100.

E' bene notare che qualora la tensione V2 di polarizzazione sia posta ad un valore di tensione nulla si ha una scarica completa delle

cariche contenute nella regione di floating gate della cella di riferimento xN.

Ulteriormente, qualora la cella di riferimento xN è opportunamente sostituita con un buffer di N celle poste in parallelo, ciascuna cella presenta un primo terminale 31 di conduzione collegato al nodo comune 40, un secondo terminale 32 di conduzione collegato al primo riferimento di tensione V1 ed un terminale 33 di comando collegato al terminale di uscita Out del circuito generatore 100 mediante il primo blocco 25 di polarizzazione. In tal caso, Il circuito generatore 100 presenta, inoltre, interposto tra il secondo riferimento di alimentazione Vdd ed il nodo comune 40 un secondo generatore di corrente costante, illustrato nel seguito con riferimento alla Figura 3.

Inoltre, secondo tale configurazione, il primo transistor N1 di polarizzazione polarizza alla prefissata tensione V2 di polarizzazione le regioni di floating gate di ciascuna cella di riferimento xN del buffer essendo vantaggiosamente possibile collegare tutti i quarti terminali di controllo delle celle di riferimento xN ad un unico nodo comune collegato al primo terminale di uscita Out4 del primo blocco 25 di polarizzazione.

Ora con riferimento alla figura 3, è descritta una variante di realizzazione, del circuito generatore secondo la presente invenzione, complessivamente indicato con 200, per la quale particolari e parti cooperanti aventi la medesima struttura e funzione saranno indicati con i medesimi numeri e sigle di riferimento.

Vantaggiosamente, il circuito generatore 200 comprende un

primo blocco di polarizzazione 125 che, rispetto al primo blocco di polarizzazione 25 descritto precedentemente, comprende un ulteriore quarto transistor N10 di polarizzazione collegato in parallelo al primo transistor N1 di polarizzazione con un primo terminale 95 di
5 conduzione collegato al primo terminale di uscita Out4 del primo blocco di polarizzazione 125, un secondo terminale 96 di conduzione collegato al secondo riferimento di tensione V2, in particolare una tensione di polarizzazione ed un terminale 97 di comando pilotato da un terzo segnale di inizializzazione Nreset.

10 In particolare, il terzo segnale di inizializzazione Nreset è il negato del primo segnale di inizializzazione Reset ed ha, preferibilmente, analoghi livelli di tensione.

Il circuito generatore 200 presenta, inoltre, interposto tra il secondo riferimento di alimentazione Vdd ed il nodo comune 40 un
15 secondo generatore Ig2 di corrente $(N-1)I_{Ref}$ costante, dove N è come indicato precedentemente il numero delle celle di riferimento xN.

Vantaggiosamente, il primo ed il quarto transistor di polarizzazione, N1 ed N10, sono tra loro sostanzialmente corrispondenti, ed in particolare presentano rispettivamente una prima capacità
20 parassita Cgd1 ed una seconda capacità parassita Cg2, tra i rispettivi primi terminali 61, 95 di conduzione ed i terminali 63, 97 di comando, sostanzialmente analoghe, ed ancor più in particolare, attive in modo alternato. Opportunamente, questo, permette di annullare reciprocamente l'eventuale effetto negativo che ciascuna prima e
25 seconda capacità parassita, Cg1 e Cg2, ha sulla cella di riferimento xN.

Ulteriormente, il primo blocco di polarizzazione 125 presenta una capacità di disaccoppiamento C1 collegata tra il terminale di ingresso In5 del secondo blocco 20 sample and hold ed il primo riferimento di tensione V1. Opportunamente, la capacità di disaccoppiamento C1 consente di filtrare eventuali disturbi parassiti durante il funzionamento del primo blocco 125 di polarizzazione.

Vantaggio principale del circuito generatore realizzato secondo la presente invenzione è quello di garantire una polarizzazione ad una tensione predefinita di riferimento per ciascuna cella di riferimento xN del circuito stesso, periodicamente e ripetitivamente senza l'impiego di raggi ultravioletti. Questo è reso possibile grazie alla presenza di terminali di floating gate delle celle di riferimento accessibili esternamente che periodicamente sono polarizzati mediante il primo blocco di polarizzazione alla prefissata tensione V2 di polarizzazione.

Un altro vantaggio della presente invenzione è dato dal fatto che la polarizzazione della cella di riferimento xN avviene in modo indipendente dalle dimensioni della cella stessa. Infatti nel caso di più celle di riferimento xN in parallelo tutti i quarti terminali di controllo sono collegati ad un unico nodo comune e collegati al primo terminale di uscita del primo blocco di polarizzazione.

Un ulteriore vantaggio, del circuito generatore realizzato secondo l'invenzione, è legato alla presenza nel primo blocco di polarizzazione del secondo transistor di polarizzazione il quale consente di smorzare al terzo terminale di comando delle celle di riferimento xN, eventuali effetti di leakage dovuti al primo transistor di

polarizzazione.

Un altro vantaggio del presente circuito generatore è che la o
le celle di riferimento xN sono polarizzate alla tensione di riferimento
 V_{cg} presente al terminale di uscita Out del circuito stesso, tensione con
5 la quale vengono polarizzate le celle della matrice, consentendo così alle
celle di riferimento xN di seguire costantemente il comportamento delle
celle della matrice.

Ulteriormente, la particolare conformazione ad inseguimento
di source del secondo blocco sample and hold compreso nel circuito
10 generatore secondo l'invenzione consente di pilotare una pluralità di
celle della matrice evitando la presenza al terminale di uscita Out del
circuito stesso di una capacità di filtro di valore particolarmente elevato.
Questo consente al circuito generatore secondo l'invenzione di ridurre
l'area occupata risultando più compatto ed inoltre di poter essere
15 ottenuti a costi ridotti.

Un ulteriore vantaggio del presente circuito generatore sono i
ridotti tempi di realizzo, infatti la presenza del primo blocco di
polarizzazione consente di ridurre le fasi produttive evitando l'impiego di
raggi ultravioletti UV per la cancellazione completa della o delle celle di
20 riferimento.

La presente invenzione si riferisce altresì ad un metodo per
generare una tensione di riferimento in dispositivi di memoria
semiconduttori a matrici di celle non volatili, mediante un circuito
generatore del tipo precedentemente descritto per il quale particolari e
25 parti cooperanti aventi la medesima struttura e funzione saranno

indicati con i medesimi numeri e sigle di riferimento.

Il metodo prevede le fasi di:

- 5 - attivare detta almeno una cella di riferimento xN per generare una corrente I_{cell} sul primo terminale 31 di conduzione della cella stessa;
- attivare i mezzi convertitori SE per fornire sul loro primo terminale di uscita Out1, e quindi sul nodo comune 40, un primo valore di tensione V_{drain} di uscita e sul loro secondo terminale di uscita Out2 un secondo valore di tensione V_{BL} di uscita;
- 10 - attivare i mezzi comparatori 12 per fornire al loro terminale di uscita Out3 un valore di tensione comparata V_{out} , ottenuta mediante confronto tra la prima V_{drain} e la seconda tensione V_{BL} di uscita del mezzi convertitore SE;
- pilotare in retroazione la cella di riferimento xN fornendo
15 al suo terzo terminale 33 di comando almeno una porzione di detta tensione comparata V_{out} .

Vantaggiosamente, il metodo, secondo la presente invenzione, prevede una fase di:

- 20 contattare esternamente mediante un quarto terminale 34 la regione di floating gate della cella di riferimento xN;
- collegare il quarto terminale 34 della cella di riferimento xN con un primo terminale Out4 di uscita di un primo blocco di polarizzazione del circuito generatore.

- 25 Opportunamente, secondo l'invenzione, il metodo prevede una fase di polarizzazione periodica basata su di un primo segnale di

inizializzazione Reset della regione di floating gate della cella di riferimento xN, comandando periodicamente il primo blocco di polarizzazione mediante il primo segnale di inizializzazione Reset.

Il metodo prevede inoltre pilotare il terminale 63 di comando del primo transistor N1 di polarizzazione mediante il primo segnale di
5 inizializzazione Reset e quindi di attivare tale primo transistor N1 di polarizzazione in modo temporizzato.

Il metodo prevede, in una forma di realizzazione preferita, che il secondo riferimento di tensione V2, in particolare la tensione di
10 polarizzazione, sia una massa.

Opportunamente, il metodo prevede, inoltre, pilotare il terminale 66 di comando del secondo transistor N2 di polarizzazione mediante il primo segnale Reset.

Il metodo prevede, inoltre, di comandare in retroazione con
15 almeno una porzione della tensione di riferimento Vcg il terzo terminale 33 di comando della cella di riferimento xN.

Opportunamente, il metodo prevede di pilotare il terminale di controllo del terzo transistor N3 con un secondo segnale NresetLS temporizzato.

20 Vantaggiosamente, inoltre, il metodo secondo la presente invenzione, prevede che il secondo segnale di inizializzazione NresetLS sia il negato del primo segnale di inizializzazione Reset.

Opportunamente, il metodo prevede ulteriormente di attivare il primo segnale di inizializzazione Reset con un primo tempo T1 di
25 ritardo rispetto alla disattivazione del secondo segnale di inizializzazione

NresetLS, nonché, di disattivare il primo segnale di inizializzazione Reset con un secondo tempo T2 di anticipo rispetto alla attivazione del secondo segnale di inizializzazione NresetLS, come illustrato in figura 4. Preferibilmente, inoltre, il metodo prevede un livello alto di tensione per il secondo segnale di inizializzazione NresetLS superiore ad un livello alto di tensione per il primo segnale di inizializzazione Reset.

Ulteriormente preferibilmente, tale livello attivo più elevato del secondo segnale di inizializzazione NresetLS ha un valore pari alla sovratensione di alimentazione Vboost.

10 In tal modo, il metodo consente di attivare il primo ed il secondo transistor di polarizzazione, N1 e N2, quando il terzo transistor di polarizzazione N3 è spento, evitando il formarsi di possibili rami circuitali di scarica verso il primo riferimento di tensione V1, come meglio sarà spiegato in seguito.

15 Opportunamente, in una forma di realizzazione preferita, la seconda tensione Vboost di alimentazione ha un livello di tensione maggiore della prima tensione Vdd di alimentazione.

L'opportuna commutazione, prevista dal metodo, del primo segnale di inizializzazione Reset e del secondo segnale di inizializzazione NresetLS evita un possibile ramo di scarica composto dal primo transistor N4 di sample and hold, dal terzo transistor N3 di polarizzazione e dal secondo transistor N2 di polarizzazione tra il secondo riferimento di alimentazione Vboost ed il primo riferimento di tensione V1.

25 Vantaggiosamente, la fase di polarizzazione del metodo

secondo l'invenzione, prevede di:

- caricare la capacità C del secondo blocco 20 sample and hold al valore della tensione comparata Vout fornita dai mezzi comparatori 12;

5 - disattivare tali mezzi comparatori 12;

- disattivare il terzo transistore N3 di polarizzazione del primo blocco di polarizzazione mediante il secondo segnale di inizializzazione NresetLS attivando in sequenza, con un ritardo pari al primo tempo di ritardo T1, il primo segnale di inizializzazione Reset e, di
10 conseguenza, il primo ed il secondo transistore di polarizzazione, N1 ed N2, per consentire la polarizzazione della regione di floating gate della cella di riferimento xN al valore del secondo riferimento di tensione V2, vale a dire della prefissata tensione di polarizzazione.

La fase di polarizzazione prevede ulteriormente di disattivare il
15 primo ed il secondo transistore di polarizzazione, N1 ed N2, con la disattivazione del primo segnale di inizializzazione Reset ed attivando - dopo un ritardo pari al secondo tempo di anticipo T2 - il terzo transistore N3 di polarizzazione.

Il metodo prevedere quindi di ripetere ciclicamente la fase di
20 polarizzazione ad intervalli temporizzati.

Il metodo prevede ulteriormente una fase di mantenimento in
tensione del terminale di uscita Out mediante il secondo blocco 20 sample and hold, ed in particolare la capacità C collegata tra il terminale di uscita Out3 dei mezzi comparatori 12 ed il primo
25 riferimento di tensione V1.

Il metodo, utilizzando la variante di realizzazione del circuito realizzato secondo la presente invenzione illustrata in figura 3, prevede inoltre una fase di pilotaggio del quarto transistor N10 di polarizzazione mediante il terzo segnale di inizializzazione Nreset, opportunamente opposto al primo segnale di inizializzazione Reset con corrispondenti livelli di tensione.

In particolare, il primo transistor N1 di polarizzazione viene così attivato quando il quarto transistor N10 di polarizzazione è disattivato.

Vantaggio principale del metodo secondo la presente invenzione è la semplicità e l'efficienza con la quale è possibile, in modo ciclico e ripetitivo, riportare la cella di riferimento xN alla prefissata tensione V2 di polarizzazione, polarizzando con il primo blocco di polarizzazione la regione di floating gate della cella di riferimento xN.

Un ulteriore vantaggio, della presente invenzione, è legato al fatto che nel caso in cui la prefissata tensione V2 di polarizzazione è nulla, il metodo consente di riportare ciclicamente e ripetitivamente la cella di riferimento xN alla condizione "vergine", senza ricorrere all'utilizzo dei raggi ultravioletti. Inoltre, il metodo dell'invenzione consente di riportare alla condizione "vergine" la cella di riferimento xN in modo completamente indipendentemente dalle dimensioni fisiche della cella stessa.

Un ulteriore notevole vantaggio del metodo, secondo la presente invenzione, è dovuto al fatto che tale metodo permette durante la fase di polarizzazione della cella di riferimento xN, di mantenere la

tensione di riferimento V_{cg} , al terminale di uscita Out del circuito stesso, costante. In tal modo le celle di memoria della matrice associata al circuito generatore secondo l'invenzione non risentono della fase di polarizzazione della cella di riferimento xN , ottenendo così un circuito più efficiente, privo di tempi di attesa.

5

Nel caso in cui il circuito presenti più celle di riferimento, in parallelo, il metodo prevede di collegare i rispettivi quarti terminali di controllo di tali celle al primo terminale $G1$ di conduzione del primo transistore $N1$ di polarizzazione e quindi prevede di realizzare la fase di polarizzazione contemporaneamente su dette le celle di riferimento. Il metodo prevede di poter ripetere ciclicamente e periodicamente tale fase di polarizzazione in base alla temporizzazione del primo segnale di inizializzazione Reset.

10

RIVENDICAZIONI

1. Circuito generatore di una tensione di riferimento (V_{cg}) su un terminale di uscita (Out) connesso ad una matrice di celle di memoria non volatili e comprendente:

5 - mezzi convertitori (SE), connessi ad un primo riferimento di alimentazione (V_{dd}) ed aventi almeno un primo terminale uscita (Out1) collegato ad un nodo comune (40) ed un secondo terminale di uscita (Out2);

10 - mezzi comparatori (12), connessi ad un secondo riferimento di alimentazione (V_{boost}) ed inseriti tra detto nodo comune (40) e detto terminale di uscita (Out) di detto circuito generatore (100, 200), detti mezzi comparatori (12) avendo almeno un primo ed un secondo terminale di ingresso ($In1$, $In2$) connessi rispettivamente a detti primo e secondo terminale di uscita (Out1, Out2) di detti mezzi
15 convertitori (SE) nonché un terminale di uscita (Out3) atto a fornire una tensione comparata (V_{out}) data dal confronto tra un primo ed un secondo valore di tensione (V_{drain} , V_{BL}) presenti su detti primo e secondo terminale di ingresso ($In1$, $In2$); nonché

20 - almeno una cella di riferimento (xN) inserita tra detto nodo comune (40) ed un primo riferimento di tensione ($V1$);

 caratterizzato dal fatto che detta almeno una cella di riferimento (xN) comprende un terminale di contatto (34) con una sua regione di floating gate connesso ad un primo blocco di polarizzazione (25, 125), avente a sua volta un terminale di ingresso ($In4$) collegato a
25 detto terminale di uscita (Out) di detto circuito generatore (100, 200) ed

essendo atto a polarizzare periodicamente detto terminale di contatto di floating gate (34) ad una tensione di polarizzazione di un secondo riferimento di tensione (V2).

2. Circuito generatore (100, 200) secondo la rivendicazione
5 1, caratterizzato dal fatto che detto primo blocco di polarizzazione (25, 125) comprende almeno un primo transistor di polarizzazione (N1) avente un primo terminale (61) di conduzione collegato a detto terminale di contatto di floating gate (34) in corrispondenza di un primo terminale di uscita (Out4) di detto primo blocco di polarizzazione (25,
10 125), un secondo terminale (62) di conduzione collegato a detto secondo riferimento di tensione (V2) ed un terzo terminale (63) di comando pilotato da un primo segnale di inizializzazione (Reset) per polarizzare periodicamente detto terminale di contatto di floating gate (34).

3. Circuito generatore (100, 200) secondo la rivendicazione
15 2, caratterizzato dal fatto che detto primo blocco di polarizzazione (25, 125) comprende ulteriormente un secondo transistor di polarizzazione (N2) inserito tra un terminale di comando (33) di detta cella di riferimento (xN), in corrispondenza di un secondo terminale di uscita (Out5) di detto primo blocco di polarizzazione (25, 125), e detto primo
20 riferimento di tensione (V1), nonché un terminale di comando (66) pilotato da detto primo segnale di inizializzazione (Reset).

4. Circuito generatore (100, 200) secondo la rivendicazione
3, caratterizzato dal fatto di comprende ulteriormente un terzo transistor di polarizzazione (N3) avente un primo terminale (67) di
25 conduzione connesso a detto quarto terminale di ingresso (In4) di detto

primo blocco di polarizzazione (25, 125), un secondo terminale (68) di conduzione connesso a detto secondo terminale di uscita (Out5) di detto primo blocco di polarizzazione (25, 125) ed un terzo terminale (69) di comando pilotato da un secondo segnale di inizializzazione (NresetLS).

5 5. Circuito generatore (100, 200) secondo la rivendicazione 4, caratterizzato dal fatto che detto secondo segnale di inizializzazione (NresetLS) è opposto a detto primo segnale di inizializzazione (Reset).

10 6. Circuito generatore (100, 200) secondo la rivendicazione 4, caratterizzato dal fatto che detto secondo segnale di inizializzazione (NresetLS) ha un valore di tensione, in corrispondenza del suo livello attivo più elevato, superiore rispetto a detto primo segnale di
15 inizializzazione Reset e superiore anche a detto primo riferimento di alimentazione (Vdd), in modo tale da permettere l'attivazione di detto terzo transistor di polarizzazione (N3) di detto primo blocco di polarizzazione (25, 125).

20 7. Circuito generatore (100, 200) secondo la rivendicazione 6, caratterizzato dal fatto che detto secondo segnale di inizializzazione (NresetLS) ha un valore di tensione, in corrispondenza del suo livello attivo più elevato, pari a detto secondo riferimento di alimentazione (Vboost).

25 8. Circuito generatore (100, 200) secondo la rivendicazione 7, caratterizzato dal fatto che detto primo segnale di inizializzazione (Reset) è attivato con un primo tempo (T1) di ritardo rispetto ad una disattivazione di detto secondo segnale di inizializzazione (NresetLS) ed è disattivato con un secondo tempo (T2) di anticipo rispetto alla

attivazione di detto secondo segnale di inizializzazione (NresetLS).

9. Circuito generatore (100, 200) secondo la rivendicazione 4, caratterizzato dal fatto di comprendere ulteriormente un secondo blocco (20) sample and hold inserito tra un terminale di uscita (Out3) di
5 detti mezzi comparatori (12) e detto terminale di uscita (Out) di detto circuito generatore (100, 200), alimentato da detto secondo riferimento di alimentazione (Vboost) ed avente un terminale di uscita (Out6) collegato a detto terminale di ingresso (In4) di detto primo blocco di polarizzazione (25, 125).

10 10. Circuito generatore (100, 200) secondo la rivendicazione 9, che detto secondo blocco (20) sample and hold comprende un primo ed un secondo transistor di sample and hold (N4, N5) collegati in configurazione ad inseguimento di source ed inseriti in cascata detto terminale di uscita (Out3) di detti mezzi comparatori (12) e detto
15 terminale di uscita (Out) di detto circuito generatore (100, 200), nonché una capacità (C) inserita tra detto terzo terminale di uscita (Out3) di detti mezzi comparatori (12) e detto primo riferimento di tensione (V1).

11. Circuito generatore (100, 200) secondo la rivendicazione 10, caratterizzato dal fatto che detto primo e secondo transistor di
20 sample and hold (N4, N5) hanno rispettivi terminali di comando (41,51) collegati a detto terminale di uscita (Out3) di detti mezzi comparatori (12), primi terminali di conduzione (42,52) connessi a detto secondo riferimento di alimentazione (Vboost), e secondi terminali di conduzione (43, 53) connessi rispettivamente a detto sesto terminale (33) di uscita
25 e detto quinto transistor (N2) presentando un secondo terminale (53) di

conduzione collegato a detto terminale di uscita (Out) di detto circuito generatore (100, 200).

12. Circuito secondo una o più delle rivendicazioni precedenti caratterizzato dal fatto di comprendere una pluralità di celle di riferimento (xN) poste in parallelo, ciascuna cella avendo un primo terminale di conduzione (31) collegato a detto nodo comune (40), nonché un secondo generatore (Ig2) di una corrente inserito tra detto primo riferimento di alimentazione (Vdd) e detto nodo comune (40), detto secondo generatore fornendo una corrente avente valore $(N-1) \cdot I_{ref}$, essendo N il numero di celle di detta pluralità di celle riferimento (xN) ed Iref un valore di corrente di riferimento fornita a detti mezzi convertitori (SE).

13. Circuito secondo una o più delle rivendicazioni precedenti caratterizzato dal fatto che detto primo blocco (25, 125) di polarizzazione comprende un quarto transistor di polarizzazione (N10) avente un primo terminale (95) di conduzione collegato a detto primo terminale di uscita (Out4) di detto primo blocco (25, 125) di polarizzazione, un secondo terminale (96) di conduzione collegato a detto secondo riferimento di tensione (V2) ed un terminale (97) di comando pilotato da un terzo segnale di inizializzazione (Nreset).

14. Circuito secondo la rivendicazione 20 caratterizzato dal fatto che detto terzo segnale di inizializzazione (Nreset) è opposto a detto primo segnale di inizializzazione (Reset).

15. Circuito secondo una o più delle rivendicazioni precedenti caratterizzato dal fatto che detto primo blocco di polarizzazione (25,

125) comprende una capacità (C1) di disaccoppiamento collegata tra detto terminale di ingresso (In4) di detto primo blocco di polarizzazione (25, 125) e detto primo riferimento di tensione (V1).

5 16. Circuito secondo una o più delle rivendicazioni precedenti caratterizzato dal fatto che detto primo riferimento di tensione (V1) di riferimento è una massa.

17. Circuito secondo una o più delle rivendicazioni precedenti caratterizzato dal fatto che detto secondo riferimento di tensione (V2) di riferimento è una massa.

10 18. Metodo per generare una tensione di riferimento (Vcg) su un terminale di uscita (Out) di un circuito generatore connesso ad una matrice di celle di memoria non volatili e comprendente mezzi convertitori (SE), alimentati da un primo riferimento di alimentazione (Vdd) e connessi in cascata a mezzi comparatori (12), a loro volta
15 alimentati da un secondo riferimento di alimentazione (Vboost) e atti a generare detta tensione comparata (Vout) data dal confronto tra un primo ed un secondo valore di tensione (Vdrain, VBL) forniti da detti
20 mezzi convertitori (SE), nonché almeno una cella di riferimento (xN) inserita tra un nodo comune (40) ed un primo riferimento di tensione (V1), detto nodo comune essendo connesso in ingresso a detti mezzi
comparatori (12), il metodo comprendendo la fase di fornire in retroazione verso un terminale di comando (33) di detta cella di riferimento (xN) almeno una porzione di detta tensione comparata (Vout) ed essendo caratterizzato dal fatto di prevedere le fasi di:

25 - comandare un terminale di contatto di una regione di

floating gate (34) di detta almeno una cella di riferimento (xN) mediante un primo blocco di polarizzazione (25, 125);

5 - polarizzare periodicamente ad un valore di tensione di polarizzazione (V2) detto terminale di contatto di regione di floating gate (34) di detta almeno una cella (xN) di riferimento sulla base di un primo segnale di inizializzazione (Reset) fornito a detto primo blocco di polarizzazione (25, 125) per scaricare eventuali cariche contenute in detta regione di floating gate di detta cella di riferimento (xN).

10 19. Metodo secondo la rivendicazione 18, caratterizzato dal fatto di comprendere ulteriormente una fase di pilotare un terminale di comando (63) di un primo transistor di polarizzazione (N1) di detto primo blocco di polarizzazione (25, 125) mediante detto primo segnale di inizializzazione (Reset), detto primo transistor di polarizzazione (N1) essendo connesso a detto terminale di comando di floating gate (34) di
15 detta almeno una cella di riferimento (xN).

20 20. Metodo secondo la rivendicazione 19, caratterizzato dal fatto di comprendere ulteriormente una fase di pilotare un terminale di comando (66) di un secondo transistor di polarizzazione (N2) di detto primo blocco di polarizzazione (25, 125) mediante detto primo segnale di
20 inizializzazione (Reset), detto secondo transistor di polarizzazione (N2) essendo connesso ad un terminale di comando (33) di detta almeno una cella di riferimento (xN).

25 21. Metodo secondo la rivendicazione 20, caratterizzato dal fatto di comprendere ulteriormente una fase di pilotare un terminale di comando (69) di un terzo transistor di polarizzazione (N3) di detto

5 primo blocco di polarizzazione (25, 125) mediante un secondo segnale di
inizializzazione (NResetLS), detto terzo transistor di polarizzazione (N3)
essendo connesso a detto terminale di comando (33) di detta almeno
una cella di riferimento (xN), nonché a detto terminale di uscita (Out) di
detto circuito generatore.

22. Metodo secondo la rivendicazione 21, caratterizzato dal
fatto che detto secondo segnale di inizializzazione (NresetLS) è opposto a
detto primo segnale di inizializzazione (Reset).

10 23. Metodo secondo la rivendicazione 22, caratterizzato dal
fatto che detto secondo segnale di inizializzazione (NresetLS) ha un
valore di tensione, in corrispondenza del suo livello attivo più elevato,
superiore rispetto a detto primo segnale di inizializzazione Reset e
superiore anche a detto primo riferimento di alimentazione (Vdd), in
modo tale da permettere l'attivazione di detto terzo transistor di
15 polarizzazione (N3) di detto primo blocco di polarizzazione (25, 125).

24. Metodo secondo la rivendicazione 23, caratterizzato dal
fatto che detto secondo segnale di inizializzazione (NresetLS) ha un
valore di tensione, in corrispondenza del suo livello attivo più elevato,
pari a detto secondo riferimento di alimentazione (Vboost).

20 25. Metodo secondo la rivendicazione 21, caratterizzato dal
fatto che detto primo segnale di inizializzazione (Reset) è attivato con un
primo tempo (T1) di ritardo rispetto ad una disattivazione di detto
secondo segnale di inizializzazione (NresetLS) ed è disattivato con un
secondo tempo (T2) di anticipo rispetto alla attivazione di detto secondo
25 segnale di inizializzazione (NresetLS).

26. Metodo secondo la rivendicazione 21, caratterizzato dal fatto di comprendere ulteriormente una fase di mantenimento in tensione di detto terminale di uscita (Out) di detto circuito generatore mediante un secondo blocco (20) sample and hold, inserito tra detti
5 mezzi comparatori (12) e detto terminale di uscita (Out), collegato a detto primo blocco di polarizzazione (25, 125) e comprendente almeno primo ed un secondo transistor di sample and hold (N4, N5) inseriti in configurazione ad inseguimento di source tra detto secondo riferimento di alimentazione (Vboost) e detto terminale di uscita (Out) di detto
10 circuito generatore, nonché una capacità (C) collegata tra un terminale di uscita (Out3) di detti mezzi comparatori (12) e detto primo riferimento di tensione (V1).

27. Metodo secondo la rivendicazione 23, caratterizzato dal fatto che detta fase di mantenimento in tensione comprende
15 ulteriormente le le fasi di:

- caricare detta capacità (C) di detto secondo blocco (20) sample and hold al valore di tensione comparata (Vout) fornita dai mezzi comparatori (12);
- disattivare detti mezzi comparatori (12);
- 20 - disattivare detto terzo transistor di polarizzazione (N3) di detto primo blocco di polarizzazione (25, 125) mediante detto secondo segnale di inizializzazione (Nreset) e con detto primo tempo (T1) di ritardo attivare detto primo e secondo transistor (N1, N2) di detto primo blocco di polarizzazione (25, 125) mediante detto primo segnale di
25 inizializzazione (Reset).

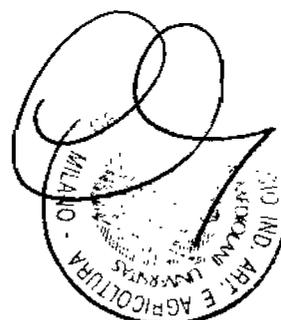
28. Metodo secondo la rivendicazione 21, caratterizzato dal fatto di comprendere ulteriormente una fase di pilotare un terminale di comando (69) di un quarto transistor di polarizzazione (N10) di detto primo blocco di polarizzazione (25, 125) mediante un terzo segnale di
5 inizializzazione (NReset), detto quarto transistor di polarizzazione (N10) essendo connesso a detto terminale di comando di floating gate (34) di detta almeno una cella di riferimento (xN), nonché a detto secondo riferimento di tensione (V2).

29. Metodo secondo la rivendicazione 28, caratterizzato dal fatto che detto terzo segnale di inizializzazione (Nreset) è opposto a detto
10 primo segnale di inizializzazione (Reset).

30. Metodo secondo una o più delle rivendicazioni da 18 a 29 caratterizzato dal fatto che detto primo riferimento di tensione (V1) di riferimento è una massa.

15 31. Metodo secondo una o più delle rivendicazioni da 18 a 30 caratterizzato dal fatto che detto secondo riferimento di tensione (V2) di riferimento è una massa.

Ing. Barbara FERRARI
N. Iscriz. ALBO 822 B



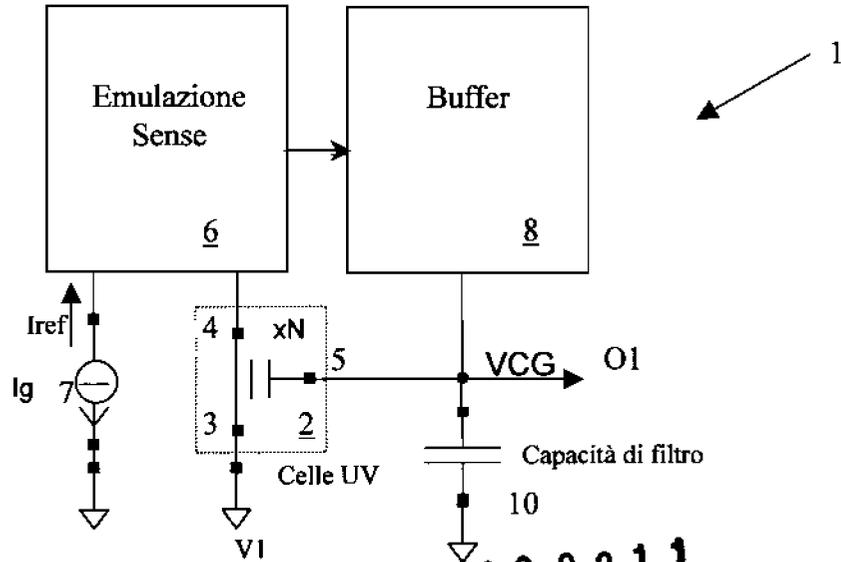


FIG. 1

MI2006 A002211

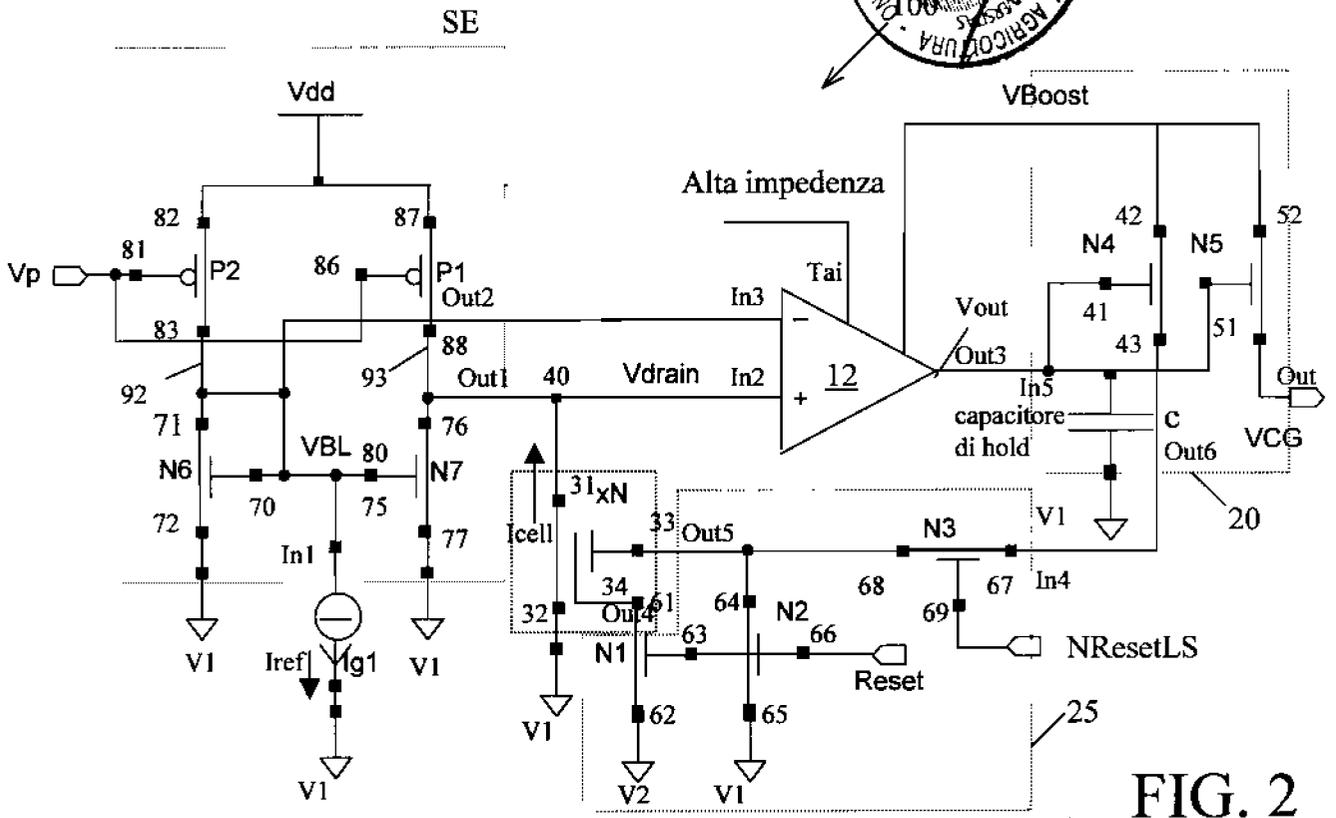
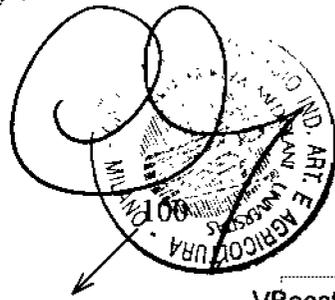


FIG. 2

Ing. Barbara FERRARI
N. Iscriz. ALBO 822 B

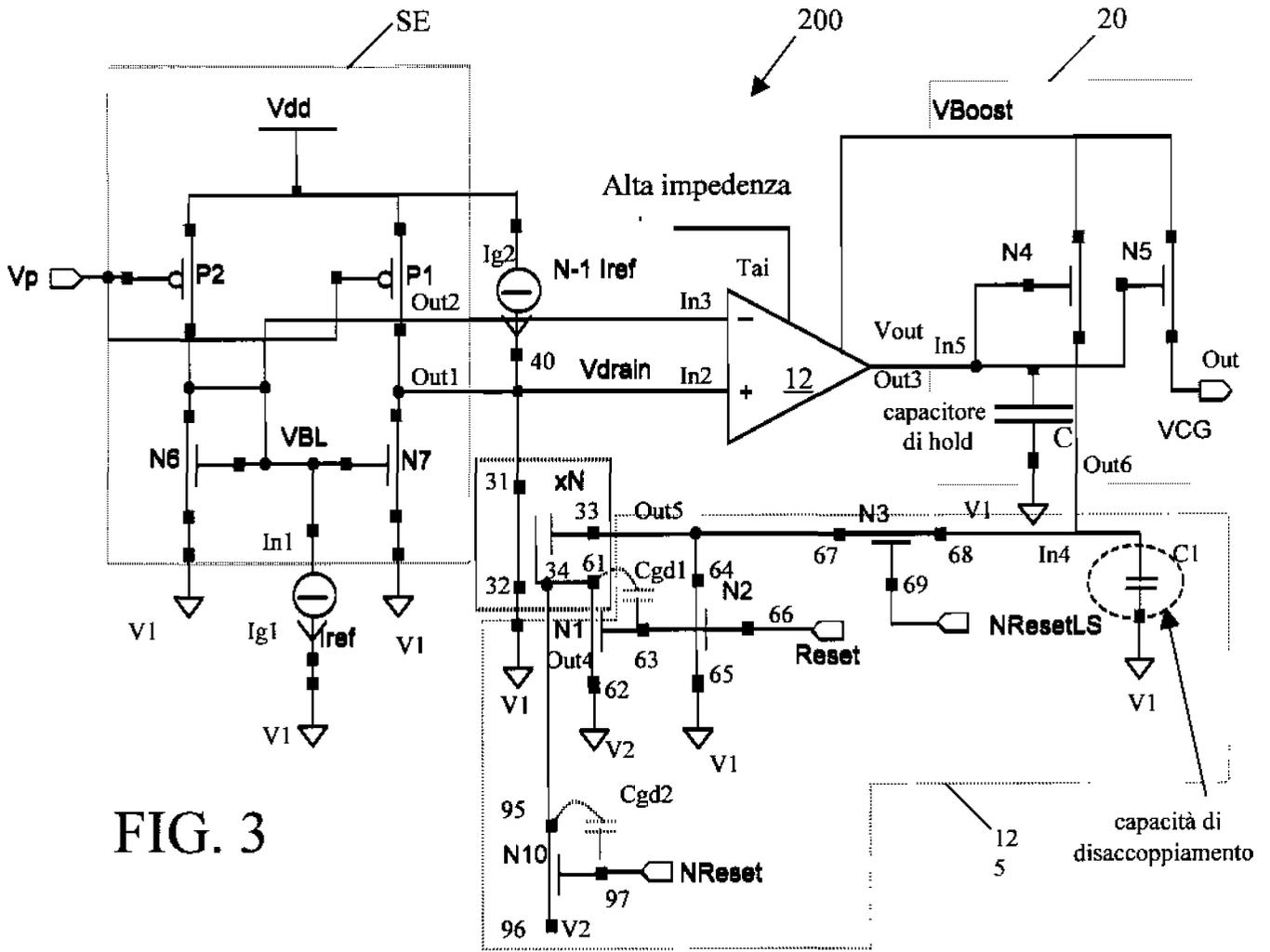


FIG. 3

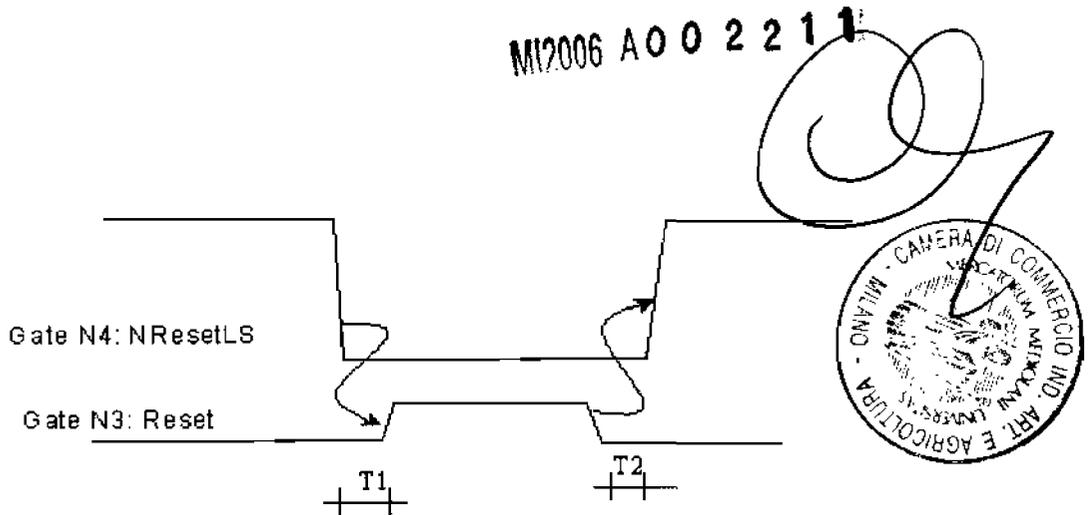


FIG. 4

Ing. Barbara FERRARI
 N. Iscriz. ALBO 822 B