

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 27/115 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월25일 10-0604189 2006년07월18일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0101014 2003년12월30일	(65) 공개번호 (43) 공개일자	10-2005-0069114 2005년07월05일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	동부일렉트로닉스 주식회사 서울 강남구 대치동 891-10
(72) 발명자	이상범 인천광역시부평구산곡2동한화아파트206-507
(74) 대리인	서천석

심사관 : 김상걸

(54) 단일 분리게이트 구조의 메모리 소자 및 그제조방법

요약

본 발명은 소노스(SONOS) 셀을 이용한 단일 분리게이트 구조를 가지는 비휘발성 메모리에 관한 것이다.

본 발명의 단일 분리게이트 구조의 메모리 소자 및 그 제조방법은 비휘발성 메모리 소자에 있어서, 실리콘 기판의 상부에 증착된 터널 산화막, 상기 터널 산화막의 상부에 형성된 트랩 질화막 및 상기 트랩 질화막의 상부에 증착된 블럭 산화막으로 이루어진 ONO 막; 상기 실리콘 기판 상부 게이트 형성 영역에 증착된 게이트 산화막; 상기 ONO 막 상부와 게이트 산화막 상부에 걸쳐 형성되는 폴리게이트; 상기 ONO 막 하부에 형성되는 드레인; 및 상기 게이트 산화막 하부에 형성되는 소오스로 이루어진 비휘발성 메모리 소자로서, 실리콘 기판의 상부에 터널 산화막을 증착하는 단계; 상기 터널 산화막의 상부에 트랩 질화막을 증착하는 단계; 상기 트랩 질화막의 상부에 블럭 산화막을 증착하여 ONO 막을 형성하는 단계; 상기 ONO 막을 패터닝하는 단계; 상기 실리콘 기판의 ONO 막을 제외한 액티브 영역에 게이트 산화막을 증착하는 단계; 상기 ONO 막 상부와 게이트 산화막 상부에 폴리 실리콘을 증착하는 단계; 상기 폴리 실리콘을 패터닝하여 게이트를 형성하는 단계; 및 상기 ONO 막 하부면에 드레인을 형성하고 게이트 산화막 하부면에 소오스를 형성하는 단계로 이루어진 단일 분리게이트 구조의 메모리 소자 제조방법으로 이루어짐에 기술적 특징이 있다.

따라서, 본 발명의 단일 분리게이트 구조의 메모리 소자 및 그 제조방법은 소노스 셀 구조를 단일 분리형 게이트 구조로 구현하여 메모리 소자의 셀 사이즈를 줄이고, 기존의 분리형 게이트가 가지고 있는 과소거 문제를 해결할 수 있다. 또한 드레인부 형성시 ONO 막을 통과하여 이온주입을 할 수 있어 공정상의 절차를 최소화하고, ONO 막을 논리회로공정 전에 형성함으로써 메모리 소자 특성에 영향을 미치지 않는 효과가 있다.

대표도

도 2

색인어

SONOS, ONO, 분리게이트

명세서

도면의 간단한 설명

도 1은 종래의 분리게이트를 갖는 비휘발성 메모리 소자의 단면도.

도 2는 본 발명에 의한 메모리 소자의 단면도.

도 3a 내지 도 3d는 본 발명에 의한 메모리 소자의 제조방법을 나타낸 공정도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 단일 분리게이트 구조의 메모리 소자 및 그 제조방법에 관한 것으로, 보다 자세하게는 논리회로공정 전에 ONO (oxide-nitride-oxide) 막을 형성하고, 상기 ONO 막을 포함하는 상부면에 폴리 실리콘을 형성시켜 단일 분리게이트를 가지는 메모리 소자구조와 그 제조방법에 관한 것이다.

일반적으로 반도체 메모리 장치는 크게 휘발성 메모리(volatile memory)와 비휘발성 메모리(non-volatile memory)로 구분된다. 휘발성 메모리의 대부분은 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory) 등의 RAM이 차지하고 있으며, 전원 인가시 데이터의 입력 및 보존이 가능하지만, 전원 제거시 데이터가 휘발되어 보존이 불가능한 특징을 가진다. 반면에, ROM(Read Only Memory)이 대부분을 차지하고 있는 비휘발성 메모리는 전원이 인가되지 않아도 데이터가 보존되는 특징을 가진다.

현재, 공정기술 측면에서 비휘발성 메모리 장치는 플로팅 게이트(floating gate) 계열과 두 종류 이상의 유전막이 2중 또는 3중으로 적층된 MIS(Metal Insulator Semiconductor) 계열로 구분된다.

플로팅 게이트 계열의 메모리 장치는 전위 우물(potential well)을 이용하여 기억 특성을 구현하며, 현재 플래시 EEPROM (Electrically Erasable Programmable Read Only Memory)으로 가장 널리 응용되고 있는 ETOX(EPROM Tunnel Oxide) 구조가 대표적이다.

반면에 MIS 계열은 유전막 벌크, 유전막-유전막 계면 및 유전막-반도체 계면에 존재하는 트랩(trap)을 이용하여 기억 기능을 수행한다. 현재 플래시 EEPROM으로 주로 응용되고 있는 MONOS/SONOS(Metal/Silicon ONO Semiconductor)구조가 대표적인 예이다.

도 1은 종래의 소노스(SONOS) 구조의 메모리 소자의 구조를 나타낸 단면도로서, 종래의 소노스 메모리 소자는 소오스(105)와 드레인(106)이 형성된 P형 실리콘 기판(100)에 터널 산화막(101), 트랩 질화막(102), 블럭 산화막(103)을 차례로 증착하고 그 위에 게이트(104)가 증착되어 있는 구조로 되어 있다. 소노스 메모리 소자는 게이트전압에 의해 실리콘 위의 얇은 산화막을 전하가 터널링해 실리콘질화막내의 트랩에 주입 또는 트랩으로부터 이완되는 메커니즘을 이용하는 전하 트랩형 소자다. 이 구조는 종래의 폴리 실리콘 대신 얇은 ONO막을 사용함으로써 높이를 줄일 수 있다. 또 수 나노미터 이하의 터널산화막을 사용하기 때문에 메모리 셀의 크기를 크게 줄여 고집적화에 유리하고 작동전압도 크게 낮출 수 있다.

그러나, 상기와 같은 종래의 소노스 셀을 이용한 메모리 소자의 경우에는 회로 작동시 비선택된 메모리 셀에서 발생한 누설전류가 마치 선택된 메모리 셀에서 흐르는 것으로 여겨져 프로그램된 상태에서는 이 선택된 셀이 소거된 것처럼 오독을 유도시키는 과잉 소거(over erase) 현상이 나타나는 등 소노스 셀이 메모리 소자의 논리회로특성에 영향을 미친다는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 종래 기술의 제반 단점을 해결하기 위한 것으로, 소노스 셀을 이용하여 단일 분리게이트 구조의 비휘발성 메모리를 구현하여 과잉 소거 문제점을 해결하고, ONO 구조를 형성한 후 논리회로공정을 함으로써 논리회로 특성에 영향을 미치지 않는 메모리 소자의 구조 및 제조방법을 제공함에 본 발명의 목적이 있다.

발명의 구성 및 작용

본 발명의 상기 목적은 본 발명의 단일 분리게이트 구조의 메모리 소자 및 그 제조방법은 비휘발성 메모리 소자에 있어서, 실리콘 기판의 상부에 증착된 터널 산화막, 상기 터널 산화막의 상부에 형성된 트랩 질화막 및 상기 트랩 질화막의 상부에 증착된 블럭 산화막으로 이루어진 ONO 막; 상기 실리콘 기판 상부 게이트 형성 영역에 증착된 게이트 산화막; 상기 ONO 막 상부와 게이트 산화막 상부에 걸쳐 형성되는 폴리게이트; 상기 ONO 막 하부에 형성되는 드레인; 및 상기 게이트 산화막 하부에 형성되는 소오스로 이루어진 비휘발성 메모리 소자와 그 제조방법에 의해 달성된다.

본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.

먼저, 도 2는 본 발명에 의한 메모리 소자의 단면도를 나타낸 것이다.

본 발명에 의한 단일 분리게이트 메모리 소자는 제 1 도전형의 실리콘 기판(200) 활성영역의 상부 일부분에 터널 산화막(201), 트랩 질화막(202) 및 블럭 산화막(203)이 증착되어 ONO막이 형성되어 있고, 상기 ONO막을 제외한 활성영역에 게이트 산화막(204)이 증착된다. 폴리 게이트(205)는 상기 ONO막 상부와 상기 게이트 산화막 상부면에 걸쳐서 형성되고, 상기 ONO 막 하부면과 게이트 산화막 하부면에 각각 드레인과 소오스 영역이 형성된다.

다음, 도 3a 내지 도 3d는 상기에 설명된 본 발명에 의한 메모리 소자의 제조방법을 나타낸 공정도이다.

본 발명에 의한 메모리 소자는 우선, 도 3a와 같이 활성영역이 정의된 실리콘으로 이루어진 반도체 기판상에 터널 산화막을 형성하고, 그 상부에 트랩 질화막을 형성한 후 블럭 산화막을 차례대로 적층하여 ONO구조를 형성한다.

이렇게 형성된 ONO 구조에 도 3b에 나타낸 바와 같이 사진 및 식각공정을 수행하고, 도 3c와 같이 ONO 구조 영역을 제외한 활성영역에 게이트 산화막을 증착한 다음 상기 ONO 구조 및 게이트 산화막 상부에 폴리실리콘을 증착한다.

도 3d와 같이 폴리실리콘을 사진 및 식각공정에 의하여 게이트를 형성하고, 게이트 산화막 하부면에 소오스 영역을, ONO 막 하부면에 드레인을 형성한다.

이후 콘택 및 금속배선 공정 등을 진행(미도시)하여 비휘발성 메모리 소자를 제조한다.

본 발명은 이상에서 살펴본 바와 같이 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시 예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

발명의 효과

따라서, 본 발명의 단일 분리게이트 구조의 메모리 소자 및 그 제조방법은 소노스 셀을 이용한 단일 분리게이트 구조를 형성함으로써 과잉 소거 셀에 의한 셀 어레이 동작 불량을 방지할 수 있다. 또한 통상적으로 메모리 소자에 적용되는 분리게이트는 폴리간 산화막을 사이에 두고 플로팅 게이트와 콘트롤 게이트가 형성된 2개 이상의 게이트를 사용하지만, 본 발명에서는 하나의 게이트로 분리게이트를 형성하여 셀 사이즈를 줄일 수 있는 효과가 있다. 또한 논리회로 공정 시작 전에 ONO 구조를 형성함으로써 논리회로 특성에 영향을 미치지 않는 메모리 소자를 제조할 수 있다.

(57) 청구의 범위

청구항 1.

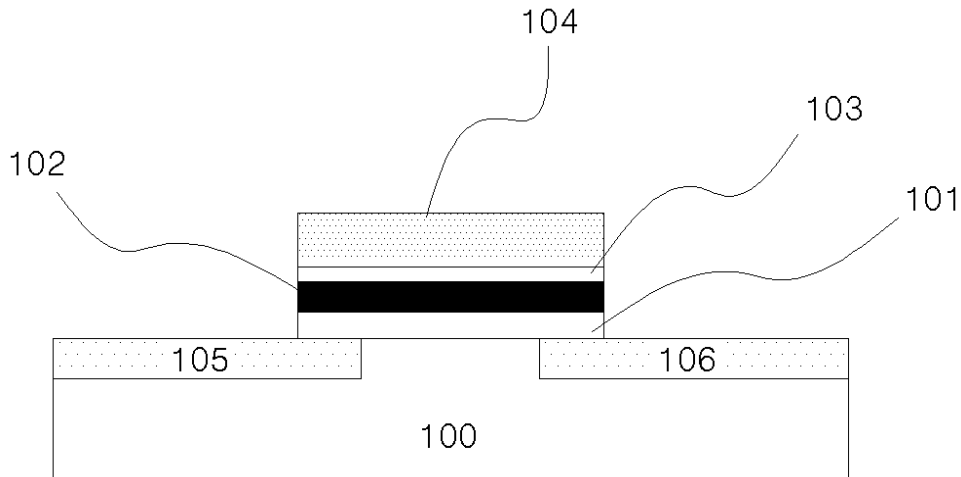
비휘발성 메모리 소자의 제조방법에 있어서,
 실리콘 기판의 상부에 터널 산화막을 증착하는 단계;
 상기 터널 산화막의 상부에 트랩 질화막을 증착하는 단계;
 상기 트랩 질화막의 상부에 블록 산화막을 증착하여 ONO 막을 형성하는 단계;
 상기 ONO 막을 패터닝하는 단계;
 상기 실리콘 기판의 ONO 막을 제외한 액티브 영역에 게이트 산화막을 증착하는 단계;
 상기 ONO 막 상부와 게이트 산화막 상부 일부면에 폴리 실리콘을 증착하는 단계;
 상기 폴리 실리콘을 패터닝하여 게이트를 형성하는 단계; 및
 상기 ONO 막 하부면에 드레인을 형성하고 게이트 산화막 하부면에 소오스를 형성하는 단계
 를 포함하여 이루어짐을 특징으로 하는 단일 게이트 구조의 메모리 소자 제조방법.

청구항 2.

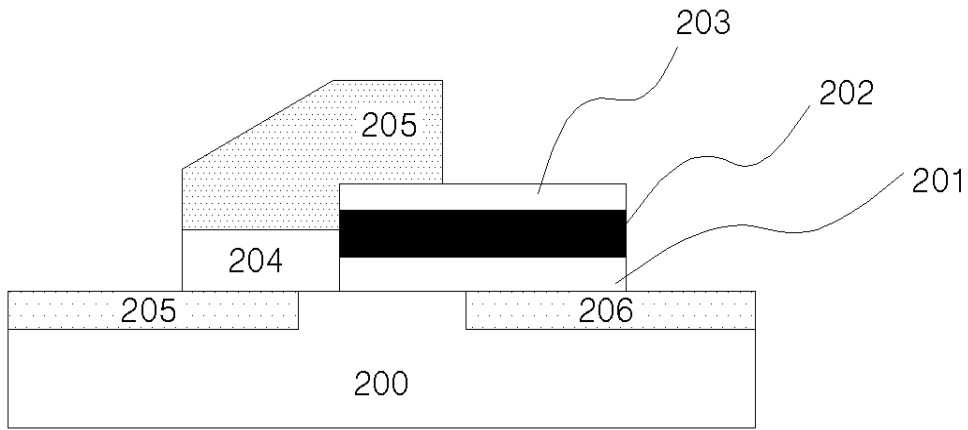
삭제

도면

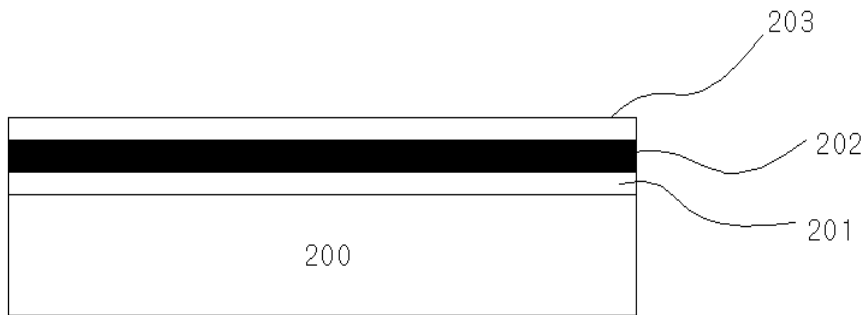
도면1



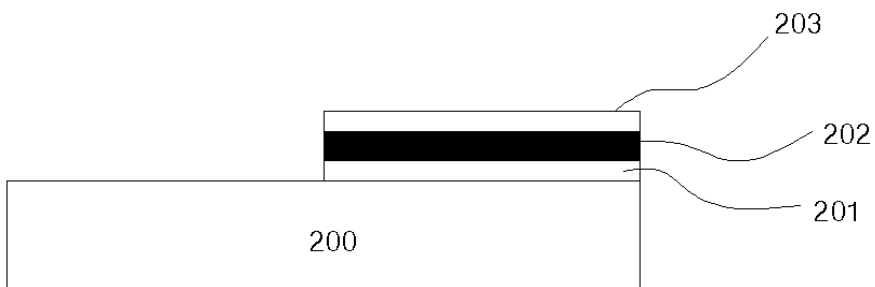
도면2



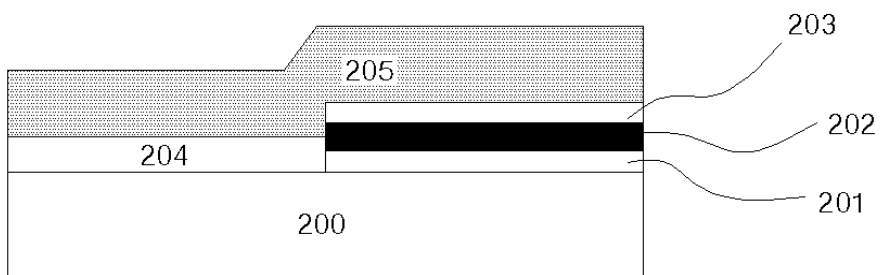
도면3a



도면3b



도면3c



도면3d

